

窒化物半導体-シリコン異種ウェハ接合を用いた
高密度光電子集積回路の基盤技術

Monolithic Fabrication Processing of Large-Scale Optoelectronic
Integrated Circuits using Si/SiO₂/III-Nitride Wafer

2017 年 1 月

博士 (工学)

土山 和晃

豊橋技術科学大学

Date of Submission:

平成 29 年 1 月 13 日

Department 電気・電子情報工学専攻	Student ID Number 学籍番号	第 103326 号	Supervisors 指導教員	若原 昭浩 関口 寛人
Applicant's name 氏名	土山 和晃			

Abstract

論文内容の要旨 (博士)

Title of Thesis 博士学位論文名	窒化物半導体-シリコン異種ウェハ接合を用いた高密度光電子集積回路の基盤技術 Monolithic Fabrication Processing of Large-Scale Optoelectronic Integrated Circuits using Si/SiO ₂ /III-Nitride wafer
----------------------------	--

(Approx. 800 words)

(要旨 1,200 字程度)

<p>窒化物半導体(GaN系)を用いた高密度光電子集積回路(OEIC)の実現は、ディスプレイ、医工学、計算機科学等の様々な分野との異分野融合による高付加価値応用の創出に繋がり、Siエレクトロニクスと光エレクトロニクスを跨ぐ境界領域に新たな展開を与える。その実現の鍵を握るのは、ウェハ接合による異種材料積層構造作製、熱収支管理、集積回路および発光デバイスのモノリシック集積工程の設計に関わる基盤技術の開発である。本研究では、上記技術に加え、GaN系発光デバイスの集積化ならびにポリマー導波路の集積化を要素技術と位置づけ、GaN系発光デバイスを基軸とした新たな光電子集積回路の実現に関わる基盤技術の開発を目的とした。</p> <p>はじめに、OEICの実現に向けて要請されるGaN系微小発光ダイオード(μLED)の集積化工程全体の整合性に関わる検討を行った。絶縁膜堆積工程前後でμLEDの直列抵抗が劇的に増加する問題に対し、μLEDのp電極構造の熱的不安定性が起源であることを突き止めた。また、μLEDの発光特性のサイズ依存性を検討し、直径40 μm以下で顕在化した外部量子効率の低下の問題に対してデバイス作製中のプラズマダメージを起源とするモデルを提案した。更に、GaNへの絶縁膜堆積手法を検討し、集積化工程との整合性を指標にプラズマ化学気相堆積法よりも減圧化学気相堆積法の方が有効であることが分かった。μLEDの電極間段差の解消に向けて、イオン注入を用いたプレーナ型LEDの基礎的な検討とその原型の実証を行った。</p> <p>次に、ウェハ接合によるSi/SiO₂/GaN-LED構造の作製から熱耐性評価、モノリシック光電子集積回路の基本回路の実証までを検討した。本研究で導入した表面活性化ウェハ接合の基本的な接合条件の探索から行き、それを基にSi/SiO₂/GaN-LED基板を実現した。そこでは、接合前の表面平坦性とSi層の結晶性間に存在するモデルの提案を行い、高品質Si/SiO₂/GaN-LED基板の作製条件を見出した。また、接合基板上的Si層の熱耐性の評価から、Si層膜厚を340 nm以下まで薄膜化することで集積回路工程中の熱耐性を確保出来ることを実証した。青色GaN-LEDの熱耐性から決定された900 °C 30分未満の熱収支内でSi-nMOSFETとμLEDのモノリシック集積工程を設計・実施し、Si/SiO₂/GaN-LED基板上に10 MHz以上の動作帯域を示すGaN-μLED用駆動回路が作製出来ることを実証した。</p> <p>最後に、短波長域に適したシクロオレフィンポリマー(COP)導波路の集積化を検討した。有限時間領域差分法によりGaN-μLEDとCOP導波路の集積構造を解析し、単純な構造においても約3%の光結合効率が得られることを確認した。また、COP膜を作製するための手法を確立し、可視光全域で透明かつ自乗平均面粗さ0.3 nmの良好なCOP膜質を実現した。その後、COP導波路とμLEDのモノリシック集積工程を考案し、COP導波路端面からのμLEDの発光の観測まで実証を行った。</p>
--

Date of Submission:

平成 29 年 1 月 13 日

Department Electrical and Electronic Information Engineering	Student ID Number 学籍番号 第 103326 号	Supervisors 指導教員 Akihiro WAKAHARA Hiroto SEKIGUCHI
Applicant's name 氏名 Kazuaki TSUCHIYAMA		

Abstract

論文内容の要旨 (博士)

Title of Thesis 博士学位論文名	窒化物半導体-シリコン異種ウェハ接合を用いた高密度光電子集積回路の基盤技術 Monolithic Fabrication Processing of Large-Scale Optoelectronic Integrated Circuits using Si/SiO ₂ /III-Nitride wafer
----------------------------	--

(Approx. 800 words)

(要旨 1,200 字程度)

Large-scale optoelectronic integrated circuits (OEIC) using GaN-based materials will promote to create various high added value applications by interdisciplinary fusion, such as display, medical engineering and computer science. Key technologies for the OEIC are to develop generic technologies composed of Si/SiO₂/GaN heterogeneous wafer fabrication using wafer bonding, thermal budget management and monolithic integration process design of GaN-based emitting devices and Si-integrated circuits. This doctoral thesis presents a study on heterogeneous device integration using Si/SiO₂/GaN wafer, and related techniques for integration of GaN-based emitting device and polymer based waveguide.

Firstly, the integration techniques of GaN-based micro light-emitting-diode (GaN-μLED) based on implementation into OEIC were investigated. Drastic increasing on series resistance of GaN-μLED after passivation process was examined, and it was found that the origin is thermal stability of p-contact metal on GaN-μLED. For understanding a scaling low of GaN-μLED, various size μLEDs were fabricated onto GaN-LED substrate. From results of size dependence on optical properties of μLED, an influence of the plasma damage induced through device fabrication process was suggested. For an investigation of a influence on passivation method for the GaN surface, plasma enhanced chemical vapor deposition (PECVD) and low pressure CVD (LPCVD) were compared. As a result, LPCVD showed relative good availability in terms of consistency with the integration process. For enhancing reliability of wiring process on GaN-μLED, a basic condition of ion implantation technique for a conduction type control of p-GaN was examined, and a prototype of planer-type LED structure was demonstrated.

Next, a fabrication method of Si/SiO₂/GaN-LED structure using surface activated bonding (SAB) method and a thermal tolerance of the structure was investigated. Basic bonding condition of SAB method was examined, and Si/SiO₂/GaN-LED wafer was realized. A model on a relationship between the crystalline quality of Si layer and surface roughness of bonded substrates before bonding was proposed, and fabrication method of high crystalline quality Si/SiO₂/GaN-LED wafer was clarified. The thermal tolerance of Si layer on Si/SiO₂/GaN/Sapphire structure was examined, and it was found that the thermal tolerance of Si layer under Si integrated circuit fabrication process can be compensated by thinning of Si layer thickness until less than 340 nm. The monolithic integration process of GaN-μLED and Si-nMOSFET was designed based on thermal budget of 900 °C for 30 min determined by thermal tolerance of GaN-LED layer. As a result, GaN-μLEDs and Si-nMOSFETs were monolithically integrated onto Si/SiO₂/GaN-LED wafer, and the GaN-μLED driver circuit showing more than 10 MHz operation bandwidth was demonstrated.

Finally, the integration technique of cyclo-olefin polymer (COP) based waveguide for the short wavelength region was investigated. From results of electromagnetic analysis on device structure composed of the COP waveguide and GaN-μLED by using finite-difference time-domain method, an optical coupling efficiency of over 1% in simple structure was obtained. A fabrication method of COP film was established, and the fabricated COP film showed good transparency in entire visible light region and good surface roughness as root mean square of 0.3 nm. The monolithic integration process of COP waveguide and GaN-μLED was designed and demonstrated, as a result, emission light of μLED was observed from the end face of COP waveguide.

目次

第1章 序論—光電子集積回路と窒化物半導体技術

1.1 光電子集積回路	1
1.1.1 Si テクノロジーの成熟期における異種デバイス集積技術の重要性	1
1.1.2 光デバイスを用いた異種デバイス集積技術の重要性	3
1.1.3 モノリシック光電子集積回路の実現に向けた材料選択と基板構造の重要性	5
1.2 窒化物半導体技術の特徴と現状	8
1.3 窒化物半導体/Si 異種材料構造を用いた光電子集積回路の提案	10
1.4 本研究の目的	15
引用文献	17

第2章 窒化物半導体デバイスおよび光電子集積回路作製技術と評価・解析技術

2.1 序言	24
2.2 窒化物半導体デバイス作製技術	24
2.2.1 誘導結合型プラズマ反応性イオンエッチング	24
2.2.2 電子ビーム真空蒸着	26
2.2.3 高速熱処理装置	27
2.2.4 化学気相堆積	28
2.2.5 窒化物半導体系発光ダイオードの基本的な作製工程	31
2.3 光電子集積回路作製技術	32
2.3.1 表面活性化ウェハ接合装置	32
2.3.2 酸化炉(化合物半導体デバイス混載用)	35

2.3.3	イオン注入装置	36
2.4	ポリマー導波路の作製技術	38
2.4.1	酸素プラズマエッチング	38
2.5	各種評価・解析技術	38
2.5.1	走査型プローブ顕微鏡	38
2.5.2	X線回折	39
2.5.3	固有コンタクト抵抗評価	40
2.5.4	LEDの電気・発光特性評価	41
2.5.5	有限時間領域差分法およびビーム伝搬法	42
2.5.6	導波路評価装置	44
2.6	結言	44
	引用文献	44

第3章 窒化物半導体微小発光ダイオードの集積化技術の開発

3.1	序言	46
3.2	集積化工程に整合する p 電極形成工程の検討	46
3.2.1	従来の GaN 系発光ダイオードの集積化工程における問題抽出	46
3.2.2	集積化工程に整合する GaN 系発光ダイオードの p 電極構造の検討	48
3.3	GaN 系微小発光ダイオードの電気・発光特性におけるサイズ依存性	50
3.3.1	サイズ依存性検討用デバイスの設計および作製	50
3.3.2	GaN 系微小発光ダイオードの直列抵抗における熱処理時間依存性の検討	52
3.3.3	GaN 系微小発光ダイオードの発光特性のサイズ依存性の調査	53
3.3.4	GaN 系微小発光ダイオードの連続駆動時の外部量子効率評価	60
3.4	絶縁膜堆積手法の違いが窒化物半導体表面に与える影響の検討	62
3.5	イオン注入技術を用いたプレーナ型発光ダイオードの作製	66
3.5.1	イオン注入を用いた GaN の伝導型制御に関する検討	66

3.5.2	イオン注入を用いたプレーナ型 GaN 系発光ダイオードの実証	72
3.5.3	プレーナ型 GaN 系発光ダイオード作製工程の改善	77
3.6	結言	80
	引用文献	81

第4章 表面活性化ウェハ接合を用いた Si/SiO₂/GaN-LED 基板の作製

4.1	序言	84
4.2	表面活性化ウェハ接合における基礎的条件の検討	84
4.3	ショットキーバリアダイオードを用いた表面活性化ウェハ接合後の GaN 表面のダメージ評価	90
4.4	Si/SiO ₂ /GaN-LED 基板の作製と Si デバイス層の結晶性評価	94
4.4.1	表面活性化ウェハ接合を用いた Si/SiO ₂ /GaN-LED 基板の作製	94
4.4.2	作製した Si/SiO ₂ /GaN-LED 基板における Si デバイス層の結晶性評価	96
4.4.3	ウェハ接合前の基板表面平坦性が接合後基板の結晶性に及ぼす影響	99
4.5	熱履歴設計のための Si/SiO ₂ /GaN-LED 構造における熱耐性評価	103
4.5.1	GaN-LED 層の熱耐性の評価	103
4.5.2	Si/SiO ₂ /GaN-LED 基板における Si デバイス層の熱耐性の評価	106
4.6	結言	117
	引用文献	118

第5章 Si/SiO₂/GaN-LED 基板を用いた GaN-LED および Si-MOSFET のモノリシック集積

5.1	序言	120
5.2	Si/SiO ₂ /GaN-LED 基板を用いた GaN-LED と Si-nMOSFET のモノリシック集積工程の考案と実証	120
5.3	Si/SiO ₂ /GaN-LED 基板上の各デバイスの静特性および動特性評価	123

5.3.1 静特性	123
5.3.2 動特性	127
5.4 結言	130
引用文献	131

第6章 短波長光源に適するポリマー導波路および集積化工程の開発

6.1 序言	132
6.2 有限時間領域差分法による導波路デバイスの基礎解析	132
6.3 シクロオレフィンポリマー膜の基礎的な作製条件の検討	136
6.3.1 シクロオレフィンポリマー溶液および成膜方法の検討	136
6.3.2 シクロオレフィンポリマー導波路の作製工程の開発	143
6.4 シクロオレフィンポリマー導波路および GaN 系微小発光ダイオード のモノリシック集積工程の検討	144
6.5 結言	148
引用文献	149

第7章 総括

謝辞

研究業績

第1章 序論—光電子集積回路と窒化物半導体技術

1.1 光電子集積回路

1.1.1 Siテクノロジーの成熟期における異種デバイス集積技術の重要性

現代の半導体集積回路（IC：integrated circuit）の起源は、1950年代後半に米国 Texas Instruments 社の Kilby が出願した特許“solid circuit”と米国 Fairchild Semiconductor 社の Noyce が出願した特許“unitary circuit”にまで遡る [1]. その後の1960年代前半に、金属酸化物半導体電界効果トランジスタ（MOSFET：metal oxide semiconductor field effect transistor）が米国ベル電話研究所の Kahng と Atalla により発明され [2], 続いて今日の大規模集積回路（LSIs：large scale integrated circuits）の基本単位要素となっている相補型 MOS（CMOS：complementary MOS）技術が Wanlass と Sah によって発明された [3]. DRAMやNANDフラッシュに代表される身近なLSI内では、このMOSFET群がSi基板上にモノリシック集積されることによって莫大な情報処理能力が実現されており、今日の高度情報化社会を支えるインフラ技術として歴史的な成功を収めている。高度情報化社会において必要不可欠となったコンピュータにおける情報処理性能の爆発的な飛躍を支えたのが、Siテクノロジーにおいて達成され続けてきた経済的概念としてのムーアの法則（Moore's law） [4]と物理的概念としてのデナードスケールリング [5]である。1998年以降では、国際的な半導体技術ロードマップ（ITRS：international technology roadmap for semiconductor）が整備され、ムーアの法則をいかに継続するか（More Moore）、微細化を継続するためには何が必要か、がグローバルな規模で継続的に議論されてきた。多くの研究機関・企業・国家による積極的な研究開発・投資によってムーアの法則が堅調に維持され続けてきた結果、素子の微細化は数ナノメートルレベルにまで到達し、動作速度の向上に伴うチップの発熱密度のレベルは原子炉と比較されるまでに至っている [6]. また、ミドルあるいはグローバル配線層の配線間隔・断面積の縮小により、配線部における信号遅延や消費電力がチップ全体の性能を律速するまでに至っている [6]. ムーアの法則を等価的に継続するべく、汎用コンピュータにおいてはマルチコア化による機能分散や負荷分散による性能向上が進められており、計算機性能が最も要求されるスーパーコンピューティングシステムでは1000を超える規模でメニーコア化が進んでいる [7]. MOSFETの構造も変革が進み、日立製作所が1990年に発明したマルチゲートトランジスタ（通称FinFET）構造 [8]が韓国 Samsung 社や米国 intel 社などで採用され始め、短チャネル効果の抑制が現に図られている。今後も極薄 Silicon on insulator（SOI）基板を用いた完全空乏型FET（通称FD-SOI：fully depleted-SOI）やナノワイヤーFETへの進展が見通されている [9]. また、チャネル移動度と電流駆動力の向上を目的としたSiGeやSiNなどの応力材料の導入によるひずみSi技術が確立され [10], 直近ではSiGe-FinFET構造を用いた7nm世代の実用化が迫っている [11].

このようなLSIの発展と続伸の陰では、Siおよびゲート絶縁膜の寸法や不純物制御

を含む物理的限界および微細加工ばらつきの増大のような技術的限界もさることながら、経済的な合理性に基づく費用対効果が現代の Si テクノロジーの駆動力となっている。これは、ITRS の予測と乖離した非連続的な新構造の生産導入が引き起こした現象であり、国際ロードマップの物理的な意味の消失に加えて微細化のための設備投資の急騰によって先端開発メーカーのみが生き残ったグローバル市場の現状がそれを裏付けている [12]。

以上のような背景の中で、ムーアの法則に則った集積度・動作速度の向上だけでは達成し得ない“機能”の実現を目指す「More than Moore」と呼ばれる技術トレンドが近年存在感を増している。これは、微細化の限界が差し迫る中でムーアの法則という黄金律から脱却した、多様性や価値創造を基軸とする新しい技術開発の潮流である。半導体技術を取り巻く状況は近年ダイナミックに変化しており、ここ数年の技術開発動向が今後の半導体技術の主流を決定づける分水嶺であるとの見方がなされている。そのような技術的・社会的動向を受けて、2015年からはITRS2.0として、半導体関連技術が直結するアプリケーションを全ての議論の根幹と位置づける新ロードマップの整備が進められている [13]。ITRS2.0では、例えば Internet of things (IoT) の分野で重要とされるモバイル通信、ビッグデータ、スマートカー、グリーンエネルギー、医学・ヘルスケアなどのアプリケーションを起点として、トップダウン式に必要な技術を抽出し、デバイス、プロセス、そしてそれを生産する半導体工場という各フェーズをどのように連結すべきかが定義されている。その概略を図 1.1 に示す。主な論点は、システムの統合化、異種デバイス・材料集積技術、異種部品実装技術（センサ、アクチュエータ、高周波、微小電気機械システムなど）、システム外との接続技術、More Moore, CMOS の代替技術、各技術の工場規模での統合¹である。図 1.1 に示されているように、More than Moore はさらに、異種部品集積技術 (Heterogeneous components) と異種デバイス集積技術 (Heterogeneous integration) とに大別されている。異種部品実装技術の実用例としては、ALTERA 社が提供する FPGA (field-programmable gate array) とアナログチップやメモリ、ASIC (application specific integrated circuit) 等の各種コンポーネントをワンパッケージに高密度統合した製品がその一例として挙げられる。異種デバイス集積技術に関わる中で近年実用化され始めた一例が、銅充填型貫通ビア (TSV : Through Silicon Via) を用いた 3次元集積技術である。TSV 技術は Si 基板を貫通する銅配線により垂直方向の電氣的チップ間接続を可能とする技術である。CPU/メモリ間等のバス配線数を大幅に改善する技術として注目を集めており、従来の 2次元実装技術と比較してシステムサイズおよびパッケージコストの低減や配線長の縮小に非常な効果的であることから精力的に研究開発が進められている [14] [15]。また、デジタル CMOS 技術を利用した近接場無線 3次元集積も盛んに研究が進められている [16]。

¹ シャトルラインの設計等を含む生産技術関連

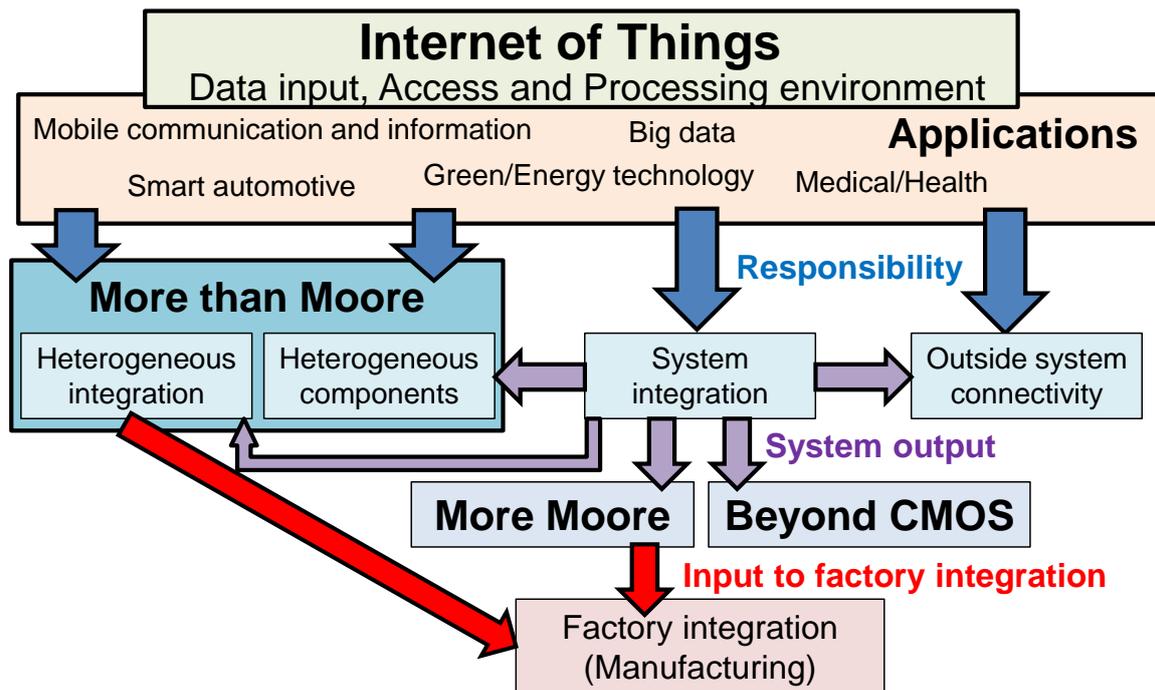


図 1.1 アプリケーション指向の半導体技術開発に関わる指針 [13]

異種デバイス集積は、材料系やデザインルールの異なる機能のデバイス群を取り込むためデバイス設計が複雑化し、異種部品の実装に比べ開発速度が劣る。その一方で、配線の引回し部分が縮小化されるため、実装部分における寄生リアクタンスやキャパシタンス成分を低減することが可能である。また、ウェハレベルで集積することによって集積したシステムおよび個別デバイスのサイズ、消費電力、システムコストを低減することができ、機能の拡張やパフォーマンスの向上が見込まれる。そのため、諸所の課題の解決の先においては、異種デバイス集積技術がもたらす恩恵や果たす役割は非常に大きくなるものと予想される。

1.1.2 光デバイスを用いた異種デバイス集積技術の重要性

前述の通り、今後の半導体技術開発における異種デバイス集積技術の役割は非常に重要なものであると認識出来る。この異種デバイス集積技術によって達成が望まれる多様な“新機能”の中に光機能が分類されている [13]。他の機能としては高周波、微小電気機械システム (MEMS : micro electro mechanical systems)、バイオセンサ、アクチュエータ、アナログ機能等が挙げられる。光エレクトロニクスは光通信、光記録、光センサ、光計測、医学治療、医工学解析、ディスプレイや光化学など、従来の Si テクノロジーでは発現し得ない多様な応用分野を創出してきた歴史がある [17]。このことから、異種デバイス集積技術の対象としての光エレクトロニクスがもたらす機能は非常に多様で豊かなものであると想像出来る。光機能の発現においては、導波路や MEMS 技術のような受動デバイスや発光・受光素子を含む能動デバイスが重要な基本構成要素の役割を果たす。MEMS 技術等は材料に Si が利用できるという特長を活か

して、成熟した Si プラットフォームによって様々な高機能デバイスを創出している [18]. その一方で、光能動デバイスの多くは化合物半導体によって構成されることから、Si プラットフォーム上においては汚染源として見なされてきた背景がある. そのため、他の機能と比較して議論や認識が深まっている状況とは言い難い.

光能動デバイスを LSI に対して集積化する光電子集積回路 (OEIC : optoelectronic integrated circuit) あるいは光回路 (PIC : photonic integrated circuit) としては、80 年代を通じて行われた GaAs 系または InP 系の受光素子と増幅回路を同じ基板上に集積した光トランシーバが黎明期の一例に挙げられる [19] [20]. また、同時期の 1984 年には Goodman によって LSI 中の光配線の概念が提唱され [21], Si 基板上の GaAs ヘテロエピタキシャル成長 (heteroepitaxial growth) を中心に発光素子集積に関する研究が世界的に行われた [22]. 2000 年代に入り、長距離金属配線における消費電力と信号遅延問題の深刻化に伴って Si の微細加工技術を用いて Si による光配線、光変調器等を形成する Si フォトニクス分野が台頭し、近年ではボード間からチップ間に至る光配線技術が大きな進展を見せている [23] [24] [25]. この Si フォトニクス分野は、1970 年代から蓄積されてきた低損失光ファイバー技術と近赤外帯動的単一モードレーザ技術をコアに切り拓かれた光ファイバー通信の概念が根幹にある [17]. 光通信帯用レーザの材料となる InP 系や GaAs 系の多くは 1000°C 付近に融点を持つため [17], Si フォトニクス分野での異種デバイス集積技術はそのほとんどが LSI と発光素子を別々に作製しそれらを後工程で集積するハイブリッド (hybrid) 型となっている [26] [27] [28].

このように光能動素子の異種デバイス集積に関する議論・研究の多くは、ムーアの法則の延長上、具体的には光通信技術をコンピュータの時系列的情報処理能力の向上に活用するという観点で行われている. しかしながら、先述の通り光機能は光通信のみに留まらないことから、光能動デバイスの異種デバイス集積技術においてはこれまで確立されてきた光通信技術の枠に囚われない将来像を見据える事が可能である. その機能に関係した応用分野の詳細については 1.3 節にて述べる. 集積技術という観点で見ると、Si 集積回路の成功の歴史が示すようにサイズ、信頼性、設計自由度やシステム化の柔軟性に優れるモノリシック (monolithic) 型が理想形であると言える. ただし、基板から実装に至る製造コスト、アプリケーション側から要請されるデバイス性能、市場規模といった経済的因子を統合してハイブリッド型とモノリシック型が選択・判断されることになるはずである. モノリシック OEIC における光機能の発現に関しては、とりわけ VLSI 分野で特徴的なシステムコンセプトが Hayashi ら [29] [30] [31] により提案されている. 提案されたのは超並列光配線という技術であり、先に述べた 3 次元集積技術に現状分類されるものである. 3 次元集積技術として実用化されつつある TSV 技術によって高密度配線を実現しようとした場合、金属配線特有の断面積縮小に伴う信号遅延や消費電力の問題が本質的に寄生することに加えて、微細な TSV 形成技術の確立や位置合わせ精度、電磁干渉等の悩ましい課題が存在する [15]. TSV 技術と比較すると、近接場無線結合型の 3 次元集積技術は送受信用コイルのサイ

ズと通信可能距離にトレードオフが存在するものの、コストや低消費電力性の観点で次世代技術に位置付けることが出来る。近接場無線結合型と3次元超並列光配線を比較すれば、化合物半導体の導入が不可欠となることから基板・プロセス・実装までを考慮した後者の製造コストは高い。その一方で、光配線の場合電磁誘導によるクロストークが存在しないため、微細化による高密度集積によって配線数当たりのコスト低減は非常に期待できる。また、面発光型レーザー (VCSEL: vertical cavity surface emitting LASER) や新しい素子構造を基とした超低閾値/消費電力光源の集積を仮定すれば、個々の要素の処理速度を低下させても全体としては高速に動作しかつ低消費電力な生体模倣型システムが実現され得る。既に Marck らは計算機アーキテクチャの観点からみた超並列処理システムの潜在能力と光配線の技術的優位性について数理的な予測を行っており、光配線の低コスト化による実装可能性の向上にまで言及している [32]。そのような超並列情報処理システムの波及先としてはまず、高速の画像処理・認識に需要のある人工知能分野が挙げられ [33] [34]、その裾野として IoT 分野への応用が期待出来る。

1.1.3 モノリシック光電子集積回路の実現に向けた材料選択と基板構造の重要性

モノリシック OEIC の実現に向けて、発光デバイスの材料およびプロセス技術の開発が重要な鍵となる。モノリシック OEIC に選択され得る発光デバイスの材料系としては、以下のように分類できる。

一つ目は、IV 族半導体または IV 族化合物半導体である。IV 族半導体は間接遷移型半導体であるため、内部量子効率極めて低い。そこで、量子ドットやナノワイヤーなどのナノ構造によって電子のバンド構造を変調し吸収端よりも短波長側で発光を得る方法や、Er のような希土類金属を添加して発光を得る方法が提案されている [35]。最近では、Si 基板上に作製した GeSn 化合物の微小円盤から低温光励起下で波長 2.5 μm のレーザー発振が観測されている [36]。また、低発光効率ながら典型的な pn 接合を用いた Si-LED をモノリシック集積し、室温でオンチップ光通信を実証した報告もある [37]。IV 族発光材料は LSI 作製工程との整合性が期待できるものの、良質の直接遷移型半導体の内部量子効率が容易に 90% に達することを考えた場合、電流注入で高い発光効率が達成されていない現状では実用化まで遠いものと考えられる。

二つ目は格子整合系 III-V 族化合物半導体である。Si に格子定数の近い GaP や AlP は、数%程度の N や B を添加することにより、格子整合系でバンドギャップが変調可能という特徴を持つ [38] [39]。GaPN 混晶は擬直接遷移型の発光特性を示すことから、Si に格子整合する材料としては古くから研究されてきた [40]。しかしながら、後述の課題に加えて、擬直接遷移型であることから量子効率の向上には限界があり、母材の耐熱性や耐薬品性は Si-LSI の作製条件と完全に整合するほど高くないという点でプロセス設計側への負担は大きいと考えられる。

三つ目は、直接遷移型の発光特性を示す GaAs, InP, GaNなどを母材とした格子不整合系 III-V 族化合物半導体である。GaAs, InP 系は特に光通信技術で確立された材

料系であり、石英系光ファイバーが最も低導波損失となる近赤外から赤外域の発光波長を網羅することから研究が行われてきた [41] [42]. また、低発光効率ではあるが Ge 緩衝層を用いて AlGaInP-LED を Si 上に選択成長する試み (SOLES : silicon on lattice-engineered substrate) も行われている [43]. ただし、成長温度は 400 ~ 600 °C であり、格子整合系 III-V 族化合物半導体と耐熱性・耐薬品性はほぼ同等である [44]. GaN 系 (窒化物半導体系) は、活性層における In 組成の変調によって近紫外から近赤外までの発光波長帯を網羅することの出来る極めて特異な材料系である. また、量子効率が高く、耐熱性・耐薬品性も他の材料系と比較すると極めて高い. これらのことから、LSI の工程条件との整合性および結晶成長技術の成熟度の観点では有望な材料系である. 更には、金属-半導体-金属 (MSM : metal-semiconductor-metal) 型 Si フォトダイオードや表面プラズモンを用いた Si ナノフォトダイオードなど、青色波長域で高速な受光デバイスが提案されており [45] [46] [47], モノリシック OEIC を考える上で Si フォトダイオードが利用可能という点は非常に魅力的である. このように窒化物半導体のモノリシック OEIC への適用はコンセプトとして極めて堅実である. しかしながら、Si と GaN 系間に横たわる巨大な格子不整合度が高結晶性のヘテロエピタキシャル成長を困難なものとするため、結晶成長以外のアプローチを含む構造作製方法や基本構造の検討が必要となる.

LSI の作製工程との整合性を検討する上では、直接遷移型の発光特性を示す III-V 族化合物半導体の利用を前提とすれば、重要な基板構造の設計指針は Si プレーナ技術 (planer technology) との親和性と Si/III-V 族化合物半導体異種接合間の相互汚染の抑制にある. 選択成長によって Si 基板上に III-V 族層を部分的に形成する場合や Si 基板上に結晶成長した III-V 族層を選択的に除去する場合、共通して Si 基板への LSI の作製が言及されるが III-V 族層がもたらす複雑な段差構造は伝統的な Si プレーナ技術と整合しない. また、先端の LSI 工程ではデザインルールの都合上熱収支は縮小化される傾向にある一方で、特に高温工程下において III-V 族層が露出する構造となる場合には材料間の相互汚染が常に懸念される. 以上の設計指針が踏まえられた上で、モノリシック OEIC の基本構造として格子整合系 Si/III-V-N/Si 構造が Yonezu ら [48] により考案された. Si/III-V-N/Si 構造は格子整合系結晶成長技術を活用して Si(100)基板上に一貫して作製された構造で、トップの Si 層に集積回路が、埋め込まれた III-V-N 層に発光デバイスが形成されることを想定している. また、集積回路作製過程で経る高温工程下では III-V-N 層が Si 層に完全に埋め込まれていることから相互汚染が抑制可能であり、Si プレーナ技術との親和性も損なうことがない [49]. Furukawa ら [50] は実際に本構造上への p チャネル MOSFET (pMOSFET) と発光ダイオード(LED : light emitting diode)のモノリシック集積を世界で初めて実証した. また、Yamane ら [51] [52]はこの格子整合系 Si/III-V-N/Si 構造における III-V-N 層の成長条件・シーケンスを詳細に検討し、ミスフィット転位、アンチフェーズドメイン、積層欠陥や貫通転位の導入密度を飛躍的に低減させることに成功している. 更に Yamane ら [53]は同

構造を用いた1ビットカウンタ回路とLEDのモノリシック集積を実証し(図1.2参照),モノリシックOEICに回路機能の実現という新展開をもたらした. その一方で,同構造の本質的な課題も明らかとなっている. 一つは図1.2右上の発光写真に見られるように,最上層Si/III-V層間のバンドアライメントに基づいた回路駆動電圧の上昇に伴うLED素子部分以外からの発光の発生である. もう一つは図1.2右下の1ビットカウンタ回路の入出力時間応答にて見られるように,時定数にして約200~300 μ secの過渡応答の発生である. これは,pMOSFETが集積されたSi層とIII-V-N層がウェハレベルで電氣的に接続されていることから,III-V-N LED層が寄生容量として働いた結果であると考えられている. 前者に関してはSi/III-V-N層界面におけるIII-V-N層側のドーピングレベル制御による回路駆動電圧の低減が実験的に確かめられたものの,両問題を本質的に解決するためには層間絶縁膜の導入が最も直接的なアプローチであると結論付けられた. しかしながら,格子整合系結晶成長技術のみでは層間絶縁膜の形成は困難であるため,結晶成長以外のアプローチによる基板構造作製方法の確立が必要である. 加えて,格子整合系Si/III-V-N/Si構造の許容熱履歴は900 $^{\circ}$ C 10分間であるため,一般的なLSIの基本要素となるCMOSとの整合は難しく,発光層材料の再検討が必要である. 以上のように,モノリシック集積という観点から発光材料を見た場合でも,耐薬品性や発光特性,特に耐熱性に優れた窒化物半導体の採用は適切であると考えられる. そこで次の1.2節では,窒化物半導体系を採用する利点や技術動向に関して応用の視点から俯瞰する.

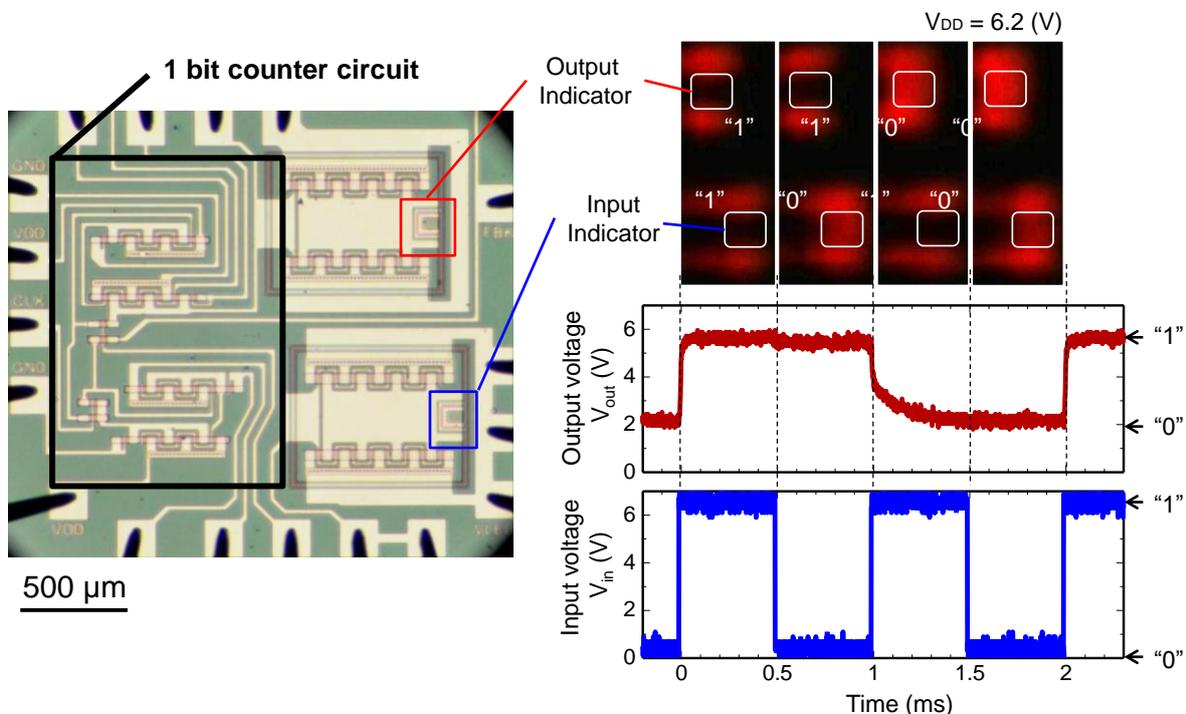


図 1.2 無転位 Si/III-V-N/Si 構造を用いた 1 ビットカウンタ回路 [53]

1.2 窒化物半導体技術の特徴と現状

窒化物半導体の中で主要な材料の一つである GaN 系は、室温常圧下で 4 配位のウルツ鉱型構造が最安定相で、発光特性が直接遷移型のエネルギーバンド構造を持つ材料系である [54]。また、GaN 系の原子間距離は IV 族の Si や Ge、同じ III-V 族の GaAs 等と比較して非常に小さく、融点が高い。加えて硬度が高く、耐薬品性も非常に高いため、一般的にはドライエッチングを用いた加工が必要となる。その一方で、GaN の優れた化学的安定性、高熱伝導率、高絶縁破壊電界、高い電子飽和ドリフト速度等を利用して、より過酷な環境・状況下（車載用などの高温環境下、各種放射線の降り注ぐ宇宙等）への適用が期待されている。また、GaN 系のデバイス・材料開発は、GaAs 等の他の化合物半導体に比べて環境負荷の低い材料として、国策の戦略重点領域に位置付けられている [55]。また、そのような要請に応えるように、従来では融点における平衡蒸気圧の高さから困難を極めた大型バルク基板の育成に対し、Na フラックス法 (Na-flux method) やアモノサーマル法 (Amonothermal method)、ハイドライド気相成長法 (hydride vapor phase epitaxy : HVPE) による種々のブレークスルーが達成されはじめ、バルク (bulk) 基板問題の解決が目前に迫っている [56]。

GaN 系電子デバイスでは、先に述べた通り絶縁破壊電界や電子飽和ドリフト速度、熱伝導率が優れていることに加えて、GaN/AlGaN ヘテロ界面に発生する自発分極およびピエゾ分極に起因した高キャリア濃度・高飽和ドリフト速度・高電子移動度の特長を持つ二次元電子ガスが比較的容易に形成されることから [57]、高周波・高出力の次世代電子デバイスの候補として非常に有望視されている。また、近年では家庭やオフィスに設置される直流電化製品の省エネ化の需要が高まったことにより、AC/DC や DC/DC コンバータに対する高効率化・低コスト化を可能とする次世代パワーデバイスに関する需要が増加している。更には、インターネットトラフィックの増大により通信基地局電子ルータにおける電力消費の増大化が深刻化しており、高速・高効率・低消費電力性・低雑音性に長けた高周波デバイスの需要も拡大化している [56]。

GaN 系光デバイスに関してはまず、赤崎・天野らのノーベル賞受賞のきっかけともなった低温バッファ層、Si ドーピングによる n-GaN、低速電子線照射による p-GaN の実現に端を発して爆発的に青色 LED の研究開発が進められた経緯がある [54]。また、Al や In と混晶させることで紫外 [58] [59]～可視光領域 [60] [61]を実現できることも研究開発の推進を下支えする理由ともなっている (図 1.3 参照)。レーザーダイオード (LD : laser diode) も同様で、紫外から緑色までの開発が進んでおり、高密度 DVD 用のレーザー光源としての波長 405~410 nm 付近での LD が実用化されている。青色から紫外にかけては、医療やバイオ応用、光触媒、植物工場やディスプレイなど様々な産業応用が存在する [62]。このように GaN 系発光デバイスにおけるアプリケーションの拡張性は、赤色から赤外域における応用分野と比較すると明らかに高い。近年では、従来の III-V 系 LD と青色波長域の境目に相当する緑色波長域での量子効率低下 (グリーンギャップ) や長波長化への試みとして、非極性あるいは半極性面の利用

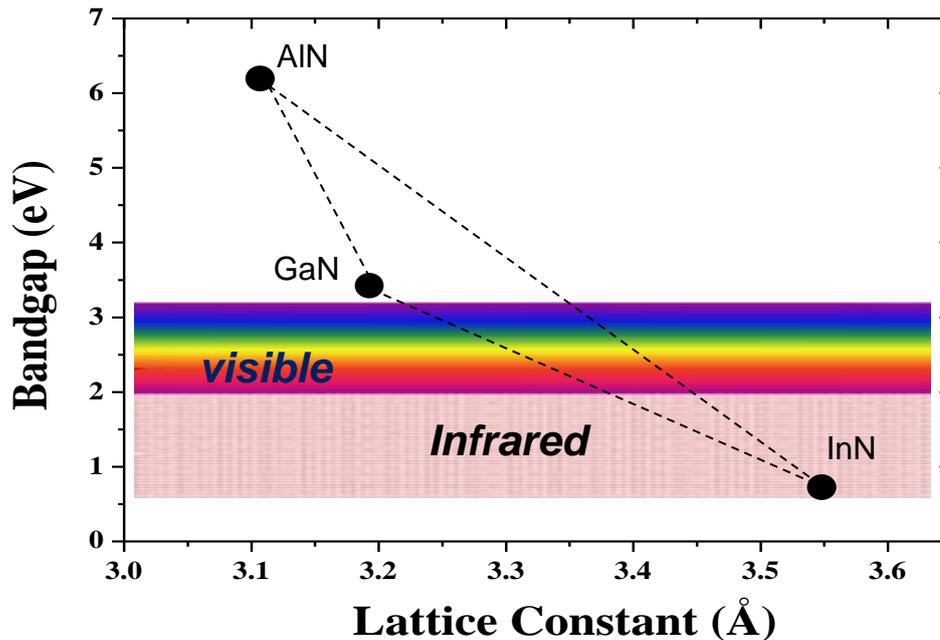


図 1.3 窒化物半導体(GaN 系)の格子定数とバンドギャップエネルギー

[63] [64], 窒素極性面 (-c 面) の利用 [65], 規則配列ナノコラム (nano-column) 成長技術 [66]等の様々な研究が活発に行われており, GaN 系発光デバイスの性能は日進月歩向上している. また, GaN/AlGaIn の結合量子井戸中の 2 つの準位間を遷移するバンド内遷移発光を原理とした量子カスケードレーザー (quantum cascade laser) への展開がなされており [67], 光と電波の中間の性質を持つ周波数である 5~12 THz の室温レーザー発振が期待されている. 受光デバイスとしては, 特に AlGaIn 系の紫外センサが代表的で, 炎センサや太陽光中の有害紫外線センサなど大気による紫外線吸収が顕著な波長域 (< 280 nm) のソーラブラインド紫外センサ (solar blinded UV sensor) への利用が期待されている [68] [69]. また, AlInGaIn 系の広スペクトル範囲を利用したタンデム型太陽電池も提案されている [70]. 窒化物半導体を用いた光電子集積に目を向けると, 英国 Strathclyde 大学の Dawson らの研究グループが特に重点的に研究を推進している. Jeon ら [71]はアドレッサブルの GaN- μ LED アレイを, 続いて Zhang ら [72]は CMOS 回路と GaN- μ LED をフリップチップ接合したアドレス方式のデバイスを初めて実証し, 以降種々のアプリケーション志向の研究や GaN- μ LED に関する解析を進めている. また, 集積ディスプレイ用途を目的として米国 Texas 大学の Jiang ら [73]が CMOS 回路と GaN- μ LED アレイのフリップチップ接合を報告している.

このように, 窒化物半導体を用いた応用分野は, 市場レベルで着実に拡大している. その一方で, このような窒化物半導体の潜在能力の高さを活かした境界領域の創成はあまり進んでいない. ひとたび市場の飽和傾向や更なるアプリケーション開発が議論されるようになれば, 光デバイス, パワーデバイス, 高周波デバイス等を利用した様々な異分野融合の重要性はより鮮明になるものと考えられる. 本研究では, そのような窒化物半導体の一連および長期的な技術動向と異種デバイス集積技術自体の社会的

要請を背景として、窒化物半導体と Si 集積回路の新たな異分野融合の形を提案する。次の 1.3 節では、本研究が提案する窒化物半導体/Si 異種材料構造を用いた新たな境界領域としての光電子融合のビジョン、およびその実現に向けて確立すべき要素技術について述べる。

1.3 窒化物半導体/Si 異種材料構造を用いた光電子集積回路の提案と課題

1.1 節で述べたように、光機能の異種デバイス集積は基本的に計算機科学分野と一部のバイオ分野でのみ議論されている。その一方で、OEIC の応用展開を考えれば光が持つ特徴が高速性・高伝送密度のみに留まらないことは重要であり着目すべき点である。例えば、窒化物半導体光デバイス特有の紫外～可視域波長や光の持つ並進性と Si 集積回路が得意とする記憶・演算・制御機能を組み合わせれば、可視光通信 [74]、医療応用 [75] [76]、バイオチップ [77] [78] [79]、光センサ [80]、ディスプレイ [81]、マスクレスリソグラフィ [82]、超並列情報処理システム [30] [49]等の幅広いアプリケーションへの展開が見込まれる。

Li ら [83]は GaN-LED/GaN-HEMT (high electron mobility transistor) /Sapphire 構造によって、Liu ら [84]は GaN-HEMT/GaN-LED/Sapphire 構造によって、高出力照明向けの駆動回路と LED の一体化を提案している。また、Lee ら [84]は同様の応用目的で一般的な GaN-LED 構造を用いた GaN-MOSFET と LED の一体化を提案している。GaN 系電子デバイスの一体化は Si 系を用いるより駆動力の観点で優れるが、論理回路や信号処理回路等の複雑な集積回路を構成する場合、GaN 系は閾値調整や表面清浄化等の課題が山積していることから Si 集積回路技術の利用が有望である。そのため OEIC としては、発光素子を GaN 系が、集積回路を Si 系が担うことが理想的な形であると考えられる。豊橋技術科学大学光電子集積グループでは、ディスプレイ用途で GaN 系微小発光ダイオードアレイ (GaN- μ LED array: 図 1.4 参照) と μ LED 駆動用の CMOS 回路をフリップチップ接合により集積したデバイス(図 1.5 参照)を試作してきた [85] [86]。規模としては 8×8 画素と 128×128 画素のデバイスを実現している。 128×128 画素デバイスでは、Au バンプを用いた従来型の手法と、異方性導電性樹脂を用いた高スループットの手法が試みられたが、 μ LED へのダメージの導入や意図せぬ電気接続部の発生、歩留まりの低下等の致命的な課題が残った。このことから、実装数として 1 万素子を超えるような大規模集積を実現しようとした場合、歩留まりや信頼性の観点でモノリシック集積が現実的な手法であることは明らかである。また、集積度が大規模になるほどに 1 素子当たりの価格は低下するため、大規模集積におけるハイブリッドとモノリシックの選択基準は基本的に歩留まり、ひいては生産スループットに律速することになる。この場合、基板コストやプロセスコストを考慮しても、実装コスト面でモノリシック集積が有利になると予想される。以上を踏まえると、GaN 系発光デバイスと Si 集積回路のモノリシック集積技術の確立は産業的意義を有する事が分かる。また、GaN 系発光デバイスと Si 集積回路のモノリシック集積技術の確立は、

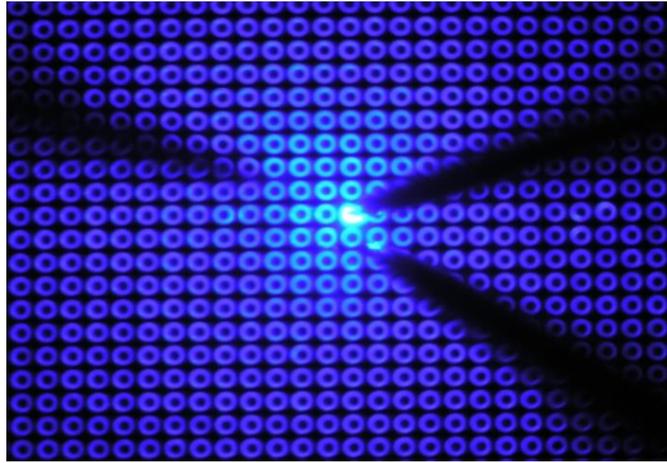


図 1.4 128×128 画素 μ LED アレイにおける 1 画素駆動時の様子

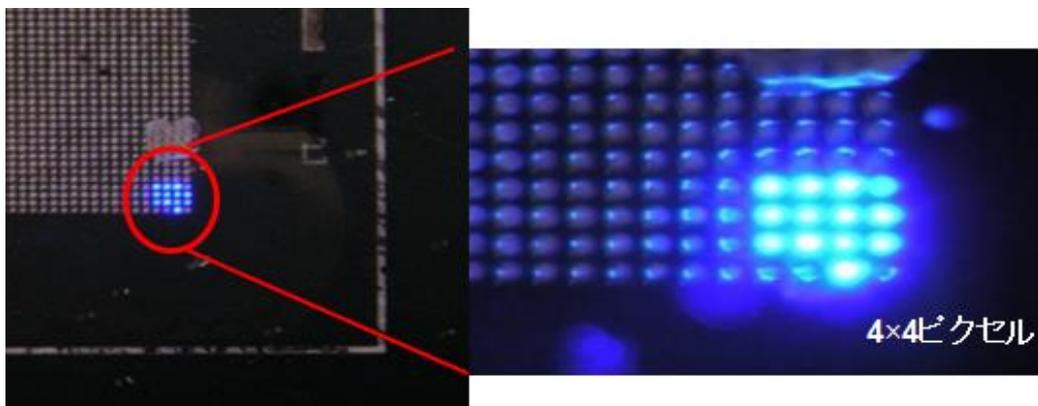


図 1.5 128×128 画素フリップチップ接合後の駆動時の様子

これまでに独立の歩みを進めてきた窒化物半導体デバイスとシリコンエレクトロニクスという学術領域を繋ぐ，新たな境界領域の創成を導くものであり，両領域に新たな刺激をもたらす技術となり得る．そこで次に，窒化物半導体光デバイスと集積回路を融合したモノリシック OEIC を実現するために必要な異種デバイス集積技術に関する課題について考える．

(1) GaN- μ LED と Si-LSI のモノリシック集積に向けた課題

1.1 節で述べた通りモノリシック OEIC は発光層を Si で埋め込んだ Si/III-V/Si 基板から発光素子と集積回路を一貫形成することにより実現する手法が有望である [50] [53]．しかしながら，先に述べた通り意図せぬ発光箇所や信号遅延の発生を抑制するために必要な層間絶縁膜の形成は格子整合系結晶成長技術のみでは達成困難である．また，GaN 系を発光層として選択する本研究の場合では，格子不整合系の結晶成長となることから所望の層構造を達成することはほとんど不可能である．そのため，下地の基板を選ばない層構造作製技術の開発が必要である．

そこで，本研究ではウェハ接合技術に着目した．ウェハ接合法はウェハ同士を直接

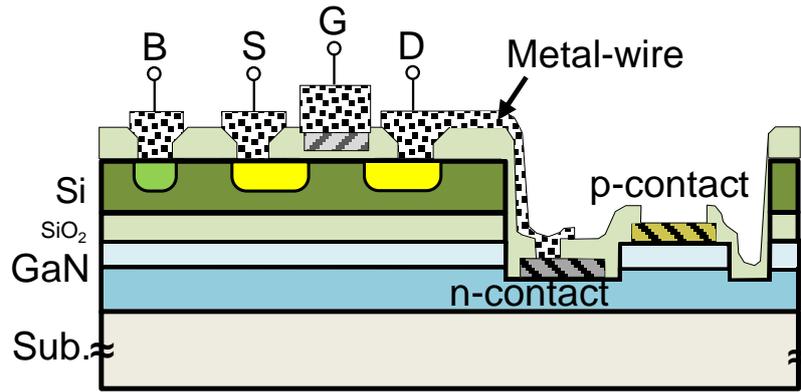


図 1.6 GaN/Si 光電子融合システムの単位回路

貼り合せて接合界面を形成する技術でありながら，良好な界面が形成可能であるということで3次元集積に対する革新的技術として注目を集めている [87]. その中でも表面活性方式 [88] [89] [90]によるウェハ接合では，親水性 [91]や疎水性 [92]のウェハ接合と比較して低温でのウェハ接合が可能という特長から，材料間の熱膨張係数差が問題となる異種材料集積の観点で非常に有望な方式であることが知られている．また，ナノ密着層の堆積により異種材料のウェハ接合が可能である [93] [94]. 更に，表面活性化方式では，親水性ウェハ接合に比べて高い貼り合せ強度が比較的容易に得られやすいと報告されている [88]. この表面活性化ウェハ接合技術を利用し，絶縁膜を介して窒化物半導体上に薄膜 Si 層を転写出来れば，1.1.3 節にて説明した課題の解決が見込まれ，更に MOS 工程への導入の際に問題視される熱膨張係数差に起因した基板剥離等の問題も解決することが出来ると予想される．そこで本研究では，GaN 系発光デバイスと Si 集積回路を融合したモノリシック OEIC を実現するために必要な層構造として Si/SiO₂/GaN 構造を提案する．集積回路の要素としては MOSFET がそれを担うが，モノリシック OEIC では MOSFET と GaN- μ LED が一対をなす図 1.6 に示すようなデバイスが単位回路の役割を担うこととなる．そのためモノリシック OEIC の実現を目指してまず，図 1.6 に示したデバイスの作製技術を確立する必要がある．

(2) GaN-LED の集積化に向けた課題

1.2 節にて述べたように，個別素子としての GaN-LED の研究開発は世界レベルで急速に進められている．その一方で，Si-LSI への集積化という取り組みが非常に少ないことも相まって，GaN- μ LED を形成するための知見や微細化した際の諸特性等は明らかになっていない．そのため，Si-LSI とのモノリシック集積を前提として，集積化工程全体を俯瞰した工程条件および設計指針の把握に加えて，モノリシック集積に向けて GaN-LED の発光特性におけるサイズ依存性を把握する必要がある．

また，Si/SiO₂/GaN 構造を用いて GaN 系発光素子と Si-MOSFET をモノリシック集積する場合，配線形成が不可欠となる．デザインルールが大きい場合，配線層の厚さやコンタクトホール径の径が大きいため，段差構造が複雑な場合でも配線金属の成膜と

エッチングのみで接続が可能である。その一方で、デザインルールが徐々に小さくなっていくと、コンタクトホール内の段差部分における金属膜の被膜性の劣化や、露光波長の短波化によって焦点深度が浅くなるために段差近傍の配線形成の信頼性が低下するなど、段差構造の複雑化に関連する将来的な懸念は多い。Si 集積回路部分ではプレーナ技術との整合が確保されているため、ダマシン技術 (damascene technology) [95] の適用が可能である。一方 Si 層と GaN 層間の段差は本質的に回避できないが、LED のメサ構造に相当する電極間段差はプロセス開発の余地を残している。そこで、本研究では図 1.7 に示すようなプレーナ型 GaN-LED を提案する。プレーナ型 GaN-LED の実現に必要な技術が p-GaN 層の伝導型制御 (キャリア反転) 技術である。選択領域への再成長技術も結晶性の観点では有望であるが、再成長領域内における不均一な成長レートに起因した特異な段差構造が我々のグループを含め確認されていることから [96] [97]、プロセス技術による解決が望ましい。しかしながら、Si 集積回路で確立されているようなドーピング技術は、窒化物半導体の分野では現状確立されていない。一つの要因としては、GaN 中の Si の拡散速度が 1100 °C にて 25~50 nm/hour [98] と非常に遅いことにある。熱拡散に関しては更に、高温下における GaN の窒素の平衡解離圧が非常に高いため、単純に工程温度を高温化した場合では熱分解 [99] や表面への欠陥導入が問題となる。もう一つの要因としては、GaN へのイオン注入によって伝導型制御を行った場合、結晶成長段階でドーピングされた場合と比較して光学特性や電気特性の面で劣ると点にある。GaN へのイオン注入に関しては、特に結晶成長時にドーピングを行わない AlGaIn/GaN-HEMT に対して浅い (~数十 nm) 低抵抗コンタクト層を形成するための研究が行われてきている [100] [101]。一方で本研究でも用いるような商用の GaN-LED 構造においてプレーナ化を実現するためには、InGaIn 多重量子井戸 (MQW : multi quantum well) 層の熱耐性に応じた結晶性回復熱処理工程の最適化に加えて、p-GaN 層の厚さに応じて安定的に n 型反転を実現するための高濃度・高浸透・低結晶損傷のイオン注入技術を開発する必要がある。

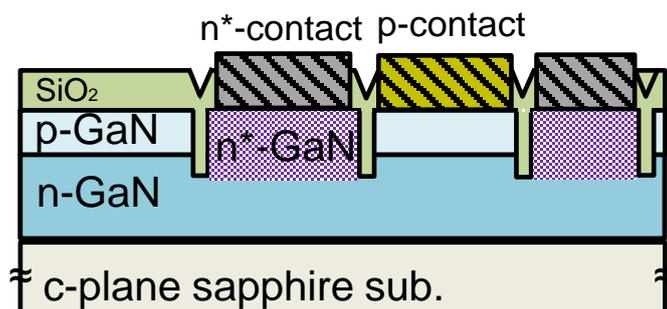


図 1.7 伝導型制御技術を用いたプレーナ型 GaN-LED 構造の概略。n*-GaIn は p-GaN 層を n 型に反転させた n-GaN 層を意味している。

(3) GaN/Si 光電子融合システムへの導波路デバイスの一体集積に向けた課題

GaN系を用いたモノリシック OEIC を考えた場合、LED あるいは将来的に VCSEL を含む LD からの光線は空間方向や水平方向に出力されることになるが、光の応用や光線制御の観点で導波路デバイスの集積を考えるのが妥当である。赤外域の発光デバイスを用いる場合には、主に Si フォトニクス分野で活発に研究がなされているように Si 自体を導波路に適用することが主流である [35] [102]。また、チップ間の光ファイバーシステムとの統合を目的として、ナノ加工による回折格子技術を利用した光線の伝搬方向制御も関しても研究が進んでいる [103] [104]。その一方で、本研究の場合では紫～緑色領域での光電子融合システムにおける導波路として何が適切かを検討する必要がある。無機材料で考えるならば、可視光域に適用可能で作製方法が比較的容易である SiN/SiO₂系が挙げられる [105] [106]。SiN/SiO₂系導波路では、Mao ら [107] が 1.5 μ m 帯で 2.0 dB/cm, Gorin ら [108] が 630 nm 帯で 0.1 dB/cm という伝搬損失を報告している。有機系材料で考えた場合、可視光域に透明であると一般的に知られるポリメチルメタクリレート (PMMA : poly methyl methacrylate) やパリレン [109]、あるいは光学レンズなどに利用されるシクロオレフィンポリマー (COP: cyclo-olefin polymer) [110]が挙げられる。Ichihashi ら [111]はメタクリレート系導波路を作製して 0.6 dB/cm@808 nm を報告しており、住友ベークライト (ノルボルネン樹脂利用) や富士ゼロックス (アクリル樹脂利用) は 850 nm 帯で 0.004~0.007 dB/cm の伝搬損失を報告している [112]。伝搬損失の観点では、上述の通り無機系および有機系間に特段の優劣は無いことから、本研究における選択基準としてはデバイスの設計自由度や将来を見据えたコストの観点、そしてなによりも本研究のデバイスコンセプトとの整合性が重要となる。これらの材料系に関して、集積性の観点も踏まえた導波路デバイスとしての実現可能性の概略を図 1.6 に示す。図中の表は引用文献 [110] [113] [114] を基に作成した。SiN/SiO₂系導波路を窒化物半導体混載システムに集積する場合、図 1.8 左側に示したような構造が考えられる。LSI の層間絶縁膜に導入されている low-k 材料上に導波路を形成しようとする場合², 200 °C 以下という工程温度の制約がある。更には、図 1.6 のような構造を実現しようとした場合、中空構造を形成するためのダミー基板を用いた転写工程や CMP 工程による埋め込み等でプロセスが複雑化してしまう。その一方で、ポリマーを用いた場合ではトレンチ³の埋め込みが非常に容易であり、ダイシングによる 45 度ミラー構造 [115]の作製が可能であるため、プロセスコストの低減が期待出来る。また、集積度が向上した場合においてもポリマー技術に親和性の高いナノインプリント技術の応用によって任意箇所に一括でミラー構造が形成可能である。加えて、ポリマー内に蛍光体を内包させる [116]ことにより、多様な波長変換機能を付加することが可能となり、これは医工学応用の見地から見て非常に有用な機能である。後工程の設計自由度という観点では、PMMA は有機薬品が利用できないことから工程設計は難しい。また、パリレンの光学的・機械的特性は比較的

² 一般的に用語として用いられる Back end of line(BEOL)に相当

³ μ LED 部分等に相当する高さサブマイクロ～数マイクロメートル程度の基板表面の段差構造

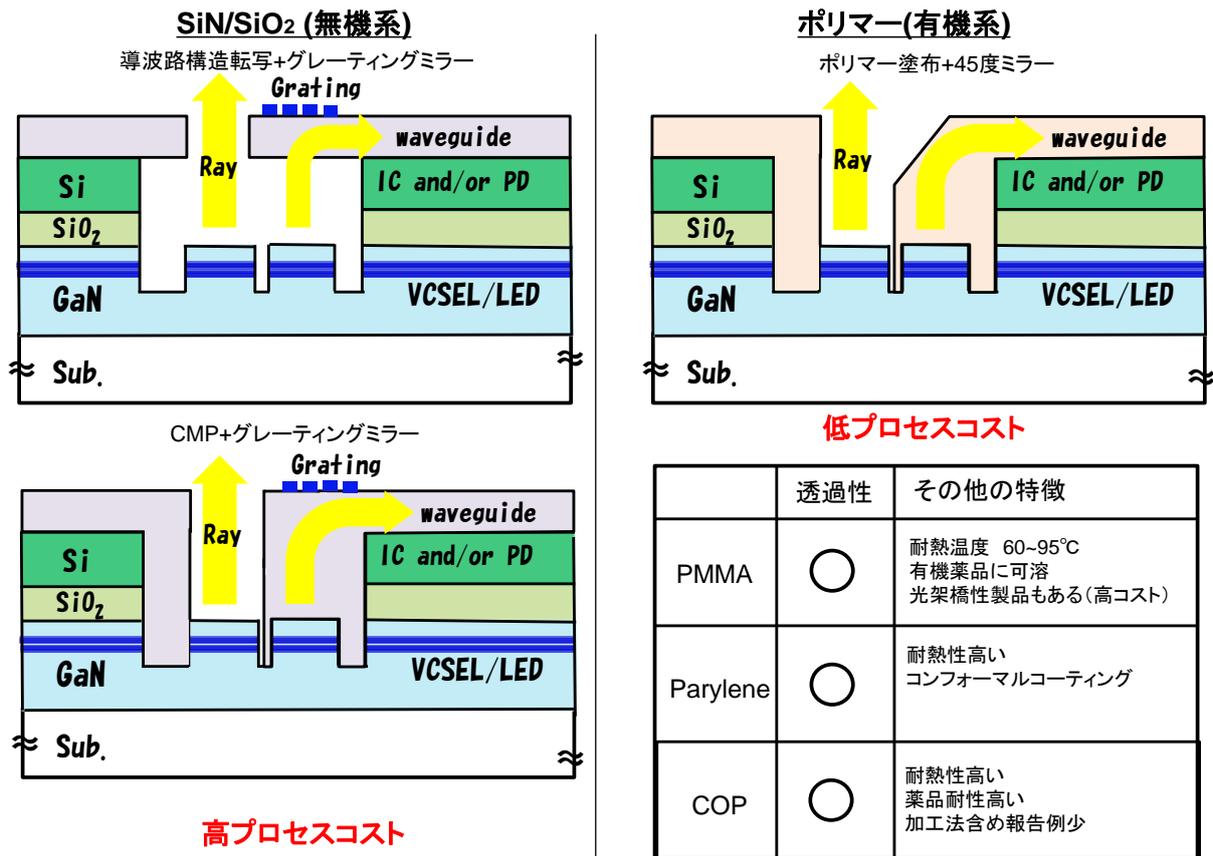


図 1.8 短波長可視光域に適した導波路デバイスを実現するための無機・有機材料における最終的な導波路デバイス構造とその特徴の比較

優れているものの、その特徴でもある表面形状に沿った被膜形成 (conformal coating) は表面に各種構造を伴う本研究のデバイスコンセプトと合致しにくい。一方で、COP は一般的なポリマーと同様に扱うことが可能であることに加え、耐熱性・耐薬品性が比較的優れていることから集積工程の設計は比較的容易であり、導波路の作製例が調査した限りで無いということ以外に目立った欠点はない。

1.4 本研究の目的

これまでに述べてきたように近年の半導体業界では、ムーアの法則という微細化技術による高性能化に依存しない、多様性と付加価値の創造を基軸とした新たな潮流が重要な役割を担いつつある。それを下支えする重要な技術の一つが異種デバイス集積技術である。異種デバイス集積技術によって実装される機能の対象として、光エレクトロニクスは非常に有望である。LSI と光エレクトロニクスの異種デバイス集積により実現される OEIC、とりわけ高密度集積を志向するモノリシック OEIC は個別素子の実装では実現できないような高度・複雑・新規の光電子融合システムを実現可能である。また、集積する発光デバイスに窒化物半導体を採用することは、ディスプレイ・生命科学・医工学・センサ・検査技術・セキュリティなどの多様な産業応用が見込ま

れることから非常に有望であり、窒化物半導体/Si エレクトロニクスの境界領域の新規創成という観点から見ると学術的な意義も深い。一方、現実として窒化物半導体 (GaN 系) を用いたモノリシック OEIC を実現するための基板構造は、1.3 節にて述べたように Si/insulator/GaN 構造とすることが望ましく、これは結晶成長技術のみでは達成困難である。そのため、ウェハ接合を利用した異種材料積層構造作製技術の確立が大きな課題となる。また、個別素子としての研究開発が主流である GaN 系発光素子の集積化技術、モノリシック OEIC の要素技術としてのポリマー導波路の集積化技術の確立も課題である。

そこで本研究では、窒化物半導体発光デバイスを基軸に据えた可視域光電子集積回路のための要素技術として、窒化物半導体発光デバイスの集積化技術および可視光域で適用可能なシクロオレフィンポリマー導波路の作製/集積技術を開発し、表面活性化ウェハ接合を用いた Si/SiO₂/GaN-LED 構造の作製と本構造を用いたモノリシック OEIC の単位回路の実証を目的とした。

本論文は、図 1.9 に示した各要素技術と異種デバイス集積技術による各要素の接続関係に基づいて、本章に続き次のように構成される。第 2 章では、窒化物半導体発光デバイスの集積化、Si/SiO₂/GaN-LED 構造、モノリシック OEIC の単位回路、ポリマー導波路の作製・評価に関わる概要、各種原理に関して述べる。第 3 章では、窒化物半導体発光デバイスの集積化における課題を抽出し、必要な要素技術の開発を行う。具体的には、窒化物半導体発光デバイスの集積プロセスの開発、窒化物半導体発光デバイスの微細化における電気・発光特性の評価、窒化物半導体発光デバイスの集積化における最適な絶縁膜堆積技術の検討、イオン注入を用いたプレーナ型 GaN-LED 作製技術の検討を行う。イオン注入を用いたプレーナ型 GaN-LED 作製技術の検討では、チャネリング現象に着目した高浸透のイオン注入条件と時結晶性回復熱処理条件の調査を行い、プレーナ型 GaN-LED の実証を目指した。第 4 章では、層間絶縁膜の形成を可能とする表面活性化ウェハ接合を用いた Si/SiO₂/GaN-LED 構造の作製方法を開発する。作製方法に加えて、Si デバイス層の結晶性に関して基板の反りの影響およびウェハ接合時の基板表面の平坦性との関係について検討を行う。また、モノリシック OEIC の作製工程を前提とした各層の熱耐性の評価を行い、耐熱性の向上を目的とした基板構造の最適化を行う。第 5 章では、第 3 章および第 4 章までの成果を基に Si/SiO₂/GaN-LED 構造を用いた窒化物半導体微小発光デバイスと駆動回路のモノリシック集積を実証する。第 6 章では、窒化物半導体発光デバイスの利用を前提としたポリマー導波路の作製および集積化に関して述べる。ここでは、400 nm の波長帯においても適用可能かつ集積化プロセスとの整合が期待できるシクロオレフィン系ポリマーの導波路化技術に加え、窒化物半導体微小発光デバイスへの導波路のモノリシック集積工程の実証を行う。また、集積デバイスの設計指針に関して有限時間領域差分法を用いて議論する。最後に第 7 章にて本研究で得られた結果を総括し、技術的な課題や必要な要素技術を含めた今後の展望に関して言及する。

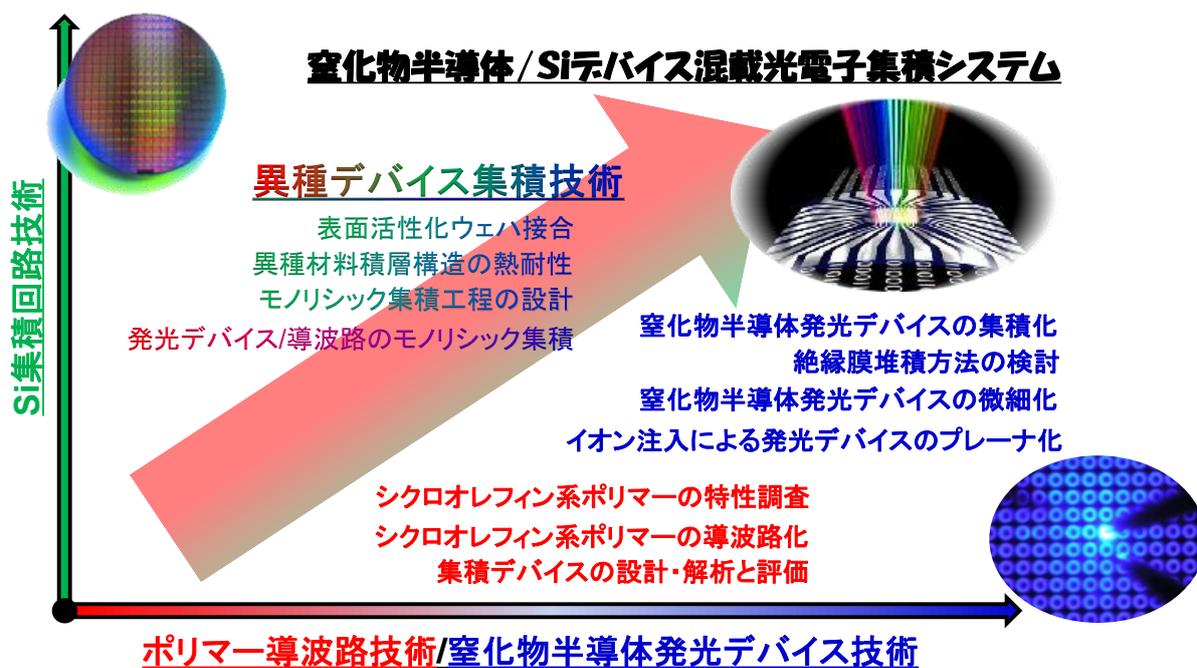


図 1.9 本論文において開発する各要素技術の相互関係

引用文献

- [1] 電子情報技術産業協会 I C ガイドブック編集委員会, "I C ガイドブック 2006年版 生活を豊かに, 社会を支える半導体", 日経 BP 企画 (2006).
- [2] P. Siffert and E. F. Krimmel, "Silicon -Evolution and Future of a Tencnology-", Springer (2004).
- [3] F. M. Wanless and C. T. Sah, IEEE ISSCC Digest of Tech. Papers, 32 (1963).
- [4] G. Moore, Electronics Magagine **38**, 114 (1965).
- [5] R. H. Dennard, F. H. Gaensslen, H. -N. Yu, V. L. Rideout, E. Bassous, and A. R. Leblanc, IEEE J. SSC **9**, 256 (1974).
- [6] 2013 ITRS white paper.
- [7] 日経エレクトロニクス 2016年6月号, 日経 BP 社.
- [8] D. Hisamoto, T. Kaga, and E. Takeda, IEEE Trans. Electron Dev. **38**, 1419 (1991).
- [9] 秦雅彦, 高木信一, 竹中充, 安田哲二, 住友化学 **2011-II**, 37 (2011).
- [10] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson and M. Bohr. , IEDM Tech. Dig., 978 (2003).

- [11] The New York Times 2015年7月9日オンライン掲載記事"IBM Discloses Working Version of a Much Higher-Capacity Chip", 最終アクセス確認日 2016年12月1日.
- [12] 日経エレクトロニクス 2015年4月号, 日経BP社.
- [13] 2015 ITRS 2.0 Executive report.
- [14] 盆小原学, 高橋健司, 石野雅和, 信学技報 **80**, 89 (2008).
- [15] 中島宏文, 2011年度STRJワークショップWG7(実装)公開資料.
- [16] 岡田晃, 小菅敦丈, 黒田忠広, 信学技報 **J97-C**, 378 (2014).
- [17] 末松安晴, 小林功郎 共著, "フォトニクス", オーム社 (2007).
- [18] 益一哉, 年吉洋, 町田克之 監修, "異種機能デバイス集積化技術の基礎と応用", シーエムシー出版 (2012).
- [19] R.F. leheny, R.E. Nahory, M.A. Pollack, A. A. Ballman, E. D. Beebe, J. C. Dewinter, and R.J. Martin, *Electron. Lett.* **16**, 353 (1980).
- [20] S. J. Kim, , G. Guth, G. P. V. Coleiro, C. Seabuly, W. A. Sponsler, and D B. J. Rhoades, *IEEE Elec. Dev. Lett.* **9**, 447 (1988).
- [21] J. Goodman, F. I. Leonberger, S. -Y. kung, and R. A. Athale, *Proc. IEEE* **72**, 850 (1984)..
- [22] 米津宏雄, *応用物理* **78**, 293 (2009).
- [23] B. Jalali, M. Paniccia, and G. Reed, *IEEE Microwave Mag.* **7**, 58 (2006).
- [24] D. A. B. Miller, *Proc. IEEE* **97**, 1166 (2009).
- [25] Y. Arakawa, T. Nakamura, Y. Urino, and T. Fujita, *IEEE Commun. Mag.* **51**, 72 (2013)..
- [26] I. Christiaens, G. Roelkens, K. D. Mesel, D. V. Thourhout, and R. Baets, *J. Lightwave technol.* **23**, 517 (2005).
- [27] K. Ohira, K. Kobayashi, N. Iizawa, H. Yoshida, M. Ezaki, H. Uemura, A. Kojima, K. Nakamura, H. Furuyama, and H. Shibata, *Opt. Express* **18**, 15440 (2010).
- [28] J. Suzuki, Y. Hayashi, Y. Kuno, J. Kang, T. Amemiya, N. Nishiyama, and S. Arai, *Jpn. J. Appl. Phys.* **53**, 118003 (2014).
- [29] 林巖雄, 阿江忠, 小柳光正, *電子情報通信学会誌* **75**, 951 (1992).
- [30] I. Hayashi, *Jpn. J. Appl. Phys* **32**, 266 (1993).
- [31] 林巖雄, *応用物理* **65**, 824 (1996).
- [32] J. V. Campenhout and H. V. Marck, *Proceedings of the Fourth International Conference on Massively Parallel Processing Using Optical Interconnections*, 178 (1997).
- [33] M. Ishikawa, *Proc. SPIE 4114/Photonic Devices and Algorithms for Computing II*, 146 (2000).
- [34] 新谷虎松, 大園忠親, 白松俊 共著, "知識システムの実装基礎 : スライドで理解する人工知能技術", コロナ社 (2012).

- [35] 金光義彦, 深津晋 共著, "シリコンフォトニクス", オーム社 (2007).
- [36] D. Stange, S. Wirths, R. Geiger, C. S. Braucks, B. Marzban, N. von den Driesch, G. Mussler, T. Zabel, T. Stoica, J. -M. Hartmann, S. Mantl, Z. Ikonic, D. Grutzmacher, H. Sigg, J. Witzens, and D. Buca, *ACS Photonics* **3**, 1279 (2016).
- [37] B. Huang, X. Zhang, W. Wang, Z. Dong, N. Guan, Z. Zhang, and H. Chen, *Opt. Commun.* **284**, 3924 (2011).
- [38] Y. Furukawa, H. Yonezu, K. Ojima, K. Samonji, Y. Fujimoto, K. Momose, and K. Aiki, *Jpn. J. Appl. Phys.* **41**, 528 (2002).
- [39] R. Hull, R.M. Osgood, Jr., J. Parisi, and H. Warlimont, "Dilute III-V Nitride Semiconductor and Materials System", Springer (2008).
- [40] S. M. Sze, "Semiconductor Devices: Physics and Technology first edition", John Wiley & Sons Inc. (1985).
- [41] M. Kondow, K. Uomi, K. Hosomi, and T. Mozume, *Jpn. J. Appl. Phys.* **33**, L1056 (1994)..
- [42] G. Wang, M.R. Leys, R. Loo, O. Richard, H. Bender, N. Waldron, G. Brammertz, J. Dekoster, W. Wang, M. Seefeldt, M. Caymax, and M. M. Heyns, *Appl. Phys. Lett.* **97**, 121913 (2010).
- [43] K. Chilukurt, M. J. Mori, C. L. Dohrman, and E. A. Fitzgerald, *Semicond. Sci. Technol.* **22**, 29 (2007).
- [44] N. Y. Pacella, M. T. Bulsara, C. Drazek, E. Guiot, and E. A. Fitzgerald, *ECS J. Solid State Sci. Technol.* **4**, P258 (2015).
- [45] S. Y. Chou, Y. Liu, and T. F. Carruthers, *Appl. Phys. Lett.* **61**, 1760 (1992)..
- [46] S. Alexandrou, C. C. Wang, T. Y. Hsiang, M. Y. Liu, and S. Y. Chou, *Appl. Phys. Lett.* **62**, 2507 (1993).
- [47] T. Ishi, J. Fujikata, K. Makita, T. Baba, and K. Ohashi, *Jpn. J. Appl. Phys.* **44**, L364 (2005).
- [48] K. Momose, H. Yonezu, Y. Fujimoto, and Y. Furukawa, *Appl. Phys. Lett.* **79**, 4151 (2001).
- [49] H. Yonezu, Y. Furukawa, H. Abe, Y. Yoshikawa, S. Y. Moon, A. Utsumi, Y. Yoshizumi, A. Wakahara, and M. Ohtani, *Opt. Mater.* **27**, 799 (2005).
- [50] Y. Furukawa, H. Yonezu, Y. Morisaki, S. Y. Moon, S. Ishiji, and A. Wakahara, *Jpn. J. Appl. Phys.* **45**, L920 (2006) .
- [51] K. Yamane, T. Kobayashi, Y. Furukawa, H. Okada, H. Yonezu, and A. Wakahara, *J. Cryst. Growth* **311**, 794 (2009).
- [52] K. Yamane, T. Kawai, Y. Furukawa, H. Okada, and A. Wakahara, *J. Cryst. Growth* **312**, 2179 (2010).

- [53] K. Yamane, K. Noguchi, S. Tanaka, Y. Furukawa, H. Okada, H. Yonezu, and A. Wakahara, *Appl. Phys. Express* **3**, 074201 (2010).
- [54] 高橋清 監修, 長谷川文夫, 吉川明彦 編著, "ワイドギャップ半導体 光・電子デバイス", 森北出版 (2006).
- [55] 国立研究開発法人科学技術振興機構, "戦略プログラムパッケージ", 2015 年公開資料 <https://www.jst.go.jp/pr/intro/senryakupackage>, 最終アクセス確認日 2016 年 12 月 1 日.
- [56] 江川孝志 他, "GaN パワーデバイスの技術展開", S&T 出版 (2012).
- [57] M. A. Khan, A. Bhattarai, J. N. Kuznia, and D. T. Olson, *Appl. Phys. Lett.* **63**, 1214 (1993).
- [58] H. Hirayama, Y. Enomoto, A. Kinoshita, A. Hirata, and Y. Aoyagi, *Appl. Phys. Lett.* **80**, 1589 (2002).
- [59] Y. Taniyasu, M. Kasu, and T. Makimoto, *Nature* **441**, 325 (2006).
- [60] S. Nakamura, T. Mukai, and M. Senoh, *Appl. Phys. Lett.* **64**, 1687 (1994).
- [61] S. Nakamura, M. Senoh, N. Iwasa, S. Nagahama, T. Yamada, and T. Mukai, *Jpn. J. Appl. Phys.* **34**, L1332 (1995).
- [62] 皿山正二, "真のバルク GaN 単結晶の必要性と研究開発動向", *科学技術動向* 92, 20 (2008).
- [63] T. Detchprohm, M. Zhu, S. You, Y. Li, L. Zhao, E. A. Preble, T. Paskova, D. Hanser, and C. Wetzel, *Phys. status solidi* **7**, 2190 (2010).
- [64] S. Takagi, Y. Enya, T. Kyono, M. Adachi, Y. Yoshizumi, T. Sumitomo, Y. Yamanaka, T. Kumano, S. Tokuyama, and K. Sumiyoshi, *Appl. Phys. Express* **5**, 082102 (2012).
- [65] K. Shojiki, J. -H. Choi, T. Iwabuchi, N. Usami, T. Tanikawa, S. Kuboya, T. Hanada, R. Katayama, and T. Matsuoka, *Appl. Phys. Lett.* **106**, 222102 (2015).
- [66] H. Sekiguchi, K. Kishino, A. Kikuchi, *Appl. Phys. Lett.* **96**, 231104 (2010).
- [67] 寺嶋亘, 平山秀樹, *信学技報* **111**, 131 (2011).
- [68] C. Y. Lee, F. Matsuo, Y. Hashimoto, H. Okada, K. Sawada, and A. Wakahara, *Jpn. J. Appl. Phys.* **51**, 044101 (2012).
- [69] H. Oktavianto, K. Yamane, H. Sekiguchi, and A. Wakahara, *Sensors and Materials* **27**, 1009 (2015).
- [70] H. Amano, *Jpn. J. Appl. Phys.* **52**, 050001 (2013).
- [71] C. -W. Jeon, H. W. Choi, and M. D. Dawson, *Phys. State. Sol. (a)* **200**, 79 (2003).
- [72] H. X. Zhang, D. Massoubre, J. McKendry, Z. Gong, B. Guilhabert, C. Griffin, E. Gu, P. E. Jessop, J. M. Girkin, and M. D. Dawson, *Opt. Express* **16**, 9918 (2008).
- [73] J. Day, J. Li, C. Bradford, J. Y. Lin, and H. X. Jiang, *Appl. Phys. Lett.* **99**, 031116 (2011).

- [74] N. Bamiedakis, X. Li, J. J. D. McKendry, E. Xie, R. Ferreira, E. Gu, M. D. Dawson, R. V. Penty, and I. H. White, 17th International Conference on Transparent Optical Networks, 1 (2015).
- [75] K. Deisseroth, *Nature Methods* **8**, 26 (2011).
- [76] A. Nakajima, H. Kimura, Y. Sawadsaringkarn, Y. maezawa, T. Kobayashi, T. Noda, K. Sasagawa, T. Tokuda, Y. Ishikawa, S. Shiosaka, and J. Ohta, *Opt. Express* **20**, 6097 (2012).
- [77] N. M. Gunn, M. Becham, G. P. Li, and E. L. Nelson, *J. Biomed. Mater. Res. A* **95**, 401 (2010).
- [78] H. Peng, E. Makarona, Y. He, Y. K. Song, A. V. Nurmikko, J. Su, Z. Ren, M. Gherasimova, S. R. Jeon, G. Cui, and J. Han, *Appl. Phys. Lett.* **85**, 1436 (2004).
- [79] T. Araki and H. Misawa, *Rev. Sci. Instrum.* **66**, 5469 (1995).
- [80] Z. Lai, Y. Wang, N. Allbritton, G. P. Li, and M. Bachman, *Opt. Lett.* **33**, 1735 (2008).
- [81] H. X. Jiang, S. X. Jin, J. Li, J. Shakya, and J. Y. Lin, *Appl. Phys. Lett.* **78**, 1303 (2001).
- [82] B. Guilhabert, D. Massoubre, E. Richardson, J. J. D. McKendry, G. Valentine, R. K. Henderson, I. M. Watson, E. Gu, and M. D. Dawson, *IEEE photonics Technol. Lett.* **24**, 2221 (2012).
- [83] Z. Li, J. Waldron, T. Dechprohm, C. Wetzel, R. F. Karlicek Jr, and T. P. Chow, *Appl. Phys. Lett.* **102**, 192107 (2013).
- [84] Y. -J. Lee, Z. -P. Yang, P. -G. Chen, Y. -A. Hsieh, Y. -C. Yao, M. -H. Liao, M. -H. Lee, and J. -M. Hwang, *Opt. Express* **22**, A1589 (2014).
- [85] S. -B. Shin, K. Iijima, J. Chiba, H. Okada, S. Iwayama, and A. Wakahara, *Jpn. J. Appl. Phys.* **50**, 04DG12 (2011).
- [86] S. -B. Shin, K. Iijima, H. Okada, S. Iwayama, and A. Wakahara, *IEICE Trans. Electron.* **E95-C**, 898 (2012).
- [87] 日暮栄治, 須賀唯知, *スマートプロセス学会誌* **1**, 106 (2012) .
- [88] H. Takagi, R. Maeda, T. R. Chung, N. Hosoda, and T. Suga, *Jpn. J. Appl. Phys.* **37**, 4197 (1998).
- [89] U. Gösele, Q. Y. Tong, A. Schumacher, G. Kräuter, M. Reiche, A. Plößl, P. Kopperschmidt, T. H. Lee, and W. J. Kim, *Sens. Actuators* **74**, 161 (1999).
- [90] M. M. R. Howlader and F. Zhang, *Thin Solid Films* **519**, 804 (2010).
- [91] A. Reznicek, R. Scholz, S. Senz, and U. Gösele, *Mater. Chem. Phys.* **81**, 277 (2003).
- [92] Q. Y. Tong, E. Schmidt, U. Gösele, and M. Reiche, *Appl. Phys. Lett.* **64**, 625 (1994).
- [93] R. kondoh and T. Suga, *Scripta Materialia* **65**, 320 (2011).
- [94] R. Kondou, C. Wang, A. Shigetou, and T. Suga, *Microelectro. Reliab.* **52**, 342 (2012).

- [95] 石田誠 編著, "新インターユニバーシティ 集積回路", オーム社 (2011).
- [96] 蛭田恭仁, "GaN 選択再成長によるプレーナ型 GaN-LED の研究", 2015 年度豊橋技術科学大学修士論文.
- [97] J. -K. Sheu, P. -C. Chen, Y. -H. Yeh, S. -H. Kuo, M. -L. Lee, P. -H. Liao, and W. -C. Lai, *Acta Mater.* **108**, 17 (2016).
- [98] C. J. Pan, G. C. Chi, and B. J. Pong, *J. Vac. Sci. Technol. B* **22**, 1727 (2009).
- [99] 花井寿佳, 松嶋秀忠, 平松和政, 澤木宜彦, 信学技報 **96**, 1 (1996).
- [100] 西森理人, 牧山剛三, 山田敦史, 今西健治, 原直紀, 渡辺慶二, 信学技報 **85**, 61 (2011).
- [101] M. Kocan, G. A. U. Membrero, J. S. Chung, F. Recht, L. Mccarthy, S. Keller, U. K. Mishra, G. Parish, and B. D. Nener, *J. Electron. Mater.* **36**, 1156 (2007).
- [102] L. Liao, D. R. Lim, A. M. Agarwal, X. Duan, K. K. Lee, and L. C. Kimerling, *J. Electro. Mater.* **29**, 1381 (200).
- [103] D. Taillaert, F. V. Laere, M. Ayre, W. Bogaerts, D. V. Thourhout, P. Bienstman, and R. Baets, *Jpn. J. Appl. Phys.* **45**, 6071 (2006).
- [104] J. H. Kang, Y. Atsumi, Y. Hayashi, J. Suzuki, Y. Kuno, T. Amemiya, N. Nishiyama, and S. Arai, *Appl. Phys. Express* **7**, 03202 (2014).
- [105] J. F. Bauters, J. R. Adleman, M. J. R. Heck, J. E. Bowers, *Appl. Phys. A* **116**, 427 (2014).
- [106] F. T. Dullo, J. -C. Tinguely, S. A. Solbo, O. G. Helleso, *IEEE Photonics Journal* **7**, 2700511 (2015).
- [107] S. C. Mao, S. H. Tao, Y. L. Xu, X. W. Sun, M. B. Yu, G. Q. Lo and D. L. Kwong, *Opt. Express* **16**, 20809 (2008).
- [108] A. Gorin, A. Jaouad, E. Grondin, V. Aimez and P. Charette, *Opt. Express* **16**, 13509 (2008).
- [109] S. Yamagiwa, M. Ishida, and T. Kawano, *Appl. Phys. Lett.* **107**, 083502 (2015).
- [110] 高分子学会 監修, "オプティカルポリマー材料の開発・応用技術", エヌ・ティーエス出版 (2003).
- [111] .
- [112] 戒能俊邦 監修, 情報・通信用光有機材料の最新技術", シーエムシー出版 (2007).
- [113] 小林壮一, 光学 **37**, 74 (2008).
- [114] 日本パレン合同会社公開資料,
<http://www.physics.rutgers.edu/~podzorov/parylene%20properties>, 最終アクセス確認日 2016 年 12 月 1 日.
- [115] 吉村了行, 疋田真, 碓氷光男, 金子明正, 都丸暁, 今村三郎, 信学技報 **96**, 43 (1996).

- [116] H. Chun, P. Manousiadis, S. Rajbhandari, D. A. Vithanage, G. Faulkner, D. Tsonev, J. J. D. McKendry, S. Videv, E. Xie, E. Gu, M. D. Dawson, H. Haas, G. A. Turnbull, D. W. Samuel and D. C. O'Brien, *IEEE Photo. Tech. Lett.* **26**, 2035 (2014).
- [117] 大橋啓之, 藤方潤一, *応用物理* **37**, 21 (2008)..
- [118] C. Griffin, E. Gu, H. W. Choi, C. W. Jeon, O. J. Rolinski, D. J. S. Blich, J. M. Girkin, and M. D. Dawson, *Lasers and Electro-Optics Society* **2**, 896 (2004).
- [119] Q. Q. Jiao, Z. Z. Chen, J. Ma, S. Y. Wang, Y. Li, S. Jiang, Y. L. Feng, J. Z. Li, S. Jiang, Y. L. Feng, J. Z. Li, Y. F. Chen, T. J. Yu, S. F. Wang, G. Y. Zhang, P. F. Tian, E. Y. Xie, Z. Gong, E. D. Gu, and M. D. Dawson, *Opt. Express* **23**, 16565 (2015).
- [120] Z. Liu, J. Ma, T. Huang, C. Liu, and K. M. Lau, *Appl. Phys. Lett.* **104**, 091103 (2014).

第2章 窒化物半導体デバイスおよび光電子集積回路作製技術と評価・解析技術

2.1 序言

本章では、窒化物半導体デバイス作製技術および光電子集積回路作製技術，ポリマー導波路作製技術に関わる装置群の作製条件を含む使用方針や装置原理に加え，本研究で行った評価および解析手法について説明する。

2.2 窒化物半導体デバイス作製技術

2.2.1 誘導結合型プラズマ反応性イオンエッチング

本研究において、窒化物半導体 (GaN 系) のエッチングには誘導結合型プラズマ反応性イオンエッチング (ICP-RIE) を用いた。図 2.1 に ICP-RIE の基本構成図を示す。誘導結合型プラズマを使用することで、プラズマを発生させる電力 (アンテナ RF パワー) と発生したイオンを試料に引き付ける電力 (バイアス RF パワー) を独立に制御出来ることから、高密度プラズマの発生が可能であり、表面のダメージ軽減および異方性の向上、高速エッチングが可能である。GaN は塩素系ガスにより化学エッチングが可能であり、一般的に BCl_3 、 Cl_2 などが用いられる。本研究においては、 Cl_2 、Ar、 SiCl_4 の 3 つを用いた。RIE による GaN のエッチングのメカニズムは、図 2.2 に示すように

- ① イオンが化学的に試料と結合し、気体となって試料を削る (化学エッチング)。
- ② ラジカルが試料と衝突することで物理的に削る (物理エッチング)。
- ③ ラジカルが試料表面の吸着粒子 (ほこりや試料表面の分子と結合したままのイオン) を活性化させて化学反応を促進し、反応生成物が脱離することで削る (イオンアシストエッチング)。

の 3 つの現象 [1] により行われている。

装置の静電チャックを保護するため、搬送ウェハは 4 インチ Si 基板が必要であり、表面材料には熱伝導率が高く、エッチングされにくい材料が求められる。そこで、本装置には裏面に Si 基板、表面に AlN 基板を貼り合せた特殊ステージ基板を用いた。これは、AlN が絶縁性の材料であるため、静電チャック機能が作動せず、エッチング中に基板が固定されず、動いてしまうためである。エッチングガスに SiCl_4 を使用することから、Si 基板の採用は避けるべきである。本研究では、各実験間の再現性を高めるために、従来では空流し→プロセス本番→クリーニングとしていたのを、クリーニング→空流し→プロセス本番→クリーニングと変更し、その効果の確認が取れている。これにより、本研究を通して利用した基本的な ICP-RIE の設定条件である表 2.1

のエッチングレートを用いれば, GaN のエッチングレートをほぼ 4 nm/sec に調整することが可能である.

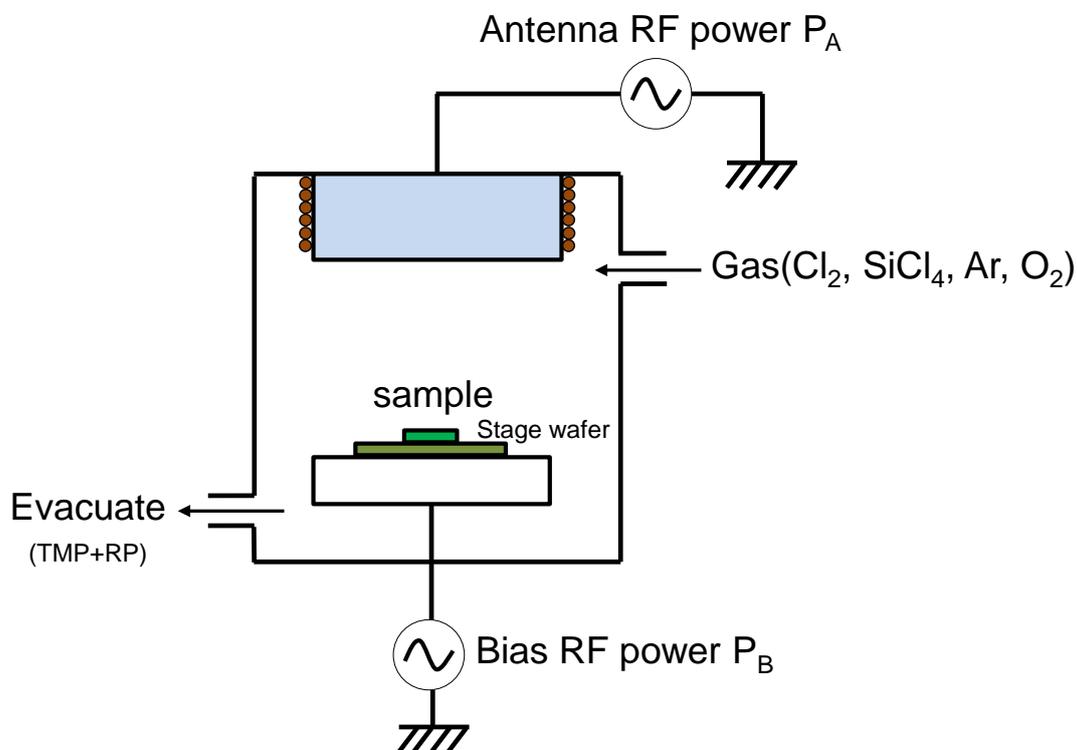


図 2.1 ICP-RIE の基本構成図

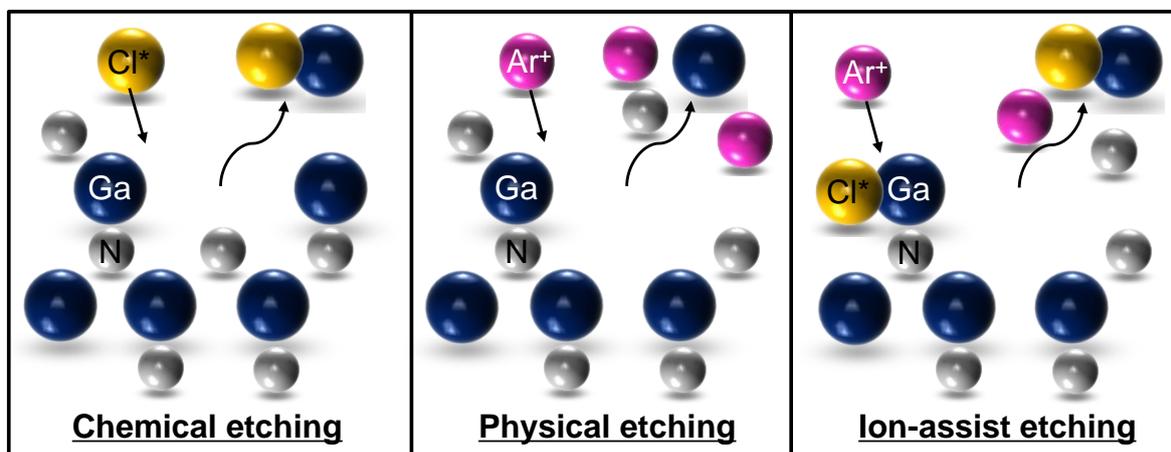


図 2.2 GaN のドライエッチング原理

表 2.1 ICP-RIE の基本的な設定条件

Parameter	Set point
APC pressure	0.6 Pa
Ar gas flow	10 sccm
Cl ₂ gas flow	30 sccm
SiCl ₄ gas flow	3 sccm
Antenna RF power	120 W
Bias RF power	30 W

2.2.2 電子ビーム真空蒸着

真空蒸着装置には、原料の加熱方式の違いにより抵抗加熱式と電子ビームを用いる電子線加熱式が挙げられる。図 2.3 に概略を示す電子線加熱式では、電子ビームガンから発せられた電子線が、磁極により原料方向に曲げられ原料と衝突する。原料の加熱部は電子線の照射された部分に限られるため、抵抗加熱式に比べ輻射熱を低減させることができる。抵抗加熱式では原料を蒸発させる際に電熱線、あるいはボート等を加熱するため、蒸着時に電子線加熱式に比べ熱が試料に加わる。本研究では電極のパターニングにリフトオフプロセス (lift-off process) を採用するため、輻射熱によりレジストが過剰に加熱されて硬化するリスクの高い抵抗加熱式は不向きである。そのため、本研究においては電子ビーム蒸着を一貫して採用した。

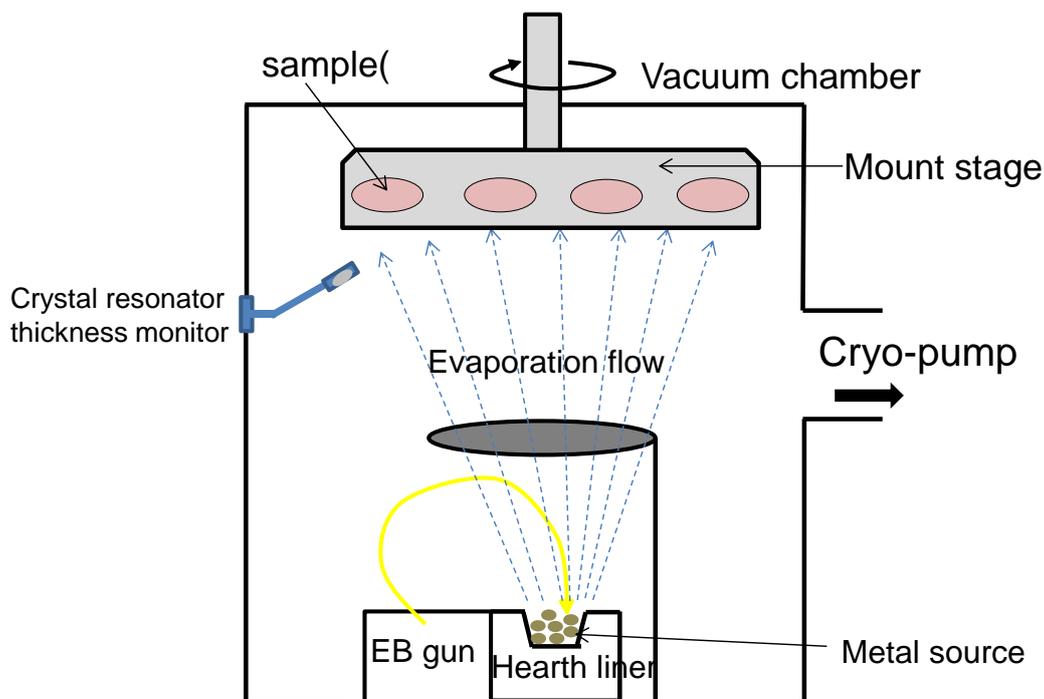


図 2.3 電子ビーム蒸着装置の概略図

この電子ビーム蒸着を用いたプロセスでは、ハースライナ (hearth liner) に補充する蒸着原料の量に注意する必要がある。原料を入れすぎた場合、加熱によりハースライナから溢れ、少なくすぎると電子ビームによりハースライナに穴が開く。Ti は熱伝導率が悪く、電子ビームの当たった箇所が局所的に熱せられるためハースライナの貫通に注意する必要がある。この場合、ハースライナ内の原料の残量に応じて、電子ビームスポットを広げるなどの対策が必要である。Al は溶けるとハースライナの壁面を薄くするように広がるため、ハースライナの裏面への回り込みに注意が必要である。ハースライナ裏面への金属の回り込みが起きた場合、電子銃の電流値が顕著に増加する事が経験的に分かっている。本研究で使用した電子ビーム蒸着装置には、温度モニタが設置されており、リフトオフプロセスを行う場合はレジストが硬化しないようにモニタの指示値が 100 °C 以下に保ちながら蒸着を行った。

2.2.3 高速熱処理処理

GaN 表面に形成した金属電極のコンタクト抵抗を低抵抗のオーミック接触 (Ohmic contact) とするためには、一般的に熱処理 (シンタリング) が必要である。方法として、輻射加熱炉法、高速熱処理 (RTA : Rapid Thermal Annealing) 法の 2 種類が広く用いられている。輻射加熱炉法は、半導体製造工程において古くから用いられてきた方式で、輻射と熱伝導により基板を加熱する方式である。この方式では、熱的な平衡状態が達成されるため物理的に正しい温度測定が可能である。一方、高速熱処理法の代表的な装置である赤外線ランプ加熱炉は、棒状の赤外線ランプから放射された赤外線を反射面に張られている金箔に反射させることで赤外線を効率良く利用し、その輻射により高温まで急速に加熱することが出来る [1]。ただし、熱的には非平衡状態となるため、温度把握が輻射加熱炉法と比較すると難しい。

高速熱処理は、設定温度までの昇温時間を秒オーダーで制御でき、目標温度下に試料がさらされる時間を容易に制御出来る。そのため、本研究における高速熱処理は全て赤外線ランプ加熱装置を用いて行った。本装置は、4 インチ Si 基板上をステージとして利用する方法と、4 インチの SiC 被覆された Graphite サセプタ (susceptor) を利用する方法がある。本研究の進行中、4 インチ Si 基板では窒化物半導体デバイスの熱処理が正常に行われなかったことが判明したため、Graphite サセプタの利用のみに統一した。赤外線ランプ加熱装置では表示される温度は、Graphite サセプタの温度を表示していることから、試料表面の温度と必ずしも一致しないことに注意が必要である。また、赤外線は GaN を透過するが、その上に蒸着された金属電極による吸収は考慮する必要があることから、電極材料の構造を変更した場合には熱処理条件を再検討する必要がある。

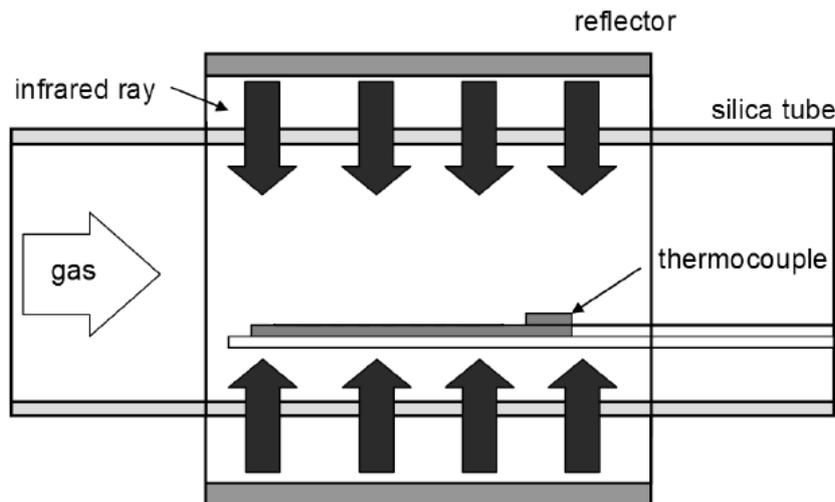


図 2.4 赤外線ランプ加熱装置（高速熱処理装置）の概略図

2.2.4 化学気相堆積

デバイス作製時における絶縁膜の役割として、表面の不活性化，安定化，多層配線用の層間絶縁膜，外部からの機械的ダメージに対する保護などがある．Si には SiO_2 ， Si_3N_4 などの優れた絶縁膜が存在するが，窒化物半導体には未だに低界面準位密度の絶縁膜形成技術は確立されていない．また，表面保護膜と結晶の組成が入り混じった変成層や酸化層が界面に発生することが多く，スパッタ法で成膜すると点欠陥，化学気相堆積法で成膜すると酸化層が生じやすい．化学気相堆積（CVD: chemical vapor deposition）法では，化学反応を起こさせる反応質内に導入されたガスは熱，高周波電力，光などのエネルギーによって解離・供給反応を受け，エネルギー的に励起された前駆体ラジカルが発生する．この前駆体は基板表面で吸着・脱離を繰り返し，そのうち一定量が吸着して表面上を拡散しながら堆積されていく．この時，生じる反応副生成物はガスとなって基板表面から離脱し，排気系によって外部に除去される．反応を生じさせるエネルギーをどのような手段で与えるかにより，熱 CVD やプラズマ援用 CVD，光 CVD という区別が行われる [1] [2]．

(1) プラズマ援用CVD

プラズマ援用CVD（plasma enhanced chemical vapor deposition : PECVD）は，原料気体をプラズマ状態にして化学的に活性な励起分子・原子・イオン・ラジカル等を作り出し化学反応を促進させて基板上に薄膜を堆積する手法である．特徴としては，

- ・熱CVDと比較すると反応時の基板温度を下げる事が可能
- ・低温成膜により熱的損傷の現象や基板物質との反応抑制，非耐熱性基板への薄膜形成が可能

・プラズマを利用した化学反応の促進によって堆積速度が得られやすいという3点が挙げられる。したがって、電極形成後などの低温で絶縁層堆積が必要な場合には効果的な堆積方法である。導入ガス SiH_4 および N_2O における SiO_2 の生成反応は、以下の式で表される。



SiH_4 は爆発性ガスであり、 N_2O は神経麻痺を起こすガスであるため特に注意が必要である。堆積された酸化膜の膜厚測定には光干渉式膜厚計を使用した。実際のプロセス中には、作製デバイスウェハに加えて自然酸化膜除去したSi基板を同時に投入することで各工程の膜厚測定を検証し、プロセス開発の確度を高めた。表2.2に本研究で用いたPECVDによる SiO_2 堆積の基本条件を示す。

表2.2 PECVDによる SiO_2 の基本的な堆積条件

Deposition temperature	300 °C
SiH_4/N_2 flow rate	65 sccm
N_2O flow rate	120 sccm
RF power	300 W
APC (deposition)	67 Pa
Deposition rate (ref)	55 ~60 nm/min

(2) 減圧化学気相堆積

減圧CVD (Low Pressure chemical vapor deposition : LPCVD)法は熱CVD法の一つで、CVDの中で熱エネルギーにより適当な温度に加熱された基板表面あるいは気相中で、原料ガスを熱分解し、分解生成物や化学反応によって、薄膜を形成する方法である。熱CVDの特徴としては、原料ガスや反応条件の設定により、高純度の薄膜が形成でき、被膜性がよく、条件により選択成長が可能であること等が挙げられる。しかし、低温形成では膜の緻密さが劣り、 $600^\circ\text{C} \sim 800^\circ\text{C}$ と高温の堆積の場合ではGaNに対して熱損傷が生じる可能性がある等の短所が挙げられる。本研究で用いる減圧CVD装置は図2.5に示すような横型電気炉のタイプで、多結晶Si (poly-Si)、 SiO_2 、 Si_3N_4 を堆積することが可能である。また、減圧化することで原料ガスの平均自由行程が伸び、堆積膜厚のウェハ面内均一性や段差被膜性が向上する。本研究を通して使用した基本的な堆積条件を表2.3および表2.4に示す。本研究では異形チップの使用が前提であるため、4インチSiウェハに3インチの溝を加工した搬送用ウェハを用意し、搬送用石英ポートに対して図2.6のように異形チップを設置することで異形チップの処理を可能とした。また、2インチウェハをセットする場合には、成膜速度の安

定化の観点からガスフローが基板表面に直接当たらないような方向に設置するよう注意する. 表 2.3 および 2.4 に, 本研究で利用した SiO_2 および poly-Si の基本的な堆積条件を示す.

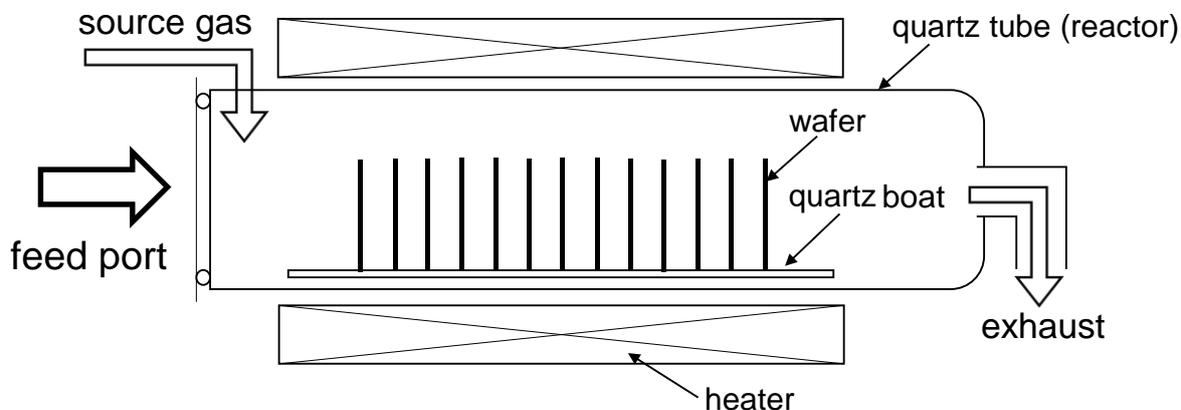


図 2.5 一般的な減圧化学気相堆積装置の概要

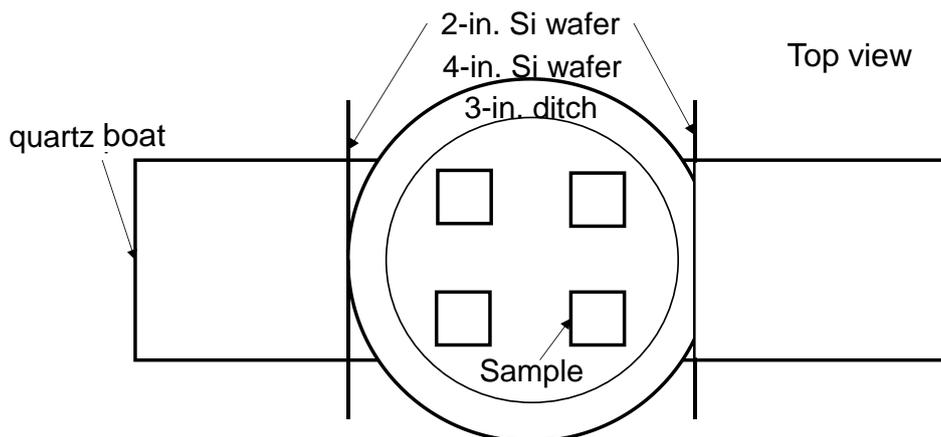


図 2.6 本研究で採用した搬送用石英ポートを用いた異形チップ使用のための構成

表 2.3 LPCVD による SiO_2 の基本的な堆積条件

Deposition temperature	722 °C
TEOS flow rate	29.8 sccm
O ₂ flow rate	300 sccm
APC (deposition)	36 Pa
Vacuum (background)	0.8 Pa
Deposition rate	8 ~ 9 nm/min

表 2.4 LPCVD による poly-Si の基本的な堆積条件

Deposition temperature	614 °C
SiH ₄ flow rate	200 sccm
N ₂ flow rate	1000 sccm
APC (deposition)	70 Pa
Vacuum (background)	0.8 Pa
Deposition rate	5~6 nm/min

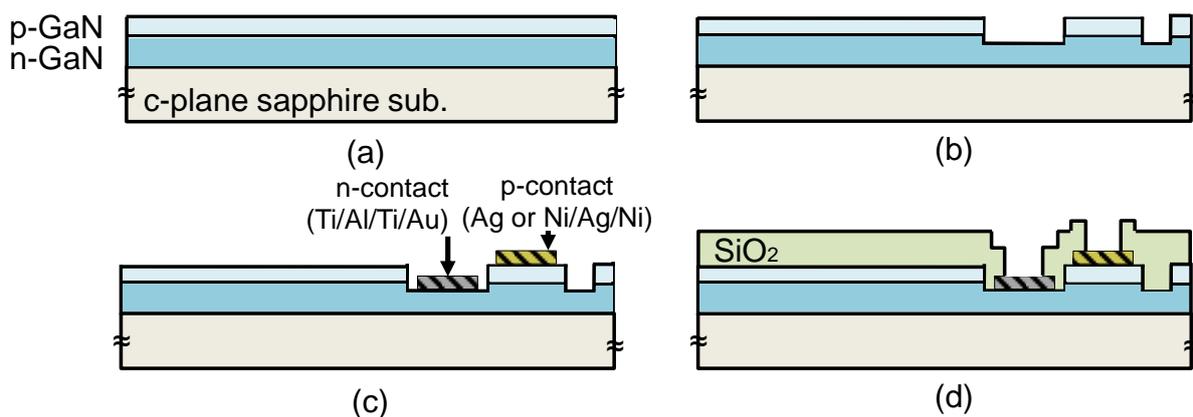


図 2.7 GaN 系発光ダイオードの作製工程の概略

2.2.5 窒化物半導体系発光ダイオードの基本的な作製工程

図 2.7 に本研究における GaN 系発光ダイオード (light emitting diode : LED) の基本的な作製工程の概略を示す。本研究では市販の GaN-LED 基板を用いてプロセス開発を行った。まず、初期基板をアセトン、メタノールを用いた超音波洗浄により脱脂を行う。素子分離用の溝形成 (メサ構造) のため、n-GaN 層まで ICP-RIE を用いたドライエッチングを行う (図 2.7(b))。この時の条件は表 2.1 に示した。その後、電子ビーム蒸着およびリフトオフ法によって n-GaN 領域に Ti/Al/Ti/Au 構造を作製し、低抵抗化を図る目的で 750 °C 3 分間の窒素雰囲気熱処理を行った。熱処理には 2.2.3 節にて述べた赤外線ランプ加熱装置を用いた。次に、電子ビーム蒸着およびリフトオフ法によって p-GaN 領域に p 電極を形成する (図 2.7(c))。p 電極の形成条件に関しては 3 章 3.2 節にて詳細に検討することから、本節では記載を割愛する。最後に、PECVD によって LED 基板表面に SiO₂ を堆積し、緩衝フッ酸 (BHF) によってコンタクトホールを形成する (図 2.7(d))。その後、必要に応じて電極引き出しパッドを形成する。

2.3 光電子集積回路作製技術

2.3.1 表面活性化ウェハ接合装置

表面活性化ウェハ接合は、接合前の基板表面をプラズマによって活性化し、固体表面が本来持っている凝集エネルギーをそのままウェハ接合原理とすることによって、室温を含む低温化で安定な接合を実現する手法である [3]。表面活性化の手段としては、イオン衝撃、プラズマ照射、ラジカル照射などがあり、対象となる材料が金属・セラミックス・半導体などの何であるかによって使い分けられる。イオン結晶材料同士の接合の場合、表面活性化を行った場合でもイオン配列の欠陥によって不規則な分極が生じるだけのため、表面接触による表面エネルギーの低下は生じにくい。その対策として須賀らは「固相中間層接合」を提案している。固相中間層接合の報告例としては水和物を利用したウェハ接合 [4]や極薄の鉄 (Fe) を利用したウェハ接合 [5]が挙げられ、金属同士、セラミックスに関係なく低温での接合が実現されている。

本研究で用いた表面活性化ウェハ接合装置の装置原理について述べる。装置の概略を図 2.8 に示す。ここでは、Si 基板と SiO₂/Si 基板の表面活性化ウェハ接合を例に説明する。まず、基板をロードロックチャンバー (load-rock chamber) に導入し真空引きを行い、接合チャンバーへ移送する。接合チャンバーの到達真空度は 1×10^{-6} Pa 程度である。基板移送後、接合チャンバーの真空度が 5×10^{-6} Pa 以下まで到達した後、FAB 機構 (FAB : fast atom beam) により各基板の表面処理を行う。このとき、基板表面の自然酸化物や有機物を含む吸着層 (図 2.9(a)) は、FAB 機構から照射された Ar イオンによって物理的にエッチングされ、ダングリングボンドを多く含む清浄な表面が得られる (図 2.9(b))。次に、FAB 機構に隣接した Si ターゲットに対して Ar イオンを照射してスパッタリングを行い、SiO₂ 表面に Si ナノ密着層を堆積する (図 2.9(c))。スパッタリング終了後、再度各基板表面を Ar イオンによって清浄化する。その後、荷重を印可することによって各基板表面のダングリングボンド同士間で共有結合が達成され、ウェハ接合が実現される。

表面活性化工程においては、図 2.8 に示したように FAB 機構が基板上を y 軸 (水平方向) 方向に動くことによって基板表面全体にイオン衝撃が行われる。この時、y 軸上の座標の設定により表面活性化処理の範囲を制御することとなる。つまり、基板の大小に応じて処理範囲を変更できるということである。この際、ある y 軸座標からある y 軸座標までの表面活性化を設定したときに、往路 (1 走査) と復路 (1 走査) をセットとして往復 2 回の走査が行われることとなる。実際の作製条件では、この回数を設定することによって表面活性化処理条件を変更する。Si ナノ密着層の堆積に関しては、FAB 機構に隣接した Si ターゲット (図 2.8) の角度を調節することによって行う。

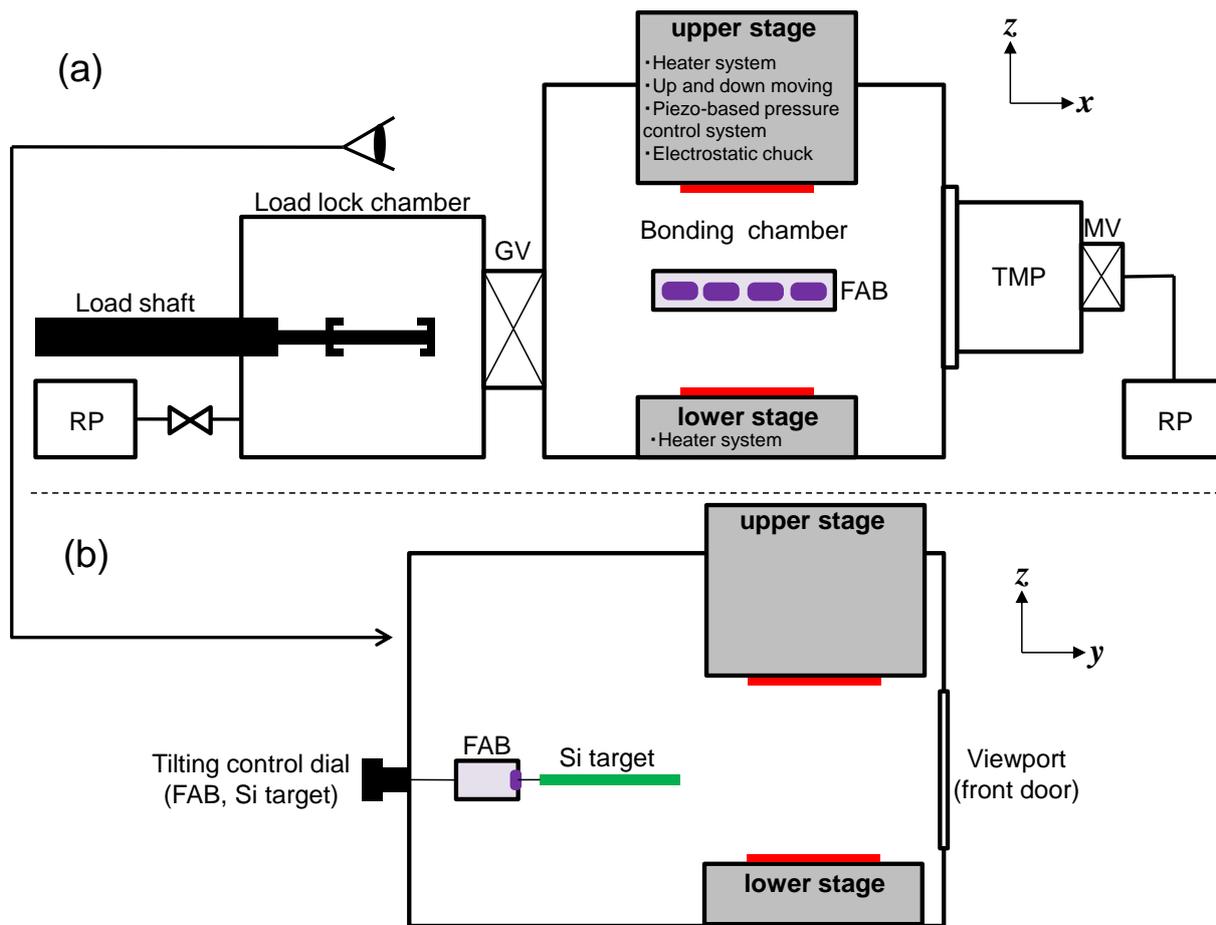


図 2.8 表面活性化ウェハ接合装置の(a)正面からの概略と(b)側面からの概略

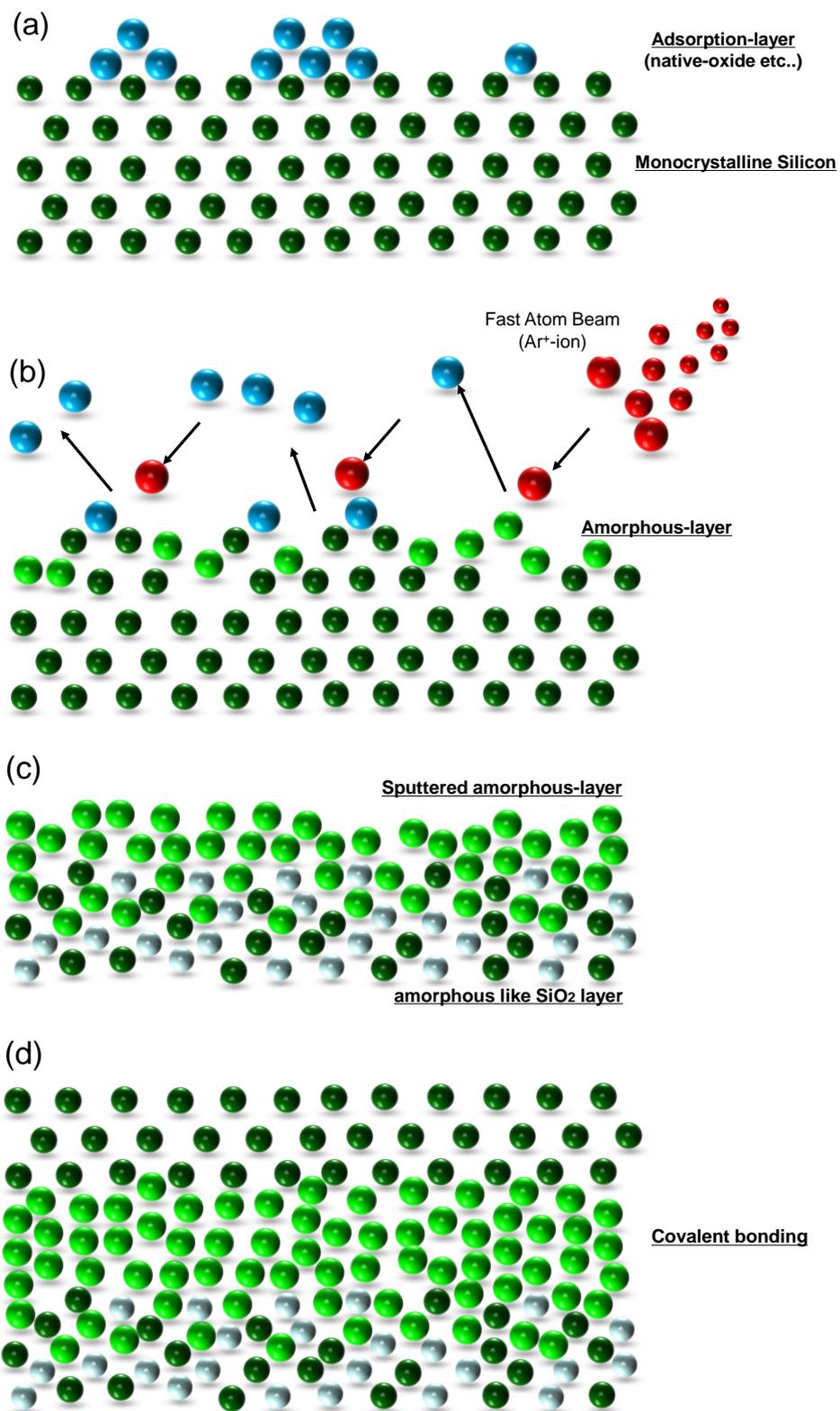


図 2.9 表面活性化ウェハ接合 (Si/SiO₂系) 原理における表面近傍原子の状況

2.3.2 酸化炉（化合物半導体デバイス混載用）

Si 基板表面は酸化雰囲気さらされると O_2 や H_2O などの酸化種が基板表面のSi原子と反応し、 SiO_2 を形成する。その後、新たな酸化種が形成された SiO_2 層を拡散し、 SiO_2/Si 界面に到達して新たにSi原子と反応を起こす。つまり、酸化の過程で SiO_2/Si 界面は順次Si内部に向かって進行する。このとき、Siと SiO_2 の分子量（Si：28.09 / SiO_2 ：60.08）と密度（Si：2.33 / SiO_2 ：2.24）の差から、 SiO_2 の体積は約2倍に膨張することとなり、熱酸化膜の厚さを d とすれば、Si基板は $0.45d$ のSiを消費することになる。Siの酸化速度は圧力・温度・結晶方位・酸化雰囲気・ドーパントの影響を受ける。一般的に熱酸化時の炉内温度が同じ場合、ドライ酸化に比べてウェット酸化の酸化速度は約5～10倍である [2]。これは、 SiO_2 中を拡散する水酸イオンの拡散速度が酸素イオンよりも速いためである。図2.10に化合物半導体デバイス混載用に設置された酸化炉の構成を示す。酸化炉は水蒸気供給用のバブラー、バブラーを加熱し水温を高めるマントルヒーター、石英管及び炉体ヒーターで構成されている。 H_2 と O_2 の同時供給によって酸化を行う水素燃焼スチーム方式に比べて、超純水の質が酸化膜の質に直接影響する事から、装置の維持管理において石英管およびバブラー内の汚染には十分な注意が必要である。

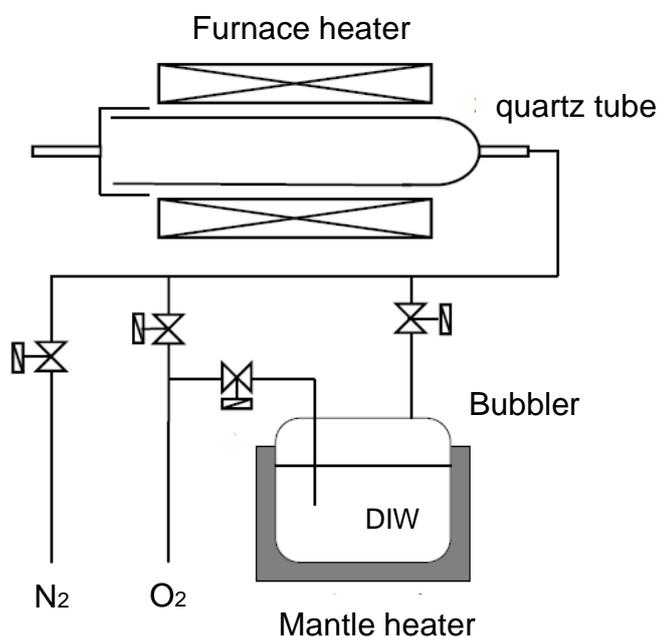


図2.10 本研究にて使用した酸化炉の構成

2.3.3 イオン注入装置

Si 集積回路で一般的に用いられるイオン注入は、添加したい元素をイオン化させ、これに高電圧を印加して加速させることで基板への不純物注入を可能とする技術である。特に、Si 集積回路の基本概念をなす CMOS 技術ではイオン注入による選択添加による任意個所の伝導型制御が非常に重要な役割を担っている。また、注入時には物理的な結晶損傷が導入されるものの、現在では熱処理を用いた結晶損傷回復と不純物活性化によって導電性および不純物分布を極めて正確に制御する技術が確立されている。

本研究で用いたイオン注入装置は、主に 260 keV 以下のエネルギーにて、目安として $1 \times 10^{14} \text{ cm}^{-2}$ 以下の中・低ドーズ量を注入するプロセスに用いられる。本研究では主に二つの技術に関連してイオン注入を用いた。一つ目は、集積回路の作製に不可欠な Si-MOSFET の形成工程において一般的にも用いられているリンおよびボロンのイオン注入である。二つ目は、1.3 節にて述べたプレーナ型 LED 構造を作製するために必要な GaN への Si のイオン注入である。典型的な LED 構造における p-GaN 層の膜厚は数百 nm 程度であることから、深い分布へのイオン注入技術が必要となる一方で、デバイスの観点では低結晶損傷で高導電性の伝導性制御技術の確立が必要である。そこで、本研究では結晶面による深さ方向への原子密度の違いにより発生する「チャネリング現象」 [6]に着目した。イオンが結晶軸や結晶面に向けて打ち込まれると、入射イオンの運動エネルギーは衝突散乱や結晶格子点にある原子が形成する電氣的ポテンシャルとの相互作用によって徐々に小さくなっていく。この時、注入方向に対して原子密度が異なることにより衝突断面積（衝突確率）は変化し、特定角度では入射イオンの衝突散乱が顕著に抑制される”チャンネル”が発現する。このチャンネルに突入したイオンは結晶格子点の原子に衝突せずに奥深くまで侵入するため、高浸透の不純物分布が形成される。これがチャネリング現象である。本研究で使用したイオン注入装置では、入射イオンに対する試料の角度となるチルト角度、ツイスト角の制御により、チャネリング現象の制御を行うことが出来る。図 2.11 に GaN に対するイオン注入におけるチャネリング現象の概略を示す。図 2.12 にはイオン注入実験におけるチルト角とツイスト角の意味を示す。本研究を通して利用した GaN の成長方向は<0001>であるから、チルトおよびツイスト角が 0° の時にウルツ鉱構造のチャンネルが開口する(0001)面に平行となり、チャネリング現象の発現が期待される。

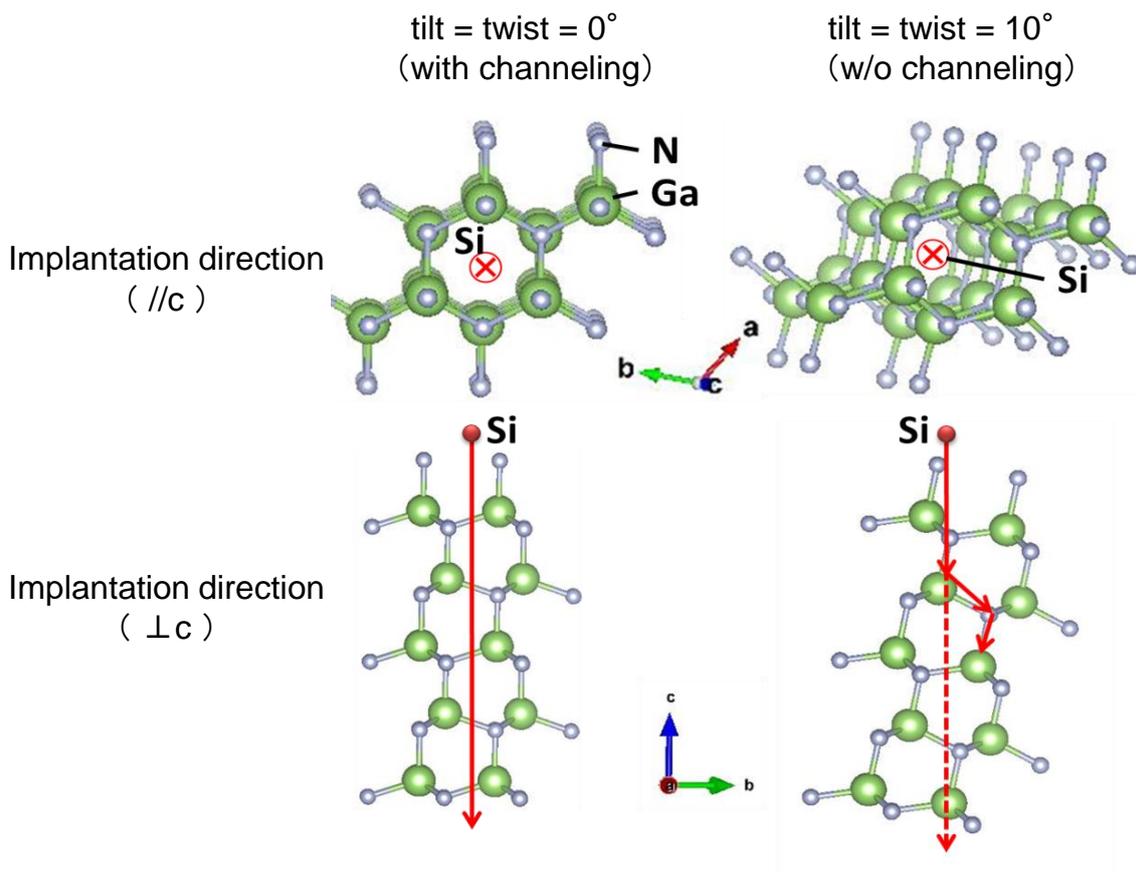


図 2.11 Si のイオン注入方向から見た GaN の原子配列とチャネリング現象の概略.
 $\perp c$ は c 面(0001)に直行する方向で, $//c$ は c 面と平行方向を示す.

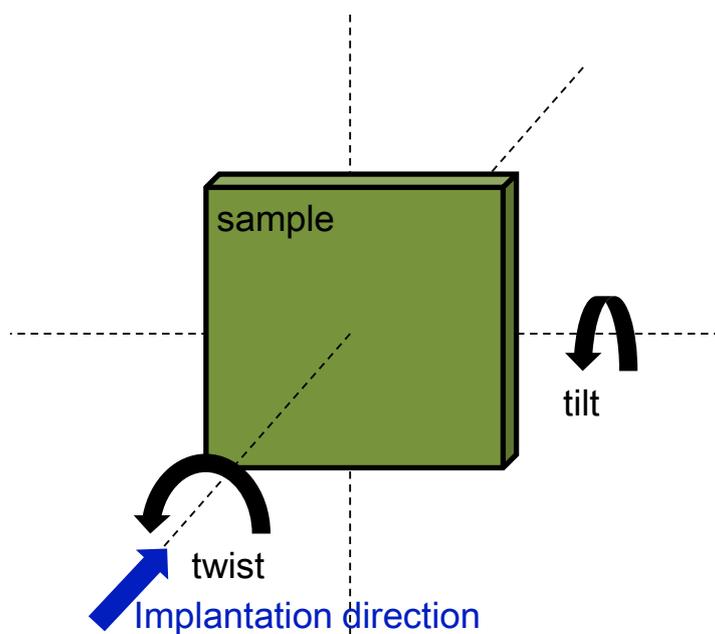


図 2.12 イオン注入方向に対するツイスト角とチルト角の幾何学的関係

2.4 ポリマー導波路作製技術

2.4.1 酸素プラズマエッチング

本研究にて開発を行った導波路材料はシクロオレフィン系の有機ポリマーである。導波路損失の観点から、エッチング端面には高い垂直性が求められるため、光架橋性の材料系以外ではプラズマを用いたドライエッチングが一般的に利用される [8] [9]。有機ポリマーは、構成する炭素に活性酸素と反応させて連続的に一酸化あるいは二酸化炭素に変化させていくことでドライエッチングが可能である。そのため、酸素アッシングの機能を備えたエッチング装置であれば基本的に使用するシクロオレフィン系ポリマー材料をドライエッチングすることが出来る。

本研究では、容量結合型とリモートプラズマ型の2つの酸素アッシング装置を用いた。容量結合型では、プラズマ密度の高い領域で試料の処理を行うことが可能である一方、イオンなどの高エネルギー粒子の衝突による試料表面温度の上昇や処理対象の表面構造等によってプラズマの安定度が変化するなどの懸念がある。その一方で、リモートプラズマ型では、プラズマ生成部と処理対象を空間的に分離することが可能であるため、基板温度の過剰な上昇を抑制することが可能であり、プラズマの安定度が基板の表面構造によって変化しないという特長がある。本研究を進める過程で、容量結合型を用いた場合では導波路加工において熱起因と推察されるポリマー表面の形態変化が観測された。これに関して、プロセス時間の分割によって回避可能であることが見出されたものの、実験条件の再現性の観点からリモートプラズマ型を一貫して利用することとした。

2.5 各種評価・解析技術

2.5.1 走査型プローブ顕微鏡

本研究では、表面活性化ウェハ接合前段階での各基板の表面平坦性の評価に際して走査型プローブ顕微鏡を用いた。走査型プローブ顕微鏡は、微小な針（探針：プローブ）で試料表面をなぞってその形状や性質を観察することの出来る顕微鏡の総称である [8]。本研究において微小領域の表面モフォロジ（morphology）観測に用いた原子間力顕微鏡（AFM：atomic force microscope）は、走査型プローブ顕微鏡の一種で、プローブ（カンチレバー：cantilever）で試料表面を走査し、実空間における基板表面の構造を原子的スケールで測定できる顕微鏡である。カンチレバーを試料表面に近づけた際に発生する原子間力起因のカンチレバーの反りや振動の変化を、カンチレバーに照射したレーザー光によって検出することにより表面の3次元形状が観測出来る。本研究では、一定の振幅で周期的に振動する探針を試料表面に近づけその振動振幅が一定になるようにカンチレバーと試料表面の距離を制御するタッピングモード（tapping-mode）を用いた。図 2.14 に AFM の概略を示す。AFM では $10\ \mu\text{m} \times 10\ \mu\text{m}$

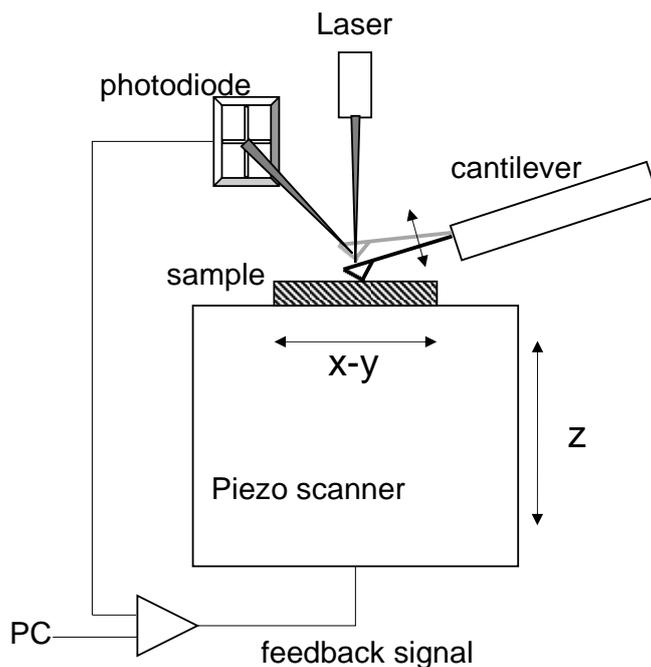


図 2.13 原子間力顕微鏡の概略

程度の微小領域の表面モフォロジ観測を行うことが可能な一方， $300\ \mu\text{m} \times 300\ \mu\text{m}$ のような広域の表面モフォロジを観測することは難しい．そこで本研究では， $300\ \mu\text{m} \times 300\ \mu\text{m}$ のような広域の表面モフォロジを評価するために広域段差計の触針式表面形状測定機能を用いた．

2.5.2 X線回折

本研究における半導体結晶の構造評価技術の一つとして X 線回折 (XRD : X-ray diffraction) を用いた．原子が周期的に配列した結晶に X 線が入射すると，原子間隔に相当した回折効果が発現し，特定方向に X 線が強く散乱される．ある面間隔 d で配列した特定の結晶面 (仮に (hkl) 面) に X 線が入射した場合，散乱波の干渉条件は Bragg の法則で記述することができ，

$$2d \sin \theta = n\lambda \quad (2.2)$$

となり，本研究で使用した特性 X 線 (Cu:K α) の波長は $1.54052\ \text{\AA}$ である．(2.2) で示されたように，結晶からの回折 X 線強度には角度依存性が存在し，その特性自体は回折角・回折強度・半値全幅によって基本的に特徴づけられる．本研究では，X 線に対する計測系の角度を 2θ に固定し，入射 X 線に対する試料の角度を変化させながら回折強度を測定する ω スキャン測定 (あるいはロックンクカーブ測定) を用いた．ロックンクカーブ測定では，逆格子空間の原点を中心とした球面上の回折強度を測定することにより，結晶面内方向での面方位の揺らぎの度合いを評価することが出来る．4

章にて述べる Si/SiO₂/GaN-LED 基板上の Si デバイス層の結晶性評価の実験では、チャネルカットアナライザを用いず、入射スリットに 1/8° 発散スリットを用いて測定を行った。この時、試料上の X 線の照射長は約 0.5 mm となる。

2.5.3 固有コンタクト抵抗評価

半導体デバイスにおける固有コンタクト抵抗（コンタクト抵抗）の測定には一般的に伝送長法（Transfer length method）法が用いられる [9] [10]。伝送長法では、コンタクト面に垂直に流れる電流がデバイス表面で曲がり水平方向に流れる態様のコンタクト抵抗を精度よく測定することが可能である。伝送線モデルを基礎とする伝送長法では、水平コンタクトをコンタクト抵抗因子（ R_c ）と表面導電層抵抗因子（シート抵抗 R_{sh} ）とが梯子型に結合した分布定数回路として各成分を解くモデルを考える。オーミックコンタクトの性能指数であるコンタクト抵抗は、

$$\rho_c = \left(\frac{\partial V}{\partial I} \right)_{V=0} [\Omega \cdot \text{cm}^2] \quad (2.3)$$

で表される。TLM 法は、電極とその直下の半導体層を伝送線路型の等価回路を用いて解析を行う。電極形状には、線型と環状のものがあり、それぞれ線型伝送線路 (Rectangular TLM : R-TLM) 法と環状伝送線路 (Circular TLM : C-TLM) 法と呼ばれている。R-TLM を用いる場合、電極間を電流が流れる際、複数のパスや回り込みによって誤差が生じる。それらの影響を防ぐために、RIE などによるメサエッチングを施す必要があることから、プロセスが複雑化する。そこで R-TLM と比較して精度よくコンタクト抵抗を求められ、窒化物半導体でも一般的に利用されている C-TLM を本研究では用いた [11] [12]。C-TLM における伝送線モデルを図 2.15 に示す。まず、図 2.15 の電極形状で、 a と β の 2 つの電極間の電流-電圧測定を行う。内部電極の半径は 100 μm と設計した。ここで、 $a_1 \gg L_t$ の時、電流-電圧測定から得られる抵抗 R は以下のようにならされる。

$$\begin{aligned} R &= \left\{ \frac{R_{sh} L_t}{2\pi \times a_1} + \frac{R_{sh} L_t}{2\pi \times (a_1 + d)} \right\} + \left\{ \frac{R_{sh}}{2\pi} \ln \left(\frac{a_1 + d}{a_1} \right) \right\} \\ &= \left\{ \frac{R_{sh} L_t}{2\pi \times 100} + \frac{R_{sh} L_t}{2\pi \times (100 + d)} \right\} + \left\{ \frac{R_{sh}}{2\pi} \ln \left(\frac{100 + d}{100} \right) \right\} \end{aligned} \quad (2.4)$$

ここで、 a_1 は内電極半径、 L_t は伝搬長 [μm]、 R_{sh} はシート抵抗 [Ω]、 d はギャップ長 [μm] となる。

(2.4) 式の右辺の第 1 項と第 2 項は電極直下の半導体層の抵抗を表しており、抵抗は反比例し、伝搬長に比例することを表している。第 3 項は電極直下以外の半導体層の

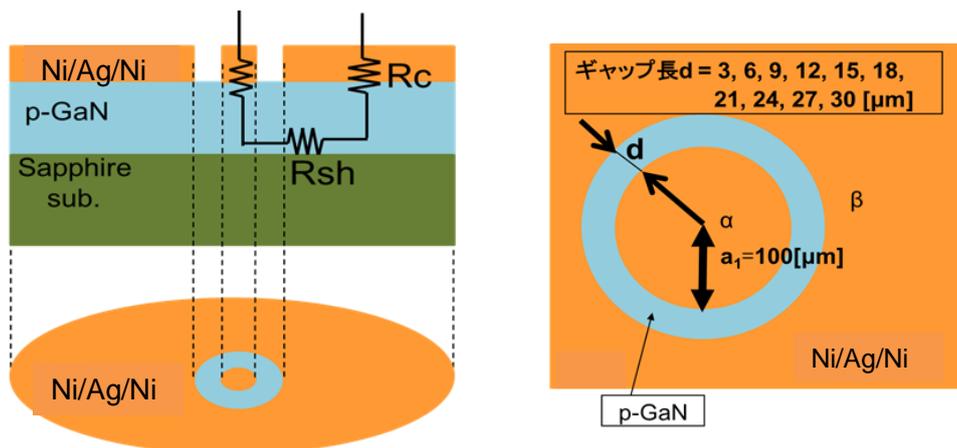


図 2.14 C-TLM の伝送線モデル (左) と C-TLM パターンの電極形状 (右)

抵抗と電極直下以外の半導体層の抵抗の和であることからまとめると

$$R = \frac{R_{sh}}{2\pi} \left\{ L_t \left(\frac{1}{100+d} + \frac{1}{100} \right) + \ln \left(1 + \frac{d}{100} \right) \right\} \quad (2.5)$$

となり、この理論式を用いて測定結果を最小二乗法によりフィッティングすることでシート抵抗 R_{sh} 、伝搬長 L_t を求める。このときコンタクト抵抗は

$$\rho_c = R_{sh} \times L_t^2 [\Omega \cdot cm^2] \quad (2.6)$$

より求めることが出来る。

2.5.4 LED の電気・発光特性評価

図 2.15 に LED の発光強度測定の設定アップを示す。基本構成は、W 製探針を用いたプローブシステムにより LED の p 電極および n 電極と測定計器を接続し、外部から信号を印可して測定を行う。測定系は 2 つ構築しており、1 つは半導体パラメータ・アナライザを用いた精密測定系、もう一つはソースメータ、ピコアンメータおよびマルチチャンネル分光器を用いた Electro-luminescence (EL) 測定系である。どちらの系においても、電流－電圧特性に加えて発光強度－注入電流特性を測定することが出来る。本研究で使用する GaN-LED の発光強度は、Si フォトダイオード上に試料を設置し、sapphire 基板側から取り出された発光を Si フォトダイオードで受光することにより測定する。発光強度 L_{out} は

$$L_{out} = \frac{I_{PD}}{A_{PD} S} \quad (2.5)$$

で算出される。このとき、 I_{PD} は Si フォトダイオードにより測定される光電流、APD

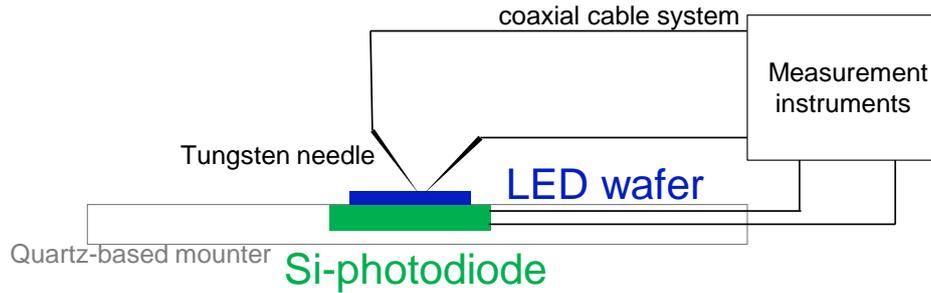


図 2.15 GaN-LED の発光強度測定系の構成

は Si フォトダイオードの波長感度 (0.25 A/W @ $\lambda=460 \text{ nm}$), S は LED のメサ構造面積, あるいは p 電極面積とする. LED の発光特性の指標として一般的に報告される外部量子効率 (EQE : external quantum efficiency) は

$$EQE = \frac{I_{PD}/A_{PD}h\nu}{I_{inj}/q} \times 100$$

$$= \frac{I_{PD}}{I_{inj}} \cdot \frac{q\lambda}{A_{PD}hc} \times 100 \quad [\%] \quad (2.6)$$

で算出される. このとき, I_{inj} は測定時に LED に注入した電流値, h は Planck 定数, c は光速, λ は発光波長 (ピーク波長を使用), q は素電荷量である.

2.5.5 有限時間領域差分法およびビーム伝搬法

光導波構造に対する電磁界解析では, 光は電磁波であるため, 原理的には Maxwell 方程式を解くことによってその挙動を捉えることが出来る. 解析手法にはいくつかのアプローチがあり, 解の種類で区別すると①厳密解, ②解析的近似解, ③数値解の 3 つに分類できる. 厳密解を求めることが出来るのは非常に限定的であり, 対称および非対称系の三層スラブ導波路やステップ形光ファイバがそれに該当する. 近似解を解析的に得られる導波構造としては, 方形導波路, リブ (rib) 型・リッジ (ridge) 型導波路, 屈折率傾斜型 (graded index) 光ファイバなどがある. 応用上重要な導波構造問題では, 一定の精度のもとで電磁界の特性を求めることが要求される. この場合, 電磁界特性を数値的に求める③の数値解の解析が非常に重要な意味を持つ. 導波構造が周期性を持つなどの比較的単純な系においては, 有限要素法や転送行列法, 平面波展開法などがある. 一方で, 屈折率や形状などの構造が光の伝搬方向に対しても変化するような, より一般化された光導波構造においては, 有限差分時間領域 (finite-difference time-domain : FDTD) 法やビーム伝搬法がその解析手法として確立されている.

FDTD 法は Maxwell 方程式を直接差分して、電磁界を数値的に求める解析手法である [7]。これは、1966 年に Yee によって提案されたもので、系を時空間的に離散化したのち、偏微分を差分に置き換えて電磁界を直接求めるという、コンピュータに適合した数値解析手法である。FDTD 法の特徴は以下の通りである。

- (1) 導波路構造が光波の伝搬方向に沿って変化している場合の電磁界解析にも適用可能。
- (2) 反射波を自動的に考慮出来るため、周期構造や屈折率差の大きい媒質を含む場合など、反射の影響が無視できない導波構造でも効率よく計算できる。
- (3) メモリの節約にとまなう、有限解析領域の教会から生じる非物理的な反射波の影響を抑制するため、適切な吸収境界条件の使用が不可欠。
- (4) 時間変化も扱えるので、非定常状態あるいは過渡現象の解析が行える。また、分散性や非線形性などを含む媒質に対しても適用出来る。
- (5) すべて数値的に解くため、汎用性がある反面、光波領域では計算時間が他の電磁界数値解析法に比べて極度に長くなる。そのため使用にあたっては、対称性や周期性を利用するなどして、必要とされる制度の範囲内で計算領域を必要最小限に絞る必要がある。

実際に FDTD 法は光波領域において様々な応用がなされており、フォトニック結晶中での電磁界解析、あるいは回折格子などでの光波伝搬解析が行われている。

ビーム伝搬法 (BPM : beam propagation method) は、一般的に形状や屈折率分布などの導波路構造が断面内のみならず光波の伝搬方向に対しても緩やかに変化しているような場合に、電磁界を数値的に求めるのに威力を発揮する解析手法として知られている。ビーム伝搬方法としては、高速フーリエ変換を用いる FFT-BPM や有限要素法を併用した FE-BPM、微分に対して差分近似を利用する FD-BPM などがある。これらのうち、一般的には計算時間や適用条件の制約などの観点から FD-BPM が主として用いられている。ビーム伝搬法の特徴としては以下の通りである。

- (1) 導波構造が光の伝搬方向に対して緩やかに変化している場合でも、電磁界を求めるのに利用することができ、コーディングが比較的簡単である。
- (2) 解析領域が有限範囲である事に伴って発生する、非物理的な反射を除去するために、透明境界条件を使用する事が不可欠。
- (3) この方法では反射を反映できないため、屈折率変化の大きい媒質中、あるいは解析格子やフォトニック結晶など、反射を考慮する必要のある系には使用できない。

本研究における FDTD 計算には CYBERNET 社の FullWAVE を用いた。また、導波路のモード計算には CAD-layout に付属した Compute-modes 機能 (BPM 方式) を利用した。FDTD 計算時には、屈折率 n の空間を区切るグリッドサイズを $\lambda/10n$ 程度に設定した。

2.5.6 導波路評価装置

図 2.13 に導波路を評価するために構築された光学装置の概要を示す。作製した試料をステージ上に設置し、レーザー光線の入力側および出力側の対物レンズ系を XYZ 可動機構によって光軸合わせする。この時、赤外域のレーザーダイオード(1066 nm)を用いる場合には出力側に赤外ビジコン (Infrared vidicon) を装着し、赤色のレーザーダイオード (633 nm) を用いる場合には CMOS カメラを装着する。入力側から導波路にレーザー光線を結合し、出力側で導波路端面を観察することによって導波端面の発光像を観察することが可能である。

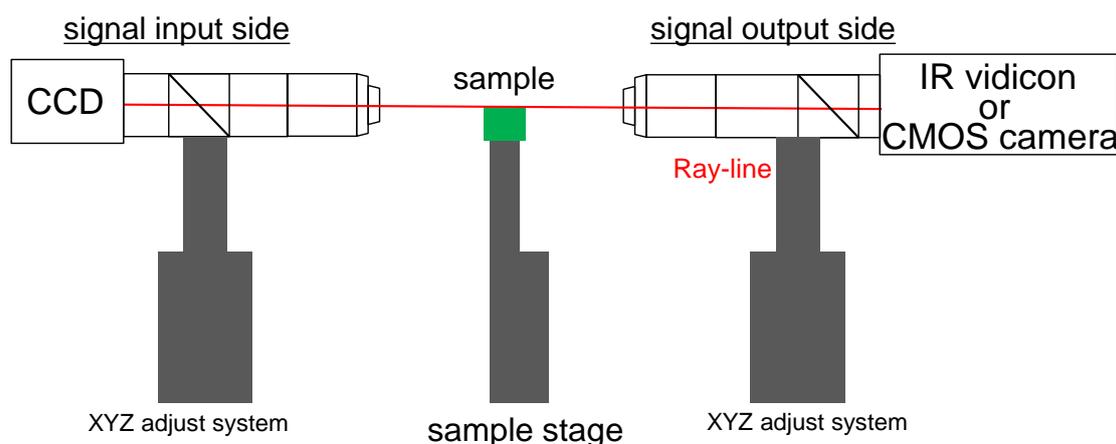


図 2.13 本研究にて使用した導波路評価装置の概要

2.6 結言

本章では、窒化物半導体デバイス作製技術、光電子集積回路作製技術およびポリマー導波路作製技術について述べるとともに、デバイスプロセス開発に関する研究を進める上で実施した改善や工夫についても記載を行った。また、本研究で作製した各種デバイスの解析・評価技術について述べた。

引用文献

- [1] 前田和夫 著, "はじめての半導体製造材料", 技術評論社 (2011).
- [2] 麻蒔立男 著, "超微細加工の基礎: 半導体製造技術", 日刊工業新聞社 (1993).
- [3] 須賀唯知 他, "異種材料一体化のための最新技術", サイエンス&テクノロジー株式会社 (2012).
- [4] A. Shigetou and T. Suga, Appl. Phys. Express **2**, 56501 (2009).

- [5] M. M. Howlader, T. Suga, and M. J. Kim, IEEE Trans. Adv. Packag. **30**, 598 (2007).
- [6] P. D. Townsend, P. J. Chandler, L. Zhang 著, 雨倉宏 訳, "イオン注入の光学的効果", 吉岡書店 (2004).
- [7] 左貝潤一 著, "光導波路の電磁界数値解析手法", 森北出版 (2015).
- [8] 森田清三 編著, "走査型プローブ顕微鏡：基礎と未来予測", 丸善出版 (2000).
- [9] 大塚洋一, 小林俊一 編著, "輸送現象測定", 丸善出版 (1999).
- [10] 大森正道 編著, "超高速化合物半導体デバイス", 培風館 (1986).
- [11] G. K. Reeves, and H. B. Harrison, IEEE. Electron Dev. Lett. **EDL-3**, 111(1982).
- [12] B. Jacobs, M. C. J. C. M. Kramer, E. J. Geluk, and F. Karouta, J. Cryst. Growth **241**, 15 (2002).

第3章 窒化物半導体微小発光ダイオードの集積化技術の開発

3.1 序言

1章にて述べたように本研究では、窒化物半導体、特に GaN 系を用いた発光デバイスを Si-LSI 中に高密度に配置した新しい光電子集積システムの実現を目指している。GaN 系発光デバイスは、近紫外域から青色波長域において優れた量子効率を示し、Si-LSI や微小電気機械システム (MEMS : micro electro mechanical systems) と有機的に組み合わせることで、医療応用、バイオ光学、マイクロディスプレイ、超並列光インターコネクション等の様々な高付加価値の産業応用が期待出来る。しかし、個別素子としての GaN 系発光デバイスの研究開発は急速に進められているものの、集積化技術に関する報告例は少ない。そこで本章では、GaN 系微小発光ダイオード (GaN-based micro light emitting diode : GaN- μ LED) の集積化技術に着目し、微細化、高密度配置に伴う各作製工程のデバイス特性への影響を把握し、Si-LSI へ取り込む場合のデバイスサイズのギャップを埋める際に必要とされる集積化工程全体を俯瞰した整合性について検証を行った。

3.2 集積化工程に整合する p 電極形成工程の検討

3.2.1 従来の GaN 系発光ダイオードの集積化工程における問題抽出

本研究では、GaN- μ LED 作製工程における問題点を明らかにし、 μ LED 作製工程を検討することが主眼のため、市販の GaN-LED 基板を用いた。GaN-LED 基板を有機洗浄による脱脂を行った後、Cl 系 ICP-RIE による素子分離工程を行う。その後、電子ビーム蒸着およびリフトオフ法によって n-GaN 領域に Ti/Al/Ti/Au 構造を作製し、窒素雰囲気下で 750 °C 3 分間の熱処理を行う。その後、同様の方法によって p-GaN 上に p 電極を形成する。GaN-LED の n 電極には一般的に Ti/Al [1] [2] が広く用いられており、窒素雰囲気下で 700 °C 等の高温熱処理を行うことで低抵抗なオーミック接触が得られることが知られている。p 電極には Ag 単膜構造を採用しており、低抵抗化のための熱処理条件 300 °C、これは他の報告例 [3] [4] と同じである。各電極の形成の後、電極引き出しパッドの形成のためにプラズマ援用化学気相堆積 (plasma enhanced chemical vapor deposition : PECVD) による SiO₂ を堆積する。この時の堆積温度は 300 °C と p 電極の熱処理温度に匹敵する。そのため、p 電極のコンタクト抵抗に対する熱的な影響が懸念される。そこでまず、Ag を用いた p 電極の集積化工程上の問題の抽出を行った。

図 3.1 に 300 °C の熱処理前後における p 電極(Ag)表面に光学顕微鏡の暗視野像を示す。熱処理後の Ag 電極は明らかに状態が変化していることが分かる。Ag は 100 °C

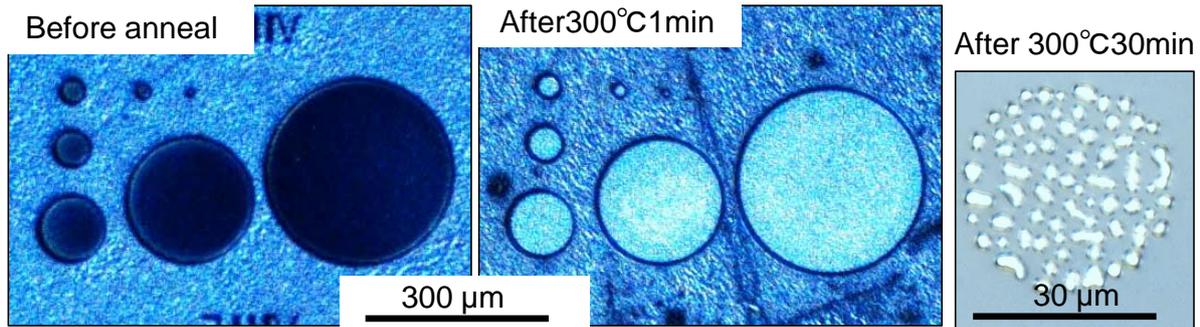


図 3.1 p 電極に Ag 単一構造を採用した LED の 300 °C 1 分の熱処理前後における光学顕微鏡写真（暗視野像）および 300 °C 30 分の熱処理後における p 電極部の高倍率光学顕微鏡写真

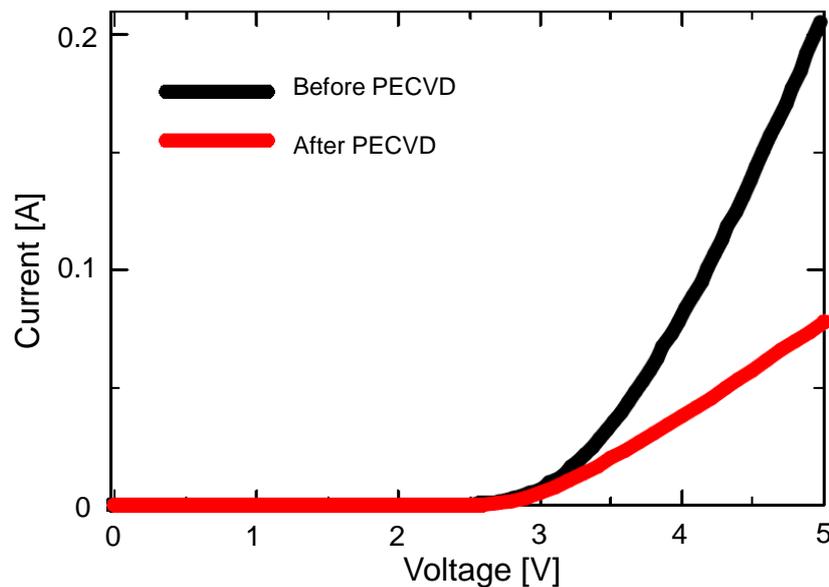


図 3.2 p 電極に Ag 単一構造を用いた場合の GaN-LED の絶縁膜堆積工程前後における電流－電圧特性（GaN-LED サイズ＝直径 300 μm）

以上の加熱により凝集が生じることが報告されていることから [5], Ag の凝集によるコンタクト抵抗の劣化が懸念される．そこで，凝集の有無について検討した．300 °C 30 分の熱処理を行い，光学顕微鏡によって p 電極表面を観察した結果を図 3.1 右に示す．明らかに Ag の凝集が発生しており，数マイクロメートルサイズの島に分離している様子が見て取れる．Hwang ら [6]は 300 °C での熱処理により Ag と p-GaN 界面に空隙が，Ag 表面にピットが発生する事を報告している．更に，McGuire ら [7]は GaAs 上の Ag 系電極のエージング評価を行い GaAs 中への Ag の拡散による信頼性低下が発生することを報告している．

凝集現象が起きた場合，接触面積の減少によるコンタクト抵抗の増加に加えて，PECVD 中における電子や高エネルギーの前駆体ラジカルの p-GaN 表面への入射による p-GaN 表面へのプラズマダメージが懸念される．そこで GaN-LED 表面保護用の絶縁膜(SiO₂)の PECVD による堆積が p 電極コンタクト抵抗へ与える影響を調査した．

PECVDによるSiO₂の堆積条件は2章表2.2に示したものを用い、GaN-LEDのサイズは300 μmとした。図3.2に絶縁膜堆積前後におけるGaN-LEDの電流-電圧特性を示す。SiO₂堆積工程前後のGaN-LEDの直列抵抗を比較すると、堆積前の7.7 Ωから、堆積後には25.1 Ωとなり、225%増加した。この原因の一つは前述した凝集を起源とするAg単一構造の熱的不安定性にあると考えられるが、これはp電極形成後の熱工程の設計自由度の低下を意味していることから、p電極構造の熱的安定性を向上させることが将来的には有益であると考えた。そこで、次にp電極の構造に関して再検討を行った。

3.2.2 集積化工程に整合するGaN系発光ダイオードのp電極構造の検討

まず、Agの代替材料となる候補を絞るために、Agと比較してGaNと熱的に安定な合金状態を形成する金属、つまりは共晶点温度の高い金属を文献[8]から抽出した。その結果、Pd, Al, Pb, Ti, Niが候補として考えられた。この材料系の中で、GaN-LEDのp電極として低抵抗性示すという条件が一つの指標となる。Ag薄膜上にAg-Al合金をスパッタ法にて形成する構造[6]や、Ag/Zn/Ag[9]やNi/Ag/Ti/Au[10]、Ni/Ag/Ni[11]等の多層膜構造が、p電極の高反射率と低抵抗化の同時達成を目指す研究として固体照明向けに行われている。本研究において要請されるp電極の熱的な安定性の確保という観点で各報告を精査した結果、GaN/Ag界面に生じる空隙を抑制する薄膜層に加えてAg表面で凝集を抑制する層[2]を導入した三層構造が必要であると考えた。集積化を検討する場合、Pdのような希少金属はコストの面で不適であることから、蒸着方法が比較的容易なNiを空隙および凝集抑制層として利用した、Ni/Ag/Ni構造を集積化工程のための基本構造として採用し、熱処理条件の検討とPECVDによる絶縁膜堆積工程の影響を調査した。

まず、GaN-LEDのn電極形成までの工程を行い、リフトオフ法によりNi/Ag/Ni(5/200/20 nm)構造をp電極として形成した。膜厚は文献[11]を参考に決定した。Ni/Ag/Ni構造をLEDのp電極とした際のコンタクト抵抗の最適化について、熱処理時間を1分に、熱処理雰囲気酸素0.5 slm、窒素2 slmの窒素酸素混合雰囲気に設定し、熱処理温度を350 °C ~ 525 °Cと変化させて実験を行った。コンタクト抵抗はC-TLM法によって算出した。Ni/Ag/Ni構造を用いたp電極のコンタクト抵抗の熱処理温度依存性を図3.3に示す。500 °Cの熱処理にて約10⁻⁴ Ω·cm²のコンタクト抵抗が得られ、その前後でコンタクト抵抗が高くなる一般的な熱処理温度依存性の傾向が観測された。他の電極材料における典型的なコンタクト抵抗は10⁻³ ~ 10⁻⁴ Ω·cm²の範囲内に分布しており[12][13][14]、本研究で得られた熱処理後500 °Cにおける値がこの範囲内に収まることから、熱処理温度の上限を500 °Cとし、工程マージンを考慮して430 °Cに設定した。

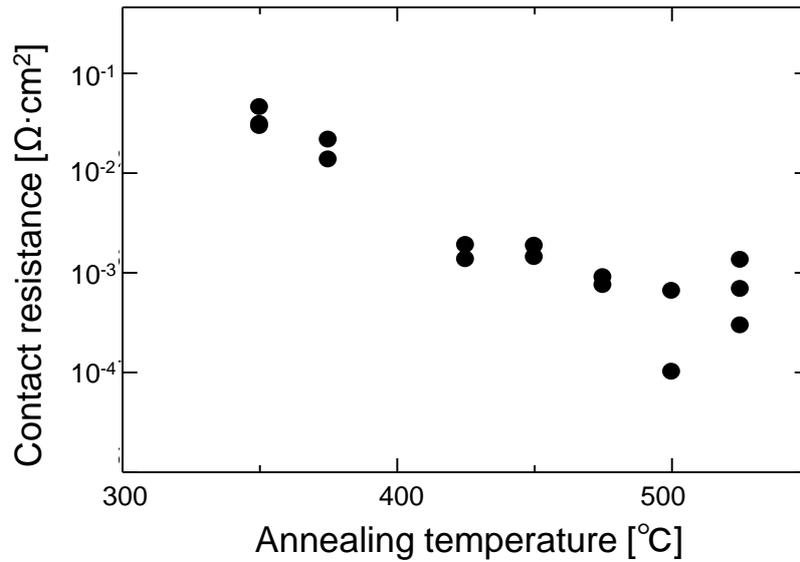


図 3.3 Ni/Ag/Ni 構造を用いた p 電極の熱処理温度依存性

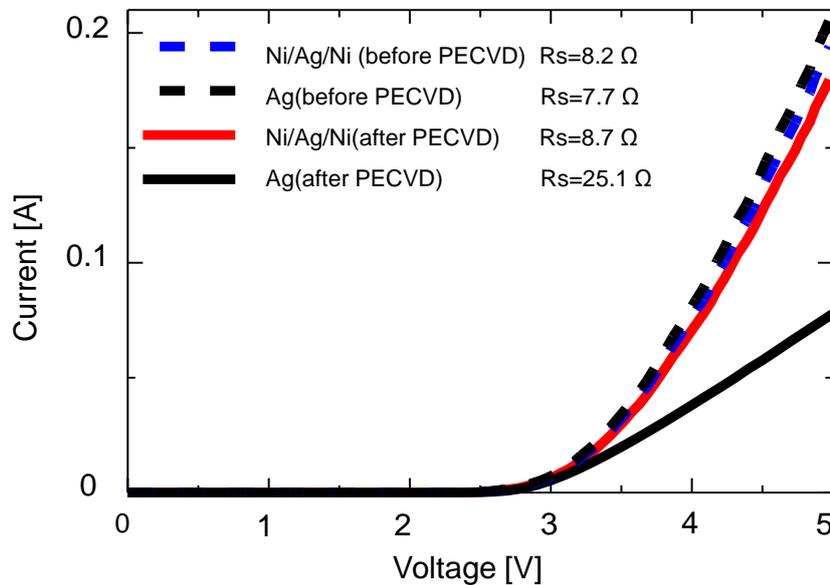


図 3.4 PECVD による絶縁膜堆積工程前後の GaN-LED の電流－電圧特性

次に、Ni/Ag/Ni 電極を用いて作製した GaN-LED に関して、PECVD による SiO₂ 堆積工程を行い電流－電圧特性を測定した。各電極構造における直径 300 μm の LED の電流－電圧特性を図 3.4 に示す。Ni/Ag/Ni 構造を p 電極に用いた場合における PECVD による SiO₂ 堆積工程前の GaN-LED の直列抵抗 8.2 Ω が堆積後には 8.9 Ω となり約 7% 増加した。図 3.3 に示されるように、同一基板内に作製した C-TLM パターンから算出されるコンタクト抵抗は最大で 1 桁程度のばらつきが存在する事から、この 7% 程度の増加は同一工程における素子間のバラつきの範囲内に収まっていると考えられる。また、図 3.5 に 430 °C での熱処理前後における Ni/Ag/Ni を用いた p 電極表面の光学顕微鏡の暗視野像を示す。PECVD による SiO₂ 堆積工程の温度よりも高い温度で熱処理しても表面状態に顕著な変化は見られなかった。

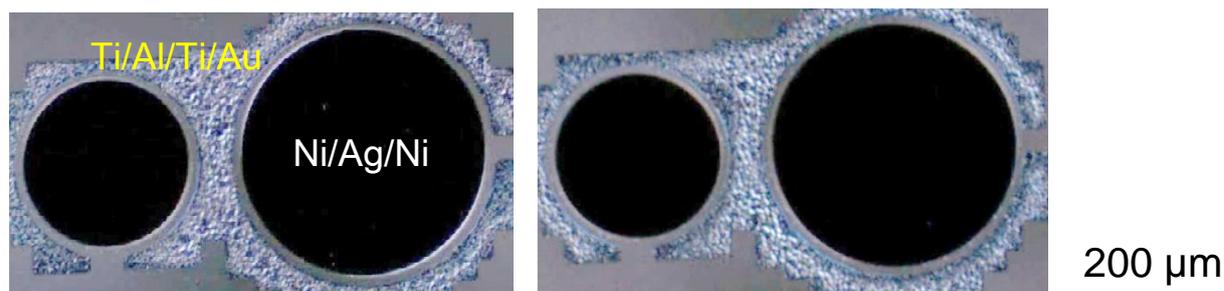


図 3.5 Ni/Ag/Ni 構造を用いた p 電極の 430 °C の熱処理前後の光学顕微鏡の暗視野像

以上の結果から、GaN-LED の p 電極を Ag から Ni/Ag/Ni 構造に変更したことによって、PECVD による絶縁膜堆積工程前後における GaN-LED の直列抵抗の増加を抑制することが出来た。

3.3 GaN 系微小発光ダイオードの電気・発光特性におけるサイズ依存性

3.3.1 サイズ依存性検討用デバイスの設計および作製

GaN-LED は Si-MOSFET のようなプレーナ型構造とは異なりメサ型と呼ばれる段違いの電極構造を一般的にとることから、電流分布の詳細な解析はシミュレータの補助無しには難しい。GaN-LED において各電極から注入されるキャリアの経路を考えると、各素子に共通となる n-GaN 層では低抵抗な拡散抵抗に起因して拡散長内であれば電子電流は活性層全体に注入されると考えられる。その一方で、p-GaN 層では正孔の有効質量が電子に比べて重いことに加え深いアクセプタ準位に起因して正孔濃度が高く出来ないため、p-GaN 層の拡散抵抗は n-GaN 層に比べて高いのが一般的である。そのため、正孔電流の面内方向の電流拡がりメサ構造端部までの距離よりも小さい場合、活性層での電流注入面積は素子分離のサイズと一致しない。そこで、GaN- μ LED のサイズ間の電気および発光特性を比較するためにまず、活性層への電流注入面積の実験的推定を行った。

活性層に注入される電流密度は実験的に見積もるため、p 電極端とメサ構造端部までのクリアランスを変化させた LED を用い (図 3.6)、各 LED の電流注入時の発光像を顕微鏡で観察することで実効的な電流注入面積の推定を行った。設定したクリアランスは図 3.6 の左から順に 25 μm , 15 μm , 10 μm , 5 μm , 3 μm である。図 3.7(a)および(b)に p 電極とメサ構造端部間のクリアランスが 25 および 3 μm の時の LED の発光像を示す。同図にはプローブ針を含む写真の模式図を示した。図 3.7(a)のクリアランスが 25 μm の時の発光像において、メサ構造部分に青色の明暗部分が観測されている。その一方で、図 3.7(b)のクリアランスが 3 μm の時の発光像ではメサ構造全体がほぼ均一に発光しているように見える。p 電極と p-GaN との界面は表面プラズモンとの結合が起こりにくい Ni が挿入されており、光取り出し効果が增强される表面プラズモンとの結合長は 1 μm 未満である [15]ことから、この状況での表面プラズモンによる光取

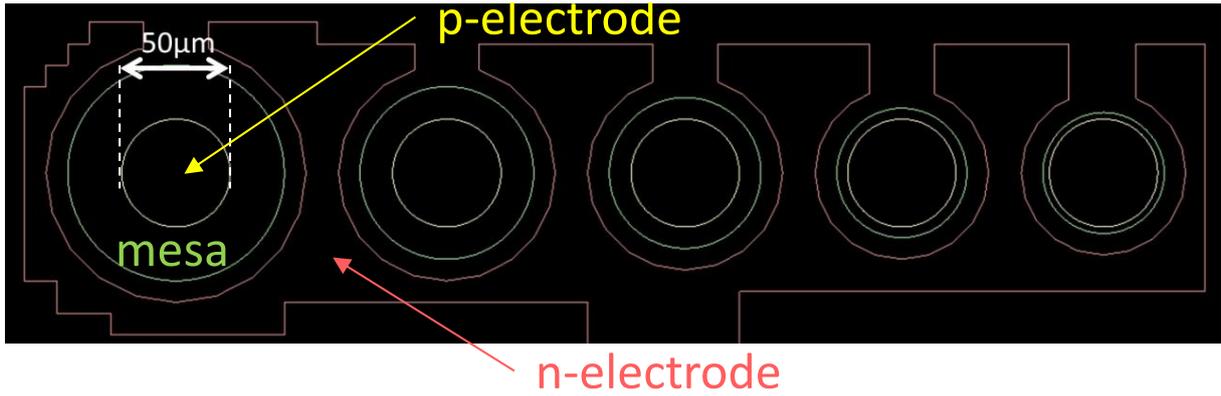


図 3.6 p 電極とメサ構造端部間のクリアランスが異なる TEG (LED 群) のレイアウト

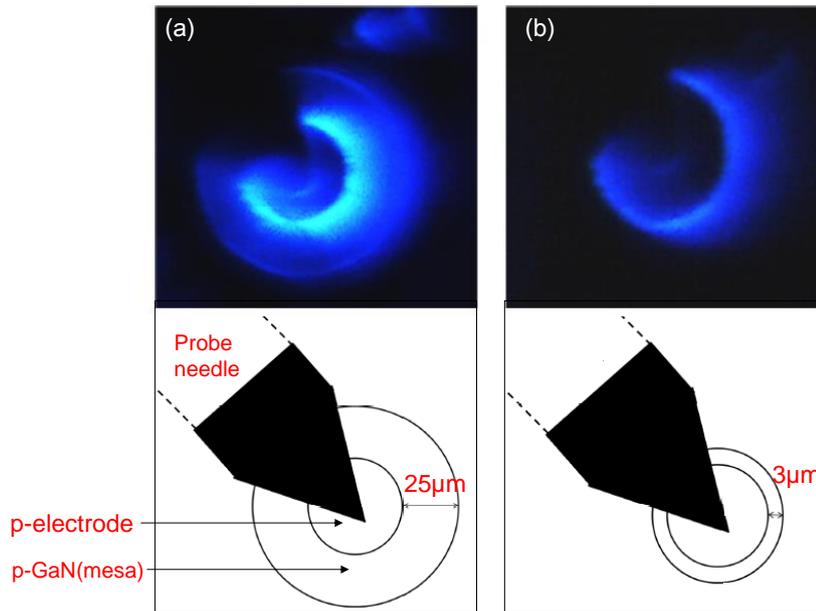
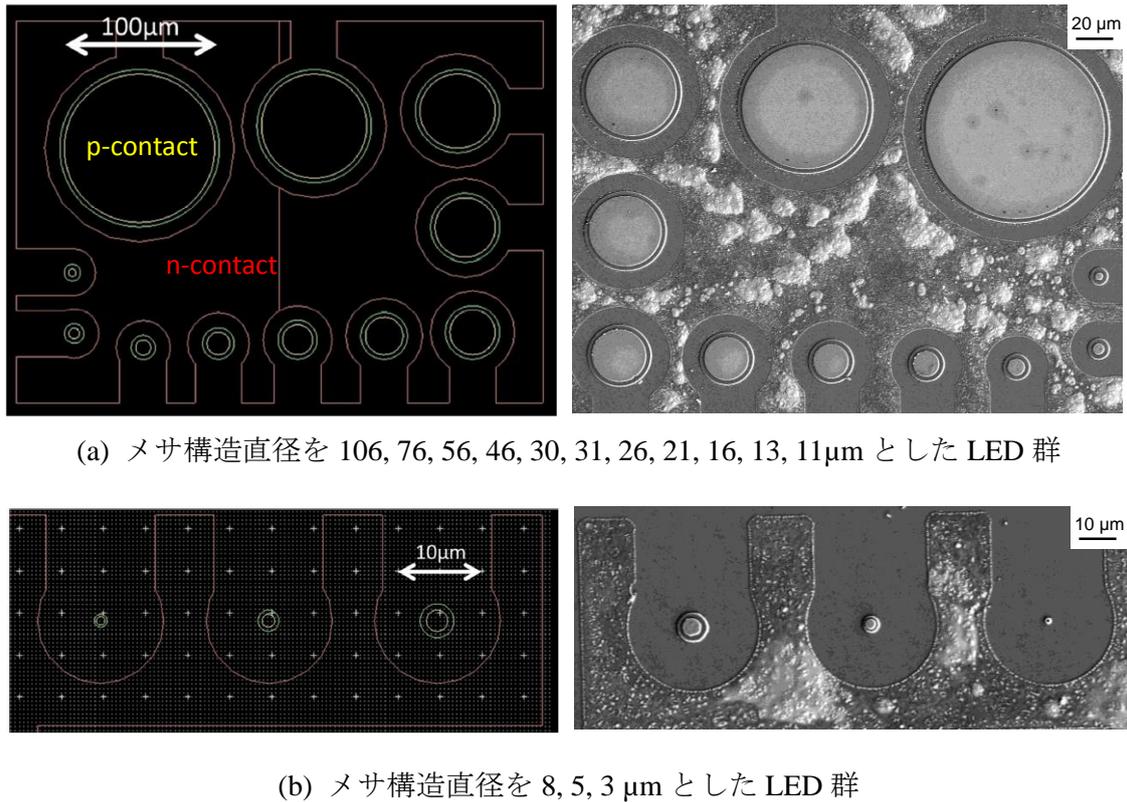


図 3.7 p 電極とメサ構造端部間が(a)25 μm および(b)3 μm の時の μLED の発光像と模式図

り出しへの影響は考えにくい。この実験においては、活性層からの発光は GaN/空気の屈折率差に起因して全反射角 $\theta_c = \sin^{-1}(n_{air}/n_{GaN}) = \sin^{-1}(1.0/2.5) = 23.6^\circ$ 内の小さな立体角からのみ取り出される [16] ので、顕微鏡のレンズに結像した発光領域と実効的な発光面積はおおよそ等しいものと考えた。そこで、観測された明瞭な青色発光領域の幅がおおよそその電流拡がりに対応するものとして、発光領域幅を画像検査により算出した。その結果、電流拡がり は 3 点平均で $4.15 \mu\text{m}$ となった。このことから、p 電極とメサ構造端部間のクリアランスを $3 \mu\text{m}$ 以内で設計することにより、電流密度はメサ構造の面積を用いて計算することが可能であることとした。

p 電極とメサ構造端部間のクリアランスに関する設計指針が明らかとなったため、実際にサイズの異なる GaN-μLED を設計し作製を行った。アライメントマーク部分のクリアランスは $2 \mu\text{m}$ とし、p 電極とメサ構造端部間のクリアランスが $3 \mu\text{m}$ で、メサ構造の直径を $306, 206, 156, 106, 76, 56, 46, 36, 31, 26, 21, 16, 13, 11 \mu\text{m}$ と変化させた一



(a) メサ構造直径を 106, 76, 56, 46, 30, 31, 26, 21, 16, 13, 11 μm とした LED 群

(b) メサ構造直径を 8, 5, 3 μm とした LED 群

図 3.8 サイズ依存性検討用に設計したレイアウトと作製した μLED 群の SEM 像

連の TEG を用意した．また，p 電極とメサ構造端部間のクリアランスが 1.5 μm でメサ構造直径が 8, 5, 3 μm の TEG も同一面内に配置した．図 3.8 に直径 106 ~ 11 μm の μLED 群のレイアウトおよび SEM 写真，直径 8 ~ 3 μm の μLED 群のレイアウトおよび SEM 写真を図 3.8 に示す．

3.3.2 GaN 系微小発光ダイオードの直列抵抗における熱処理時間依存性の検討

LED 作製時の熱処理条件が得られる素子特性に影響を与える度合いが LED サイズにより異なる場合， μLED 自身のサイズ依存性が観測されたのか，作製条件のサイズ依存性が観測されたのかを分離する必要がある．そこで， μLED の電気特性および発光特性におけるサイズ依存性を議論する前に，作製条件自身のサイズ依存性について検証した．n 電極は p 電極に比べて広く面積を占有しており各 μLED に対して共通であることから，p 電極の熱処理時間に着目して μLED の電気特性を評価した．この検討においては Ni/Ag/Ni 構造の熱処理条件として，熱処理温度を 500 $^{\circ}\text{C}$ に固定，熱処理時間を 1 分および 2 分に設定した．

表 3.1 に，直径が 13 μm と 106 μm の μLED に対する直列抵抗の p 電極熱処理時間依存性を示す．直列抵抗率は電流-電圧特性から算出された直列抵抗に μLED の面積を掛け合わせた値である．熱処理時間が 1 分間の場合，サイズ間の直列抵抗率の差は 10% 程度となっており有意な差ではないと考えられる．熱処理時間を 2 分間とした場合，直径 13 μm の μLED の直列抵抗率では熱処理時間 1 分の時の直列抵抗率と比較し

て約 60% の低減が見られた一方で、直径 106 μm で約 23 % の増加が見られた。この結果は、p 電極サイズが異なると熱処理の最適条件が変化することを示唆している。 μLED を RTP (赤外線ランプ加熱式) にて熱処理する場合、基板を介した熱の入射経路と表面から抜ける放熱経路に加えて、2 章 2.2.3 節装置原理で述べたように電極材の赤外線吸収による熱の入射経路を考える必要がある。表 3.1 の結果から、直径 13 μm の μLED の直列抵抗率は熱処理時間の増加に従って低減していることから、1 分間では熱処理不足であることが分かる。一方、直径が 106 μm の場合熱処理時間の増加に伴って直列抵抗率が増加していることから、過分の熱流入により熱処理時の電極温度が設定値よりも高くなったことで p 電極のコンタクト抵抗が増加したものと考えられる。メサ構造体積に対する表面積の割合を考えると微細化に伴って μLED は放熱性が向上すると考えられ、メサ構造の体積に対する表面積の割合は 2 サイズ間で約 2 桁も異なっている。そのため、2 サイズ間で熱処理時間の変化に対して直列抵抗率に差が出たものと考えられる。

以上の結果から、p 電極形成用の熱処理時間に対するサイズ依存性が明らかとなった。次節以降の LED の発光特性のサイズ依存性を検討する上で、サイズ間のコンタクト抵抗の変化が小さかった熱処理時間 1 分間を採用した。

表 3.1 p 電極形成用の熱処理時間に対する μLED の直列抵抗率

		LED size (diameter)	
		13 μm	106 μm
Annealing time	1 min	$2.20 \times 10^{-3} \Omega \cdot \text{cm}^2$	$1.96 \times 10^{-3} \Omega \cdot \text{cm}^2$
	2 min	$0.89 \times 10^{-3} \Omega \cdot \text{cm}^2$	$2.41 \times 10^{-3} \Omega \cdot \text{cm}^2$

3.3.3 GaN 系微小発光ダイオードの発光特性のサイズ依存性の調査

図 3.9 および図 3.10 に、各種サイズの μLED の発光強度—電流密度特性と外部量子効率—電流密度特性を示す。発光強度および外部量子効率の評価は 2 章 2.5.3 節に記述した。発光強度は、 μLED の微細化に伴ってわずかに低下する傾向が得られた。また、外部量子効率—電流密度特性も同様の傾向となっている。外部量子効率のピーク値を μLED のサイズに対してプロットしたものを図 3.11 に示す。図中のエラーバーは 10 点測定した際の標準偏差を示している。図 3.11 から、 μLED の微細化による伴う外部量子効率の低下が、LED 径が 40 μm 以下の領域で顕著となることが分かった。

外部量子効率は、内部量子効率およびキャリア注入効率、光取り出し効率の積により表現される。注入効率は主に電子ブロック層等の電位障壁や各抵抗成分に起因した値であり、GaN- μLED のサイズと相関関係があるとは考えにくいため一定と仮定した。そこで、光取り出し効率および内部量子効率の観点から実験結果の考察を行った。

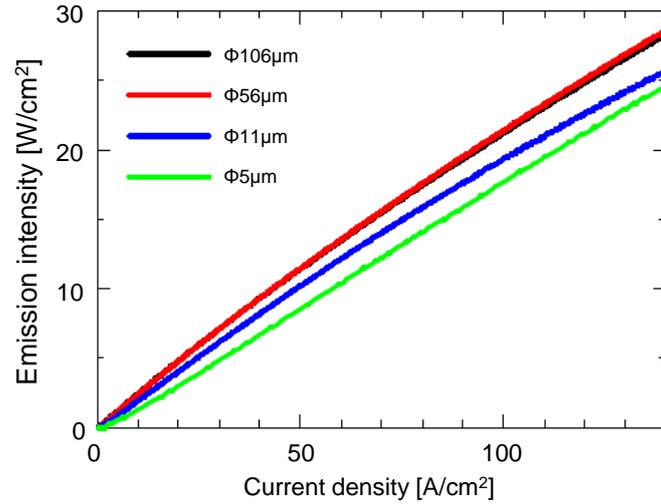


図 3.9 GaN-μLED の発光強度-電流密度特性における素子サイズ依存性

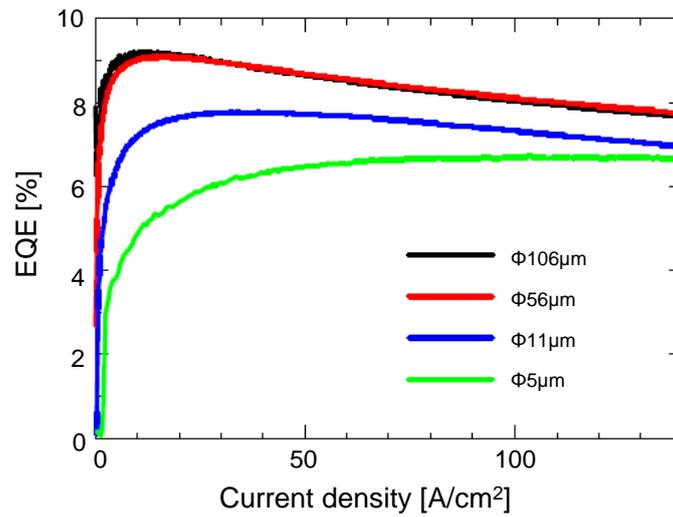


図 3.10 GaN-μLED の外部量子効率-電流密度特性における素子サイズ依存性

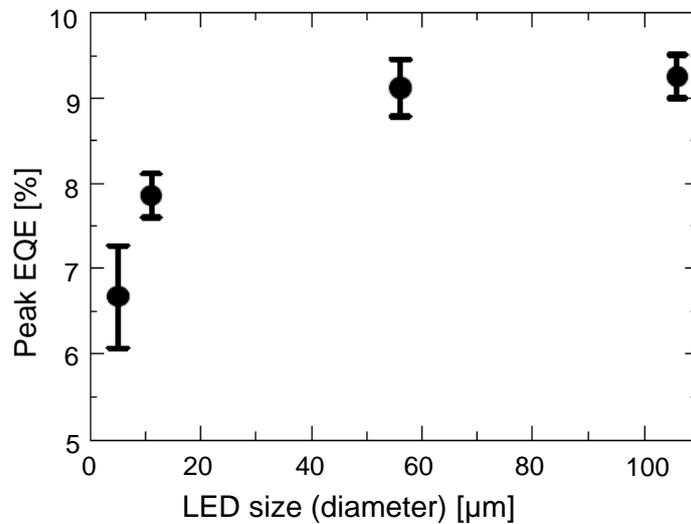


図 3.11 GaN-μLED のピーク外部量子効率におけるサイズ依存性

(A) 光取り出し効率に関する考察

μ LED の p 電極は発光強度の測定系において Sapphire 基板側から光を取り出すための反射板としての役割を担っている。そのため、裏面から取り出される光の一部は、メサ構造上面の面積に対する p 電極の被覆率による影響を受ける。メサ面積に対する p 電極の被覆率は、図 3.12 に示すように、p 電極とメサ径のクリアランスを $3 \mu\text{m}$ 一定としたことから LED の微細化に伴い反射板の被覆面積は小さくなることが明らかである。そこで、図 3.8 に示した LED に PECVD を用いて SiO_2 を堆積し、メサ構造全体を覆うように電極引き出しパッド (Ti/Au 構造) を形成することによって電極被膜率の影響を回避した TEG を作製した。電極引き出しパッドを形成した μ LED の外部量子効率を図 3.13 に示す。結果より、メサ構造全体を覆う電極引き出しパッドの有無に関わらず、ピーク外部量子効率は μ LED の微細化に対して低下する傾向にあることが分かった。Mair ら [17] は Sapphire 基板上の直径 $9 \mu\text{m}$ の InGaN/GaN MQW マイクロディスクキャビティからのウィスパーリングギャラリー (WG : whispering gallery) モード発光の観測を報告しており、Choi ら [18] は WG モードで伝搬する光がメサ側壁からの側方光出力成分に寄与することを報告している。しかし、本実験で使用した GaN-LED 基板の 2θ - ω プロファイルには布ブラッグ反射器 (distributed Bragg reflector : DBR) の存在を示すような干渉パターンは観測されておらず、断面 TEM の結果からも DBR のコントラストは確認できなかったことから光閉じ込め構造は存在しないと考えられる。加えて、測定した電流密度も $1\text{kA}/\text{cm}^2$ 以下であることから、共振による誘導放出を引き起こす WG モードの寄与は考えにくい。また、Lin ら [19] は光電気化学工程によるメサ側壁のテクスチャ構造の導入によって側方光取り出し効率の向上を行っているが、本実験では側壁近傍にテクスチャ構造は観測されていない。このことから、 μ LED 間でメサ構造側壁からの側方光出力成分に違いは無いと考えられるため、図 3.11 に示した外部量子効率のサイズ依存性は光取り出し効率の変化によるものでは無いと判断した。

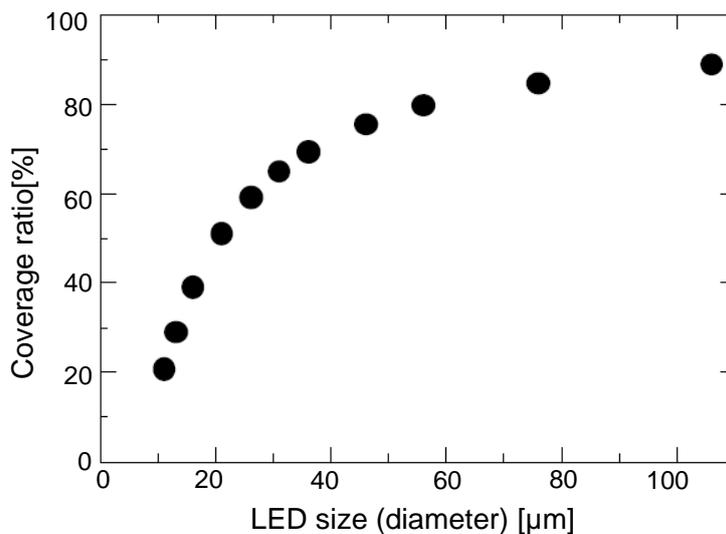


図 3.12 p-GaN 上面に対する p 電極の平面被覆率(p 電極面積/メサ構造面積 $\times 100$ [%])

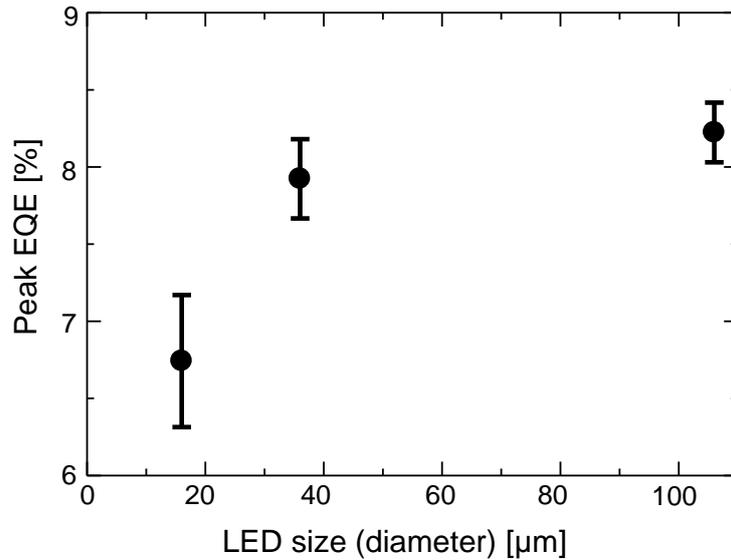


図 3.13 電極引き出しパッドによりメサ上面全体を被覆することにより光取り出し構造を変化させた際の GaN-μLED のピーク外部量子効率における素子サイズ依存性

(B) 内部量子効率に関する考察

内部量子効率 (IQE : internal quantum efficiency) とは、活性層を中心とする結晶内部での結晶欠陥や不純物による発光特性への影響を表現する値である。内部量子効率は、図 3.14 に示されるような ABC モデルによって解析的に解かれることが一般的となっている [20]。ABC モデルは、非発光性再結合成分、発光性再結合成分により構築されたモデルであり、以下のような式により表現される。

$$IQE = \frac{Bn^2}{An + Bn^2 + Cn^3} \quad (3.1)$$

(3.1)式において、A は非発光性再結合中心を介した Shockley Read Hall 型再結合に関連した係数であり、B は発光性再結合中心に関連した係数、C はオージェ再結合 [21] を考慮した係数、n は活性層 (量子井戸) に注入されたキャリア密度である。この各パラメータは、活性層における In 組成の違いによって様々な報告がされている。各報告を表 3.2 にまとめた。ABC モデルにおける各パラメータの変化によって IQE がどのように変化するかを実際に計算した結果を図 3.14 に示す。図 3.14(a)から、非発光性再結合成分が増加すると内部量子効率は低下、(b)より発光性再結合中心が増加すると内部量子効率は向上、(c)よりオージェ再結合成分が増加すると高水準注入領域において顕著に低下する傾向を示すことがわかる。

図 3.10 の結果と比較すると、最も傾向的に近いのは B 係数の変化であるが、各素子は隣接領域に作製されていることを考慮すれば発光性再結合中心密度がサイズ間で変化することは考え難い。そのため、非発光再結合に関わる A または C パラメータの変化に起因したものであると考えた。図 3.14(a)に示されたように、A パラメータが増加すると低水準注入領域における内部量子効率の傾きが小さくなる。その結果、

表 3.2 報告されている ABC モデルにおける各パラメータ値

	wavelength [nm]	A [s ⁻¹]	B [cm ³ s ⁻¹]	C [cm ⁶ s ⁻¹]
Zhang et al. [24]	407	1.0×10^7	2.0×10^{-11}	1.5×10^{-30}
Shen et al. [25]	440	5.4×10^7	2.0×10^{-11}	2.0×10^{-30}
Meneghini et al. [26]	450	2.3×10^7	1.0×10^{-11}	1.0×10^{-30}
Laubsch et al. [27]	523	0.47×10^7	0.12×10^{-11}	0.35×10^{-30}

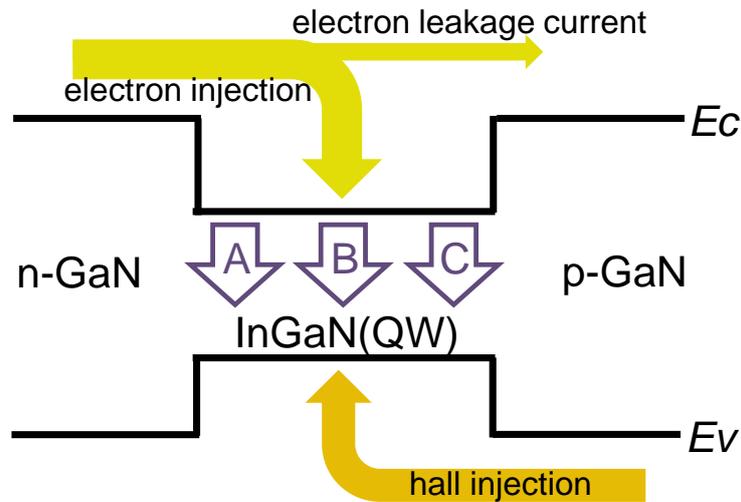


図 3.14 ABC モデルの概略 [20]

A パラメータが小さい場合で達成された内部量子効率に到達する前に、C パラメータの影響を受ける高水準注入領域に到達するため、内部量子効率のピークは見かけ低下することになる。A パラメータの中身は、結晶成長由来の貫通転位や点欠陥等の結晶欠陥、工程起因のものとして素子分離工程に用いるドライエッチングによって導入されるプラズマダメージ [22] [23] に大きく分類出来ると考えられる。

Yang ら [28] は、各サイズの μ LED にクラスター化した GaN-LED を作製した際に発現する負性容量効果の解析結果から、ICP-RIE エッチング損傷によりメサ側壁に誘発される欠陥の存在を報告している。また、Aida ら [29] は GaN 基板を ICP-RIE によりドライエッチングした際の表面のカソードルミネッセンス (cathode luminescence : CL) による評価結果から、プラズマダメージの起源として非発光性の点欠陥ネットワークを提案している。Chichibu らの報告 [30] によれば GaN 中の点欠陥の非輻射再結合寿命 τ_{nr} は 100 psec 程度であり、InGaN/GaN MQW における輻射再結合寿命 τ_r および τ_{nr} はそれよりも 1~2 桁長い [31] [32] ため、点欠陥のようなダメージがメサ構造側面近傍に誘起されているのであればその影響は大きいと考えられる。そこで、GaN- μ LED の素子分離工程に使用する Cl 系 ICP-RIE によってメサ構造側壁に導入されるプラズマ

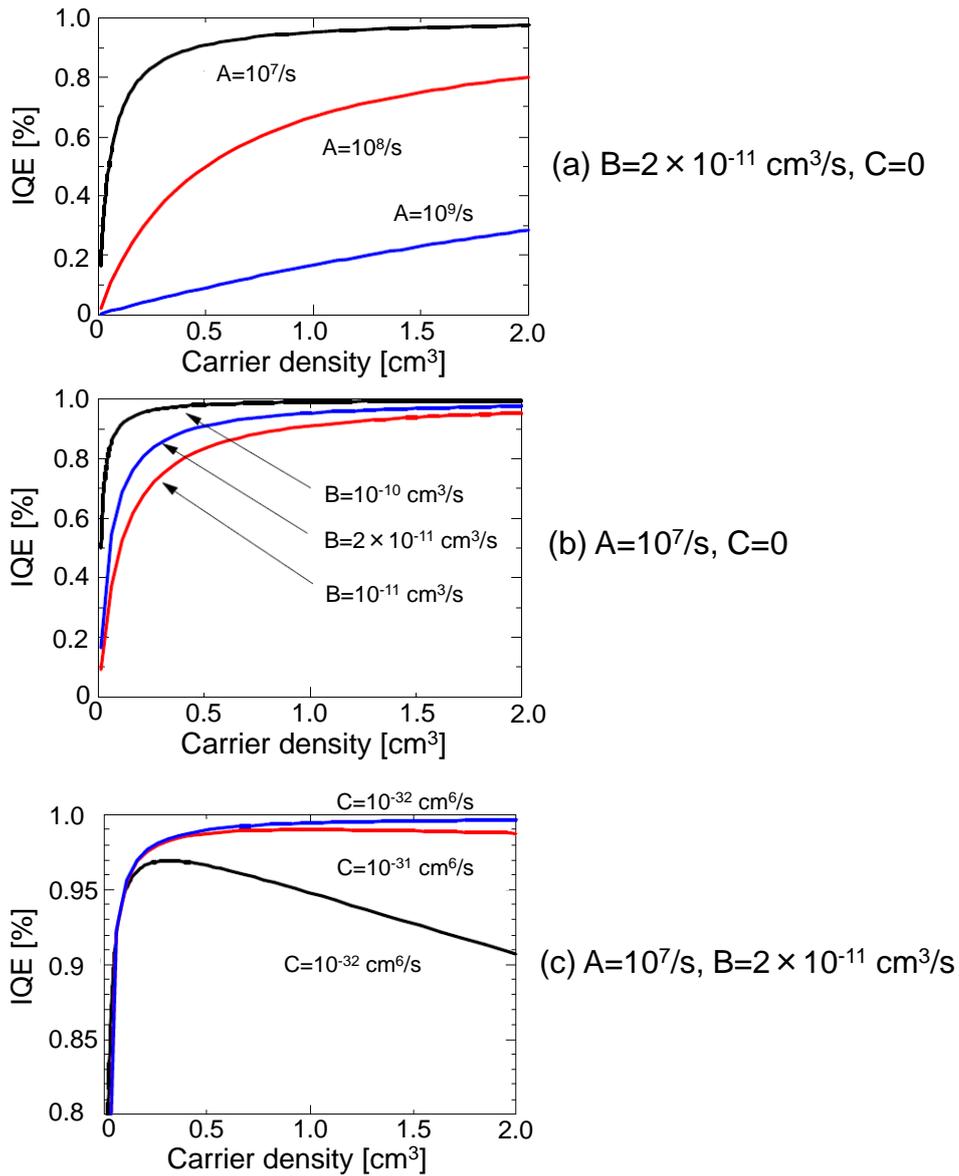


図 3.15 ABC モデルによる内部量子効率の計算例

ダメージの影響について考察を行った. LED の EQE を, メサ構造形成時のプラズマダメージにより形成された非発光性の点欠陥を含む領域と, プラズマダメージを受けてない領域に分けて考えると, 外部量子効率は下のように表現出来る.

$$EQE(x) = EQE(\infty) \cdot F_{\text{size dependence}}(x) = EQE(\infty) \cdot SWR(x) \quad (3.2)$$

このとき, $SWR(x)$ はプラズマダメージの導入が予想されるメサ構造側壁付近の幾何学サイズを意味しており, $EQE(\infty)$ はLED サイズを大きくしていったときの外部量子効率の飽和値である. 図 3.16 に GaN-LED のドライエッチングを用いた素子分離工程におけるプラズマダメージの模式図を示す. 図 3.16 に示したように半径 x のメサ構造を持つ μLED を考えた場合, InGaN/GaN MQW 層付近に導入される幅 x_d のプラズマダメージ層の断面積 S_d は Pappus-Guldinus の定理により(3.3)式のように表現される.

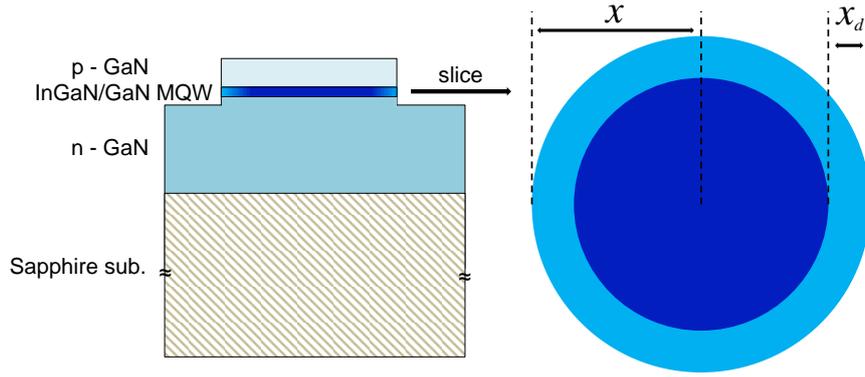


図 3.16 GaN-μLED のメサ構造の概略と側壁に対するダメージ層導入の概略．水色領域がドライエッチングによって導入が想定されるダメージ層を意味している．

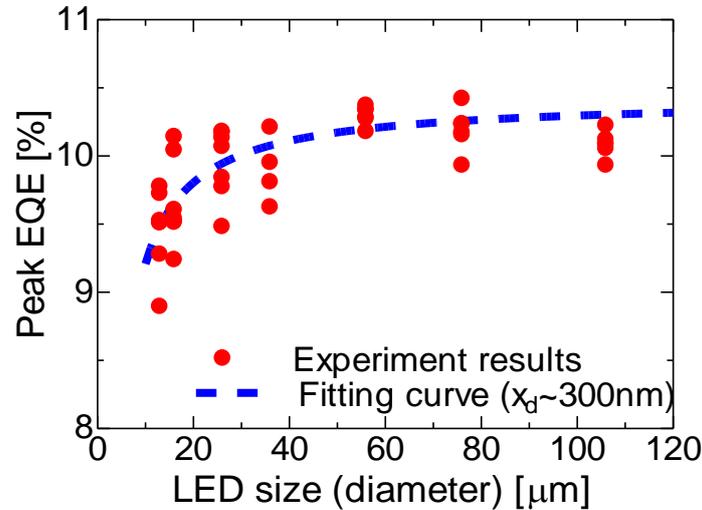


図 3.17 図 3.16 のモデルにおける GaN-μLED の外部量子効率のサイズ依存性とその結果に対する(3.4)式によるフィッティング結果

$$S_d = 2\pi \left(x - \frac{x_d}{2} \right) x_d \quad (3.3)$$

したがって、メサ構造全体の断面積（発光面積）に対するプラズマダメージ層の断面積 S_d の比 $SWR(x)$ は

$$SWR(x) = \frac{\pi x^2 - 2\pi \left(x - \frac{x_d}{2} \right) x_d}{\pi x^2} \quad (3.4)$$

と表現することが出来る．そこで、ピーク外部量子効率のサイズ依存性を(3.2)式および(3.4)式を用いて x_d をフィッティングパラメータとして解析を行った．このとき、 $EQE(\infty)$ は実験結果とフィッティング結果の類似性を考慮して任意の値を設定した．解析結果を図 3.17 に示す．結果から、 x_d が約 300 nm の時にフィッティングカーブは実験データと非常に類似した傾向を示した．Jeong ら [33] は、N 極性面 n-GaN に対し

てバイアスパワー50WのCl系ICP-RIEを行うことで~500 nm深さ程度のプラズマダメージが発生すると報告しており、これは上記の計算結果と類似している。

豊橋技術科学大学光電子集積グループのLeeら [22]は、Cl系ICP-RIEのガス混合比を変化させた際にn-GaNへ導入されるプラズマダメージを詳細に調査しており、本研究で使用した装置・条件の下でn-GaN表面に数十ナノメートル深さのイオン化ドナー濃度の変化が生じることを報告している。また、Kikutaら [34]の報告によれば、バイアスパワー30WのCl系ICP-RIEによってp-GaN表面(~8nm)に $1\sim 2 \times 10^{20} \text{ cm}^{-3}$ のドナー性欠陥が導入されることが示唆されている。この数値を用いて片側階段接合近似のモデルによりメサ構造側面からp-GaN層中へ伸びる空乏層幅(表面空乏領域)を計算すると、アクセプタ濃度 N_A が $3 \times 10^{17} \text{ cm}^{-3}$ の場合は約65 nmとなる。また、キャリアの経路に着目すると、メサ型のデバイス構造では各電極の幾何学的配置関係に起因してメサ構造端近傍の電流密度が高くなりやすい(Current crowding)ことが知られている [35]。この現象を図3.16のモデルで面内方向に発光強度の分布を設けるような形で考慮した場合、結果としてはメサ構造端近傍の表面空乏領域の影響が見かけ増強されたようになると考えられる。以上の結果を踏まえると、GaN- μ LEDをマイクロメートルオーダーまで微細化していくためには、ドライエッチング条件のダメージに着目した最適化やプラズマダメージの除去を目的としたGaNのウェット処理工程の導入などの詳細な必要である

3.3.4 GaN系微小発光ダイオードの連続駆動時の外部量子効率評価

集積される μ LEDにおいて、用途によっては高発光出力が必要とされる状況やDC駆動のような状況を想定する必要がある。GaN- μ LEDの駆動下においては、ジュール熱による自己発熱に加えて量子効率の低下をもたらす非輻射再結合により生成されたフォノンによる発熱が活性層付近にて発生する。自己発熱は各種欠陥の活性化や電子温度の上昇による局在準位に束縛された励起子の減少を引き起こし、内部量子効率

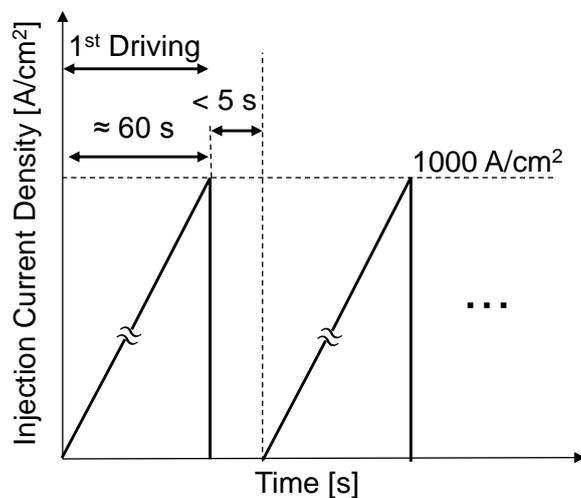


図 3.18 μ LEDにおける自己発熱の影響を検証するために行った連続駆動時の電流注入手順

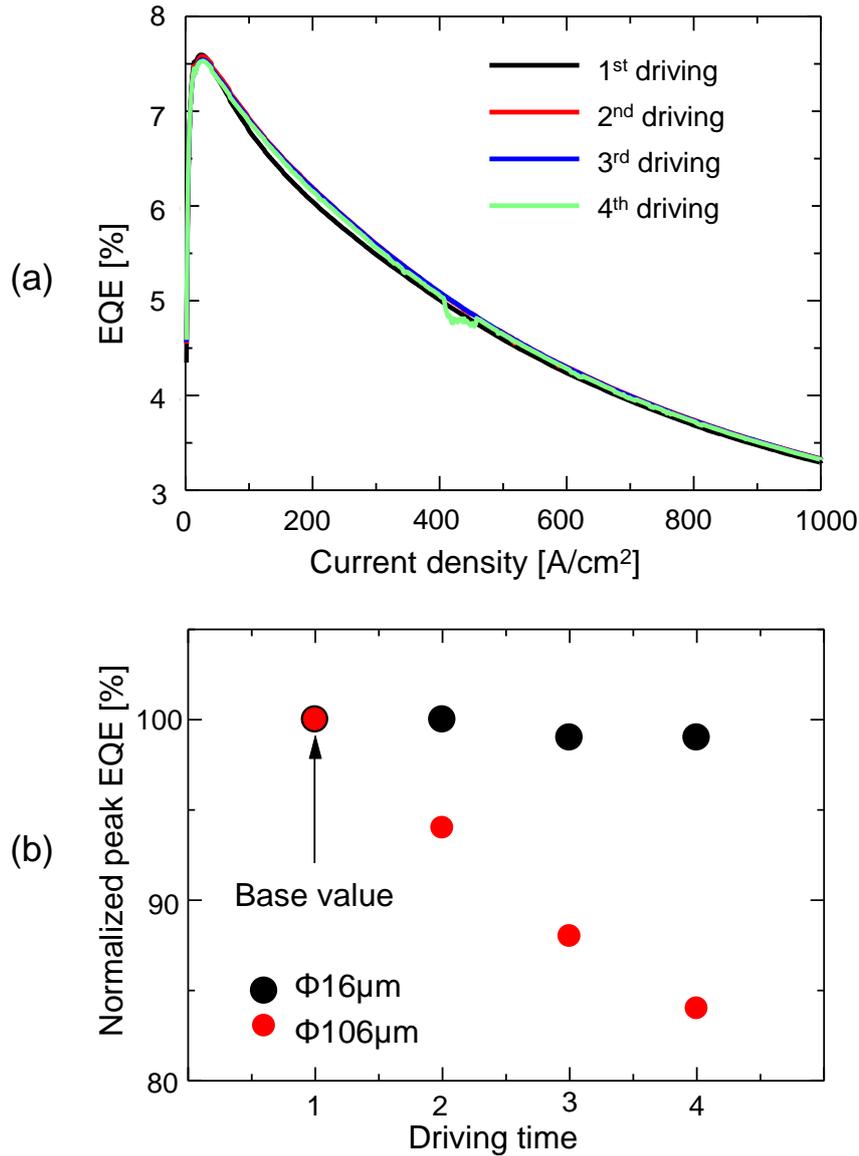


図 3.19 (a) 直径 16 μm の GaN- μLED の駆動毎の外部量子効率-電流密度特性, (b) μLED の直径を変更した際の駆動毎のピーク外部量子効率

の低下の原因となる．そこで， 1 kA/cm^2 の電流を意図的に μLED に注入し，連続的な駆動に対する外部量子効率への影響について評価した．評価には直径 16 μm および 106 μm の μLED を用い，注入電流の時間軸上の変化を図 3.18 に示す． μLED の駆動回数は 4 回とし，駆動毎の特性変化を抽出して検討を行った．図 3.19(a) に直径 16 μm の μLED を 1 kA/cm^2 まで駆動させた際の外部量子効率-電流密度特性を示す．直径 16 μm の μLED においては， 1 kA/cm^2 までの全注入電流領域で外部量子効率は駆動の履歴に関わらずほとんど一致した．ピーク外部量子効率を抽出し，駆動履歴に対する関係を調べた結果を図 3.19(b) に示す．ここで，一回目の駆動時に測定されたピーク外部量子効率により規格化した．直径 16 μm の μLED では駆動履歴に対して外部量子効率がほとんど変化しなかったのに対し，直径 106 μm の μLED では 4 回の駆動後でピ

ーク外部量子効率が約 17%低下することが分かった。Gong ら [36]は、デバイスシミュレータ SPeCLEDTMを用いた GaN-LED の素子サイズに対する自己発熱の解析および EL スペクトルからの pn 接合温度の推定により、LED の微細化にしたがって 1 kA/cm^2 のキャリア注入下でも pn 接合温度の上昇が抑制されることを報告している。これは、図 3.19(b)におけるピーク外部量子効率の駆動回数に対する傾向の違いを定性的に裏付けるものと考えられる。報告例とはデバイス構造が微妙に異なるが、GaN-LED を微細化に伴う自己発熱の抑制の傾向が本実験においても確認されたことから、これは GaN-LED を微細化する際に発現する普遍的な現象であると言える。

3.4 絶縁膜堆積手法の違いが GaN 表面に与える影響の検討

μLED を集積化するためには、電極引き出しパッドが必要となるため必然的に GaN 表面への絶縁膜堆積工程が必要となる。また、1章で述べたように本研究では電子デバイス層 (Si 層) と発光層 (GaN-LED 層) 間に中間絶縁膜を形成するために表面活性化ウェハ接合を用いた異種材料積層構造を提案している。ウェハの表面平坦性は良好なウェハ接合に対する必要条件であり、接合の可不可に直結する重要なパラメータである。そのため、同じ材料・同じ接合条件下であっても表面の粗さが小さい試料を用いた方がウェハ接合を行った際に発生する空隙部を改善出来ると考えられる。また、ワンチップ内に各種デバイスを集積するモノリシック OEIC では低消費電力性が必要条件の一つであることから、p 電極のコンタクト抵抗に主として律速する μLED の消費電力を抑制するためには、絶縁膜堆積手法の違いによる影響を検討することが重要となる。そこで本節では、平坦性とコンタクト抵抗への要求を同時に満たす堆積方法を明らかにするために、LPCVD および PECVD を用いて堆積した SiO_2 の比較検討を行った。

まず、PECVD における SiO_2 堆積の最適条件を調査するため、ステージ温度及び RF 電力を変化させ、それぞれの成膜条件で Si 基板上に SiO_2 を堆積させた後に AFM で SiO_2 膜表面を観測した。AFM の走査範囲は $5 \times 5 \text{ }\mu\text{m}^2$ とした。このとき変化させた PECVD の SiO_2 堆積条件を表 3.3 に示す。LPCVD による SiO_2 の堆積は 2.2.4 節で示した表 2.3 の条件で行った。表 3.4 に AFM 測定から得られた表面平坦性に関するパラメータを示す。ここで、P-V は最大高低差、RMS は自乗平均面粗さのことである。これらの測定結果から、PECVD ではステージ温度が上昇するにつれて P-V、RMS の両方が改善していることが確認できる。また、RF 電力を増加させることによっても P-V、RMS の両方が改善することが分かった。LPCVD により堆積した SiO_2 を AFM 測定した結果、P-V は 0.487 nm 、RMS は 0.364 nm であった。この結果、LPCVD により堆積した SiO_2 の表面平坦性は PECVD により堆積した SiO_2 の表面平坦性と比べて P-V および RMS の両方で優れた値を示すことが分かった。PECVD の堆積温度の上昇にしたがって表面平坦性の改善が示唆されていることから、LPCVD においては堆積温度が $722 \text{ }^\circ\text{C}$ と高温であることにより優れた表面平坦性が達成されているものと考えられる。

表 3.3 本実験にて変化させた PECVD による SiO₂ の堆積条件

Deposition temperature	200, 300 °C
SiH ₄ /N ₂ flow rate	65 sccm
N ₂ O flow rate	120 sccm
RF	30, 100, 200, 300 W
APC (deposition)	67 Pa
Deposition rate (ref)	55 ~60 nm/min

表 3.4 LPCVD および PECVD により各条件で堆積した SiO₂ の表面平坦性

Deposition temperature [°C]	RF [W]	P-V [nm]	RMS [nm]
300	30	11.01	1.441
	100	16.36	1.614
	200	11.48	0.775
	300	9.32	0.574
200	30	42.44	3.707
	100	24.42	2.694
	200	18.07	1.611
	300	18.77	1.638
LPCVD	722	4.873	0.364

次に、各 SiO₂ 堆積手法における p-GaN へのコンタクト抵抗への影響を C-TLM 法を用いて調査した。各堆積法で GaN-LED 基板の p-GaN 表面に一旦 SiO₂ を堆積した後、SiO₂ を除去した表面に C-TLM パターン (Ni/Ag/Ni 電極) を形成した。このときの各層の膜厚は 5/200/20 nm とした。また、比較用に SiO₂ を堆積させない LED 基板にも C-TLM パターンを形成した。作製した C-TLM パターンの I-V 特性の結果からコンタクト抵抗を算出し比較を行った。その結果を図 3.20 に示す。コンタクト抵抗は未処理の比較対象基板と比較して、各 CVD 法で SiO₂ を堆積した場合ではいずれにおいてもコンタクト抵抗の増加が確認された。PECVD (RF:300W) で SiO₂ を堆積した場合は LPCVD で SiO₂ を堆積した場合よりもコンタクト抵抗が 2 倍程度高くなる傾向が観測された。その一方で、シート抵抗は SiO₂ の堆積方法によらずほぼ一定であることが確認できる。したがって、シート抵抗によってコンタクト抵抗が増加したのではなく表面拡散長が増加したことによる影響であると考えられる。

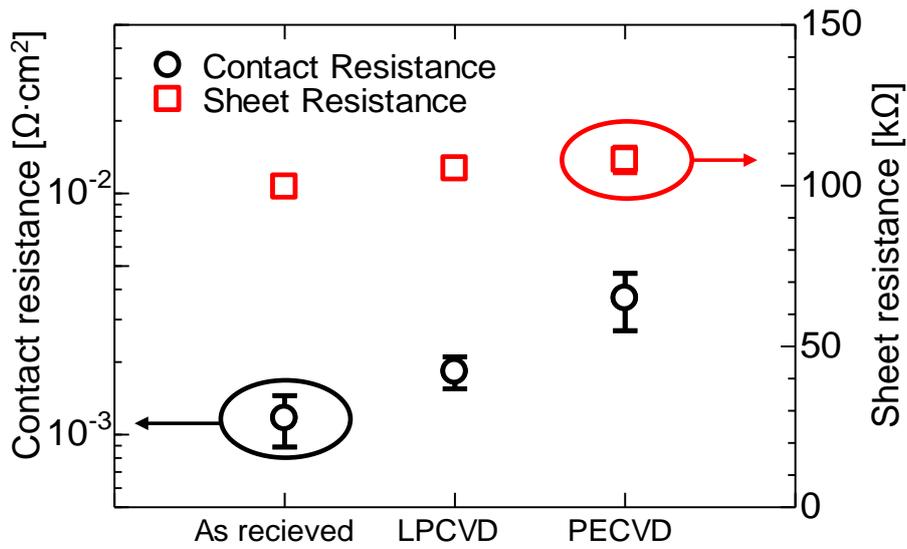


図 3.20 p-GaN のコンタクト抵抗における SiO₂ の堆積方法依存性

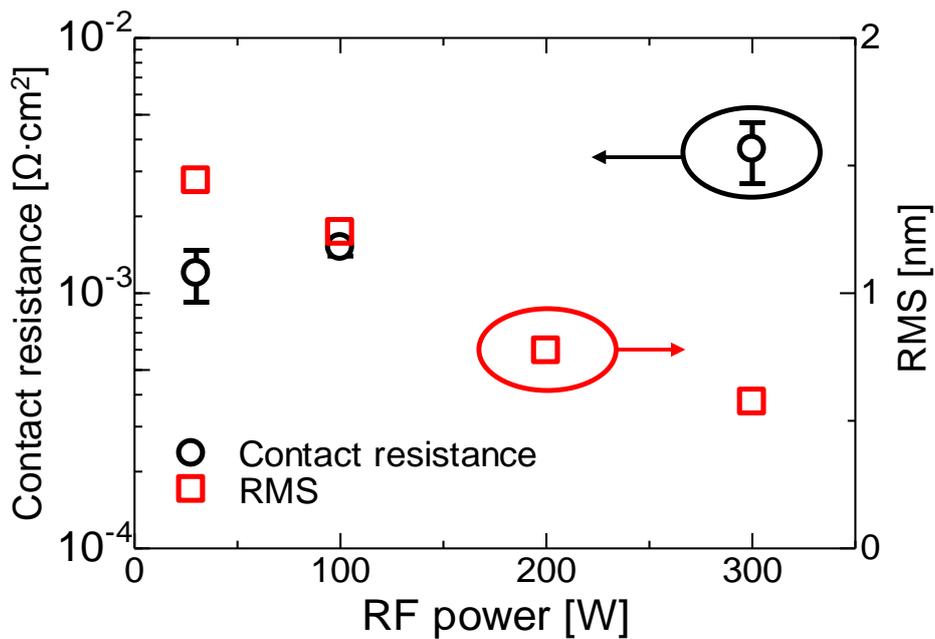


図 3.21 PECVD の RF 電力に対するコンタクト抵抗および平均面荒さ

また、PECVD については RF 電力を変化させた場合のコンタクト抵抗の評価を行った。その結果とその際の RMS を図 3.21 に示す。RF 電力が増加するに伴い、コンタクト抵抗も増加しているのが確認できる。この結果から、RF 電力に比例したプラズマダメージによってコンタクト抵抗が増加したと考えられる。また、PECVD では RF 電力の上昇によって平坦性は向上するがコンタクト抵抗は悪くなる、というトレードオフの傾向が見られた。これらの結果から、GaN-LED に対する絶縁膜堆積方法としては、表面平坦性およびコンタクト抵抗の観点から PECVD よりも LPCVD がより有

効であると結論付けられる。しかしながら、コンタクト抵抗については $10^{-3} \Omega \cdot \text{cm}^2$ 程度になっている。そのため、LED を微細化していくと p 電極のコンタクト抵抗による消費電力が問題となる可能性がある。そこで次に、p 電極のコンタクト抵抗を低減するための表面処理方法について検討を行った。

LPCVD により SiO_2 を堆積した後にそれを除去した GaN-LED 基板に対し、蒸着前処理として加熱硝酸（加熱温度：90~110 °C）、加熱塩酸（加熱温度：90~100 °C）、加熱王水（加熱温度：80~90 °C）の3種類を用いて表面処理を行った。処理時間は30分とした。各溶液で表面処理を行った基板に Ni/Ag/Ni 電極を形成しコンタクト抵抗の評価を行った。各表面処理における結果を図 3.22 に示す。この結果から、加熱硝酸、加熱塩酸を用いた表面処理の効果は確認できず、ほとんど効果が無いと結論付けられる。その一方で、王水によって p-GaN 表面の処理を行うことでコンタクト抵抗は $1.81 \times 10^{-3} \Omega \cdot \text{cm}^2$ から $0.884 \times 10^{-3} \Omega \cdot \text{cm}^2$ まで低減した。LPCVD 工程で懸念される p-GaN 表面近傍の化学的反応としては、p-GaN 中への Si 原子の拡散による実効キャリア濃度の低下、あるいは酸素による GaOx 層の形成が考えられる。Ren ら [37] は希釈塩酸による Ga_2O_3 のエッチングを報告しており、Ohira ら [38] は加熱硝酸による $\beta\text{-Ga}_2\text{O}_3$ のエッチング報告している。したがって、王水を用いた際の p 電極コンタクト抵抗の改善傾向は GaOx のエッチングによるものと考えられ、王水による絶縁膜堆積後処理の有効性を裏付けるものと考えられる。

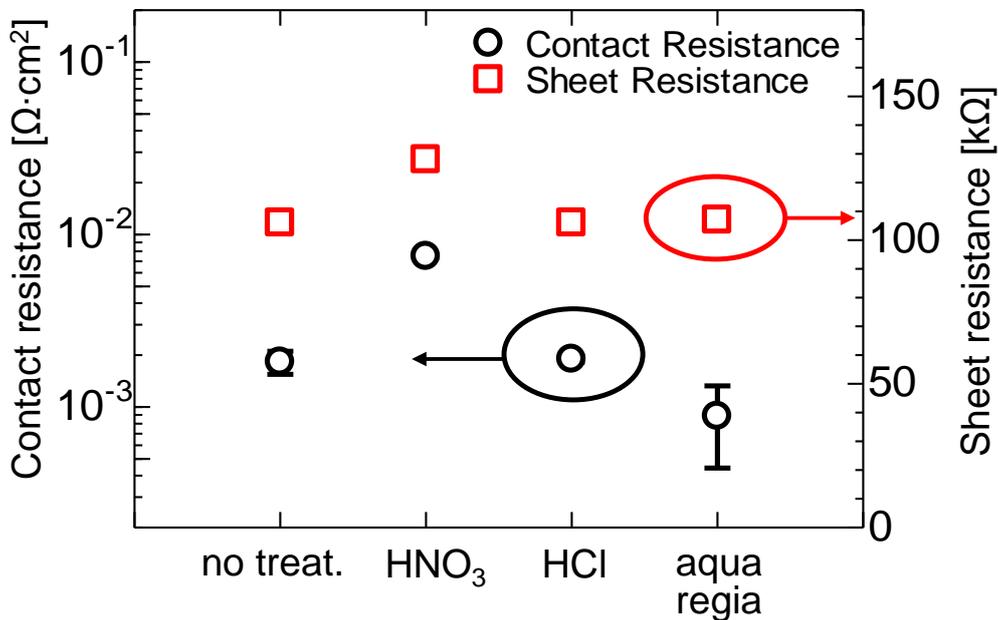


図 3.22 LPCVD による SiO_2 堆積後のコンタクト抵抗における表面処理効果

3.5 イオン注入技術を用いたプレーナ型発光ダイオードの作製

1.3節でも述べたように、Ga_N-LEDにおけるメサ構造に相当する電極間段差は将来的に配線の信頼性を低下させるものと懸念される。そこで本研究では、チャネリング現象に着目した高濃度・高浸透・低結晶損傷のイオン注入技術を用いたプレーナ型 Ga_N-LED 構造を提案しており、本節ではその基礎的な設計および実証を行う。チャネリング現象の詳細に関しては、2章イオン注入の項にて説明を行った。

3.5.1 イオン注入を用いた Ga_N の伝導型制御に関する検討

p-Ga_N のキャリア反転を実現するためにまず、無添加 Ga_N (u-Ga_N) におけるチャネリング現象を取り入れたイオン注入条件および結晶性回復熱処理条件の検討を行った。また実験と合わせて、Si を Ga_N へイオン注入した際のドーピングプロファイルに関して、モンテカルロシミュレーション法を基に開発された SRIM (the stopping and range of ions in matter) を用いてシミュレーションを行った。SRIM では、イオン注入下におけるイオンと基板原子の衝突現象を確率論的に取り扱うことによって衝突毎のエネルギー散逸と散乱方向を数値的に解析することが出来る。実際にシミュレーションに用いたのは SRIM に付加されている TRIM (transportation of ion in material) 機能であり、入射イオンの衝突およびその衝突によりエネルギーを得た原子の連続衝突過程を含む 2 体衝突シミュレーションに適した機能である。TRIM によるシミュレーション条件としては、試行回数を 20000 回、イオン注入角度を 10°、Ga_N の厚さを 500 nm、Ga_N の密度を 6.1 g/cm³ とし、加速電圧とドーズ量を変更パラメータとした。

u-Ga_N の基板構造は、厚さ 3.5 μm の u-Ga_N が Sapphire(0001)基板上に成長した構造であり、キャリア濃度は 1×10¹⁷ cm⁻³ である。まず、二次質量イオン分析 (SIMS : secondary ion mass spectrometry) を用いて、チャネリング現象の発現の有無を確認した。表 3.5 に u-Ga_N 基板への Si のイオン注入条件を示す。表 3.5 に示した条件で作製した u-Ga_N の SIMS 結果を図 3.23 に示す。加速電圧 100 keV でチルト角およびツイスト角を 10° (チャネリング無し) とした試料の時の TRIM シミュレーション結果と SIMS 測定結果を比較すると、u-Ga_N 中の Si 濃度分布は比較的類似していることが分かる。両特性に関して 150 nm 以下の領域の Si 濃度分布に注目すると、わずかに投影飛程の標準偏差に広がりが見られる。米村ら [39]はイオン注入法により作製した Mg 添加 Ga_N 中の Mg の局所構造解析過程において同様の現象を確認しており、チャネリング現象による影響であると指摘している。また、イオン注入の初期過程で表面近傍の結晶格子は初期状態と異なる形態に変化するため [40]、実際のイオン注入過程で発生するカスケード衝突では阻止能の低いチャネルへと選択的に原子がはじき出される可能性がある。また、加速電圧 100 keV でチルト角およびツイスト角を 0° としたチャネリング現象を狙った試料における Si 濃度分布は、チャネリング無の Si 濃度分布よりも深く均一となることが分かった。更に、加速電圧を 150 keV とすることによって更に深い Si 濃度分布が達成される一般的なイオン注入条件の傾向が得ら

表 3.5 SIMS によるチャネリング効果の検証用試料のイオン注入条件

加速電圧 [keV]	ドーズ量 [cm^{-2}]	チルト角 [$^{\circ}$]	ツイスト角 [$^{\circ}$]	
100	1×10^{15}	10	10	
100	1×10^{15}	0	0	channeling
150	1×10^{15}	0	0	channeling

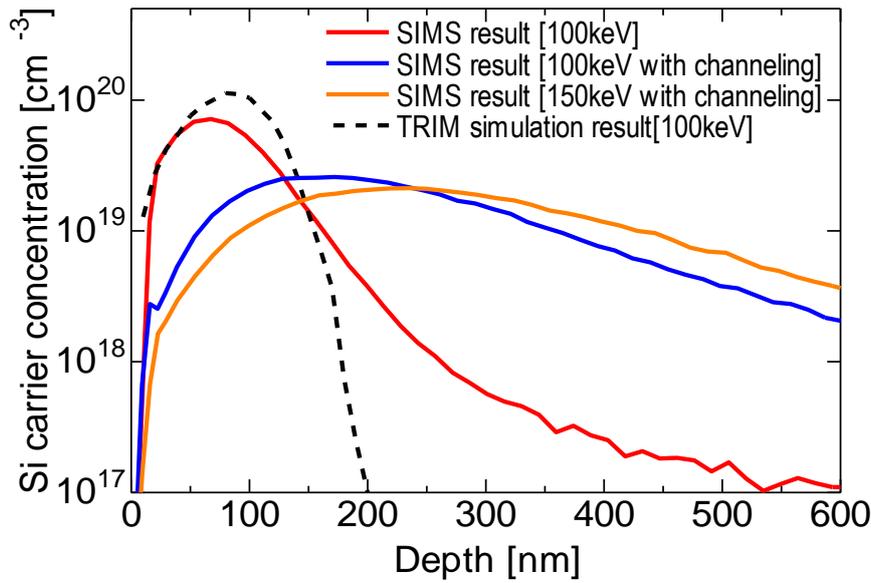


図 3.23 u-GaN 基板を用いて Si イオン注入を行った場合における TRIM を用いたシミュレーション結果と SIMS によるチャネリング現象の検証結果

れた。これらの結果から、チルト角およびツイスト角を 0° と設定することによってチャネリング現象を用いた高浸透のイオン注入が可能であることが分かった。

TRIM を用いたシミュレーションではチャネリング現象を考慮した Si 濃度分布の推定を行うことが出来ない。そこで次に、TRIM シミュレーション結果と SRIM 測定結果の間で定量的に成立する経験的係数の定量的導出を行った。イオン注入では入射イオンの物質内での減速過程は、格子系へのエネルギー移行を示す核的阻止能と電子系へのエネルギー移行を示す電子的阻止能とに分別される [41]。数十 keV を超えるような高エネルギー側では基本的に電子的阻止能が支配的とされており [42]、電子阻止能に関する半経験的に解析手法と理論を組み合わせた Ziegler の計算式 [43] から、深さ方向の Si 濃度分布は加速電圧の平方根に比例することが予想される。そこで、加速電圧 100 keV と Si 濃度分布 $D_{100\text{keV}}$ について

$$D_{100\text{keV}} = D_{150\text{keV}} \sqrt{\frac{E_{100\text{keV}}}{E_{150\text{keV}}}} \quad (3.5)$$

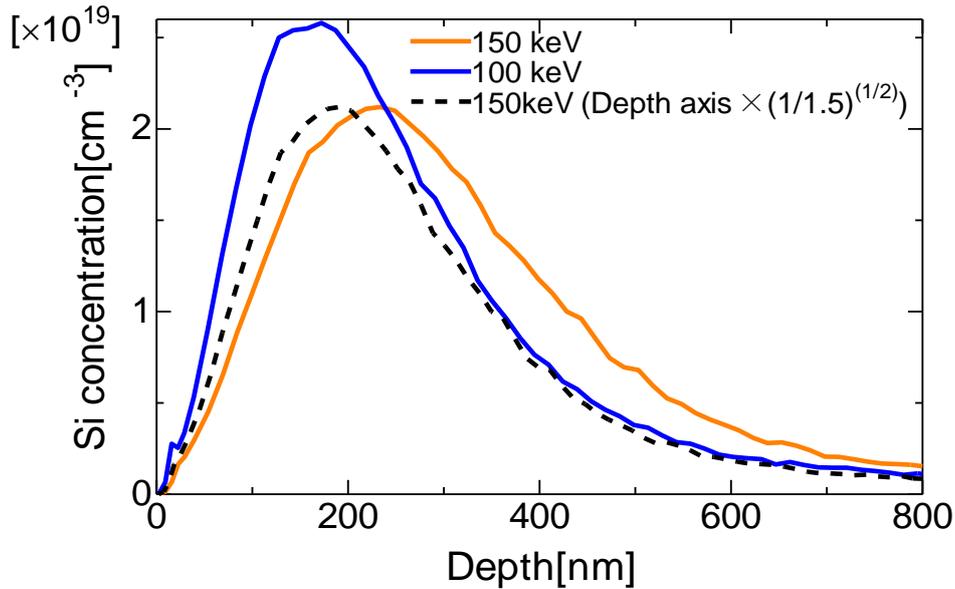


図 3.24 チャネリング条件下での Si 濃度分布における加速電圧の振る舞い. 黒色破線は 150 keV の SIMS 実測プロファイルの x (Depth)軸に対して $1/\sqrt{1.5}$ 倍したデータ

という関係が, チャネリングを行った図 3.23 の Si 濃度プロファイルにおいて成立しているかを検証した. 図 3.24 に(3.5)式により図 3.24 のチャネリング条件下での SIMS 測定結果を解析した結果を示す. 結果より, 100 keV の実測プロファイルは, 150 keV の実測プロファイルに対して $1/\sqrt{1.5}$ 倍したものとピーク位置や広がりほぼ同じであることが分かった. このことから, チャネリング現象を発生させた場合の減速過程もまた電子阻止能が支配的となっていることが示唆され, TRIM を用いたシミュレーションの解析原理と基本的に同じであることが確認された.

そこで次に, 図 3.23 におけるチャネリング条件下で加速電圧 150 keV の時の Si 濃度分布 (SIMS 結果) に対して TRIM を用いたシミュレーション結果を調整することによって経験的係数を導出した. 図 3.25 にその調整結果を示す. 結果的に, TRIM を用いたシミュレーション結果に対して, 深さ方向 (x 軸) を 2 倍に, Si 濃度 (y 軸) を $1/2$ 倍にすることによってチャネリング条件下における Si 濃度分布を推定することが出来るものと考えられる. 導いた経験的係数の確度をより高めるために, 加速電圧を変化させた時の SIMS データとシミュレーション結果の相関を今後も調査する必要がある. 図 3.25 の橙色実線と黒色破線間に見られる基板内方向の Si 濃度分布のズレは, 図 3.24 のチャネリング無しの TRIM シミュレーション結果と SIMS 測定結果の間にも見られたズレと同じで, 先に注入された原子に衝突して奥深くに入り込むカスケード衝突の影響によるものと考えられる.

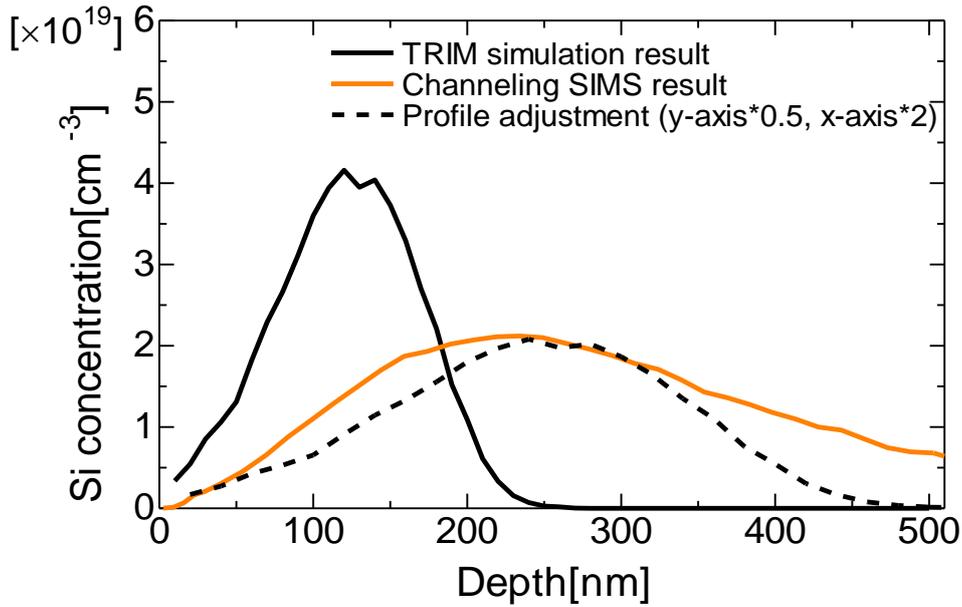


図 3.25 チャネリング条件下において加速電圧 150 keV でイオン注入を行った際の SIMS 分析結果と TRIM シミュレーション結果の調整結果. 黒の実線で示した TRIM シミュレーション結果に対して, x 軸を 2 倍, y 軸を 1/2 倍した結果が黒の破線.

表 3.6 p-GaN のキャリア反転実験におけるイオン注入条件

	注入順序	加速電圧 [keV]	ドーズ量 [cm ⁻²]	チルト角 [°]	ツイスト 角 [°]	
注入条件 A	1	150	5×10 ¹⁴	0	0	channeling
	2	120	2×10 ¹⁴	0	0	channeling
	3	80	1×10 ¹⁴	0	0	channeling
	4	50	1×10 ¹⁴	0	0	channeling
注入条件 B	1	150	5×10 ¹⁴	10	10	
	2	120	2×10 ¹⁴	10	10	
	3	80	1×10 ¹⁴	10	10	
	4	50	1×10 ¹⁴	10	10	
注入条件 C	1	150	1×10 ¹⁵	0	0	channeling
	2	120	1×10 ¹⁵	0	0	channeling
	3	80	1×10 ¹⁵	0	0	channeling
	4	40	1×10 ¹⁵	10	10	

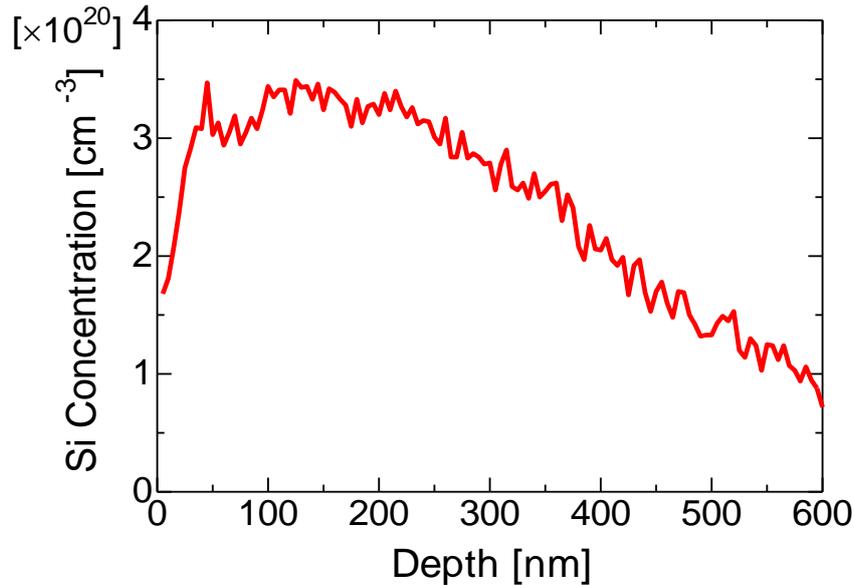


図 3.26 表 3.6 注入条件 C により GaN 中に形成された Si 濃度分布の SIMS 結果

次に、実際に p-GaN に対する Si のイオン注入を行い、伝導型反転を試みた。まず、 $4 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度の p-GaN/u-GaN/Sapphire 基板を用意し、Si のイオン注入を行った。p-GaN の膜厚は $>2 \mu\text{m}$ である。表 3.6 に p-GaN/u-GaN/Sapphire 基板に対するイオン注入条件を示す。注入条件 A は実際に使用する GaN-LED 基板の p-GaN が厚さ約 250 nm でキャリア濃度 $4 \times 10^{17} \text{ cm}^{-3}$ であることを想定して、深さ 300~400 nm まで Si 濃度を 19 cm^{-3} 台に調整したイオン注入条件である。この時 Si 濃度の深さ分布は TRIM シミュレーション結果と前述のチャネリング現象に関する経験的係数を用いて推定した。注入条件 B は注入条件 A の全注入でチャネリング現象を起こさない角度条件としたものである。注入条件 C では、注入条件 A の表面近傍注入条件を 40 keV でチャネリング現象を起こさない角度条件に設定しドーズ量を $1 \times 10^{15} \text{ cm}^{-2}$ に設定した。図 3.26 に 注入条件 C のイオン注入条件における Si 濃度分布の SIMS 測定結果を示す。

続いて、イオン注入を行った p-GaN/u-GaN/sapphire 基板に対して高速熱処理 (RTP) を行った。当研究グループでは過去に GaN への Eu のイオン注入実験を行った実績があり、 $\text{NH}_3 + \text{N}_2$ のアニールによる活性化熱処理の有効性が示唆されている [44]。そこで、基本的な熱処理雰囲気条件を $\text{NH}_3 : \text{N}_2 = 0.2 \text{ slm} : 0.4 \text{ slm}$ に設定した。RTP は 1000 ~ 1150 °C の範囲で行い、昇温時間 2 min、保持時間 2 min、その後自然降温するように設定した。熱処理雰囲気は前述の通り、 $\text{NH}_3 : \text{N}_2 = 0.2 \text{ slm} : 0.4 \text{ slm}$ である。n 型反転層に対するオーミック電極に Ti/Al/Ti/Au を採用し、van der Pauw 法による Hall 効果測定を行うための試料を作製した。まず、表 3.6 注入条件 A で作製した試料では、全熱処理条件でオーミック特性が得られなかった。Sheu ら [45] の報告では、 $3 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を示す p-GaN に対して、40 keV/ $1.6 \times 10^{14} \text{ cm}^{-2}$ 、100 keV/ $3.1 \times 10^{14} \text{ cm}^{-2}$ 、150 keV/ $3.1 \times 10^{14} \text{ cm}^{-2}$ の $^{28}\text{Si}^+$ イオン注入を行い、窒素雰囲気下で 1000 ~ 1200 °C の高

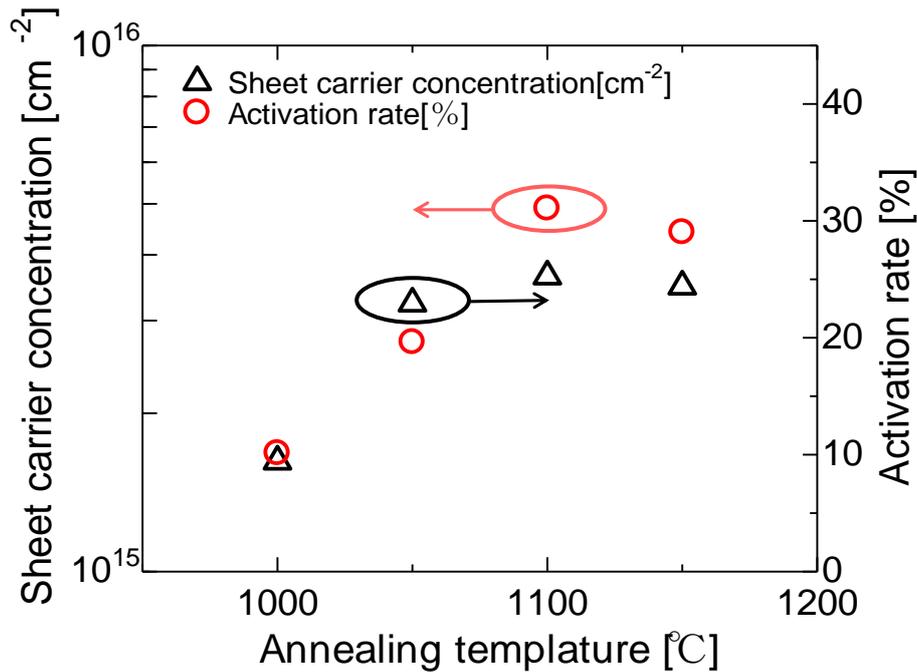


図 3.27 表 3.6 注入条件 C により p-GaN を n 型反転した際のシートキャリア濃度および活性化率における熱処理温度依存性

速熱処理 (60 sec) によってキャリア反転を達成していることから、熱処理条件としては十分であると考えられる。一方 TRIM を用いたシミュレーションの結果から、表面近傍の Si 濃度は $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 台と推定されるため、注入した Si の活性化率が低いために表面近傍が n 型反転されなかったのではないかと考えられる。表 3.6 注入条件 B および C では全熱処理条件でオーミック特性が確認できた。これは、低加速電圧条件にチャネリング条件を適用しなかったことで表面近傍の Si 濃度が向上した効果であると考えられる。電子移動度としては、表 3.6 注入条件 B で 1150°C の熱処理を行った試料で、 $2.12 \text{ cm}^2/\text{V}\cdot\text{s}$ となった。Mnatsakanov ら [46] は n-GaN のキャリア濃度に対する電子移動度を報告しており、本研究で狙った Si 濃度に相当する $10^{20} \sim 10^{21} \text{ cm}^{-3}$ では電子移動度として数十 $\text{cm}^2/\text{V}\cdot\text{s}$ 程度となっている。このことから、本実験での電子移動は、一桁以上低い結果であった。その一方で、表 3.6 注入条件 C で 1100°C の熱処理を行った試料では、最も高い電子移動度として $83.54 \text{ cm}^2/\text{V}\cdot\text{s}$ が得られた。各熱処理温度に対するシートキャリア濃度と活性化率 (シートキャリア濃度にシートアクセプタ濃度を加算し、Si ドーズ量で除した値) を図 3.27 に示す。 1100°C の熱処理を行った試料では、シートキャリア濃度および活性化率は $3.64 \times 10^{15} \text{ cm}^{-2}$ および約 23% であった。注入条件 C の電子移動度が注入条件 B の電子移動度よりも高くなった原因としては、チャネリングによる結晶損傷の度合いの変化を反映した結果であると推察される。チャネリング現象が発現しない表 3.6 注入条件 B では、結晶格子に位置する原子への衝突に起因した核的阻止能が機能するため、原子空孔や格子間原子、アンチサイト欠陥が生成される。チャネリング現象を利用した場合、核的阻止能が比較的

抑制されることが予想されるため、注入条件 C において達成された高い電子移動度は各種欠陥の生成確率の低下を反映した結果であると考えられる。また、p-GaN に対する Si イオン注入に関する Sheu ら [45]の報告や u-GaN に対する Si イオン注入に関する Cao ら [47]の報告から予想するに、 10^{15} cm^{-2} の Si ドーズ量では電子移動度は 1 桁台まで低下するものと考えられる。これに関しては、 NH_3+N_2 熱処理によって窒素空孔の生成を抑制したことによる効果が大きいものと考えられ、窒素空孔に起因した電子の散乱中心の減少により電子移動度の低下が抑制されたものと推察される。

以上の結果から、チャネリング現象を利用したイオン注入および高速熱処理による p-GaN の伝導型反転の基礎的条件が明らかとなった。

3.5.2 イオン注入を用いたプレーナ型 GaN 系発光ダイオードの実証

まず、基板を p-GaN から GaN-LED 基板に変更したことに伴って、成長温度の低い InGaN 量子井戸層の高温熱処理による熱分解が懸念されることから、その影響を検証した。3.5.1 節において p-GaN/u-GaN/Sapphire 基板によって最適化された熱処理条件である $\text{NH}_3 : \text{N}_2 = 0.2 \text{ slm} : 0.4 \text{ slm}$ の雰囲気下で $1100 \text{ }^\circ\text{C}$ 、昇温時間 2 min、保持時間 2 min の高速熱処理を GaN-LED 基板に対して適用した。熱処理後の GaN-LED 基板の PL 測定結果を図 3.28 に示す。結果より、熱処理前では波長 460 nm 付近の InGaN/GaN MQW からの発光が明瞭に観測された一方で、 $1100 \text{ }^\circ\text{C}$ の熱処理後においてはバンド端発光およびイエローバンドの発光が支配的となっており、MQW からの発光は確認することが出来なかった。このことから、 $1100 \text{ }^\circ\text{C}$ の熱処理は波長 460 nm の InGaN/GaN MQW を含む GaN-LED に対しては適用出来ないことが分かった。そこで、結晶性回復効果の低下を認識した上で、 $1000 \text{ }^\circ\text{C}$ および $1050 \text{ }^\circ\text{C}$ の熱処理を GaN-LED 基板に対して行い、同様の PL 測定を行った。各温度での GaN-LED 基板の熱処理前後における PL 測定結果を図 3.29 および図 3.30 に示す。 $1000 \text{ }^\circ\text{C}$ および $1050 \text{ }^\circ\text{C}$ の熱処理においては InGaN/GaN MQW からの発光が確認された。ただし、熱処理前後のピーク強度に注目すると、 $1050 \text{ }^\circ\text{C}$ の熱処理を行った場合では明らかに半分程度まで強度が低下していることが分かる。それに比べて、 $1000 \text{ }^\circ\text{C}$ の熱処理を行った場合では 10 ~ 15 % 程度の強度低下が見られたものの、PL 測定の測定精度や GaN-LED 基板の面内強度分布等の影響も鑑みると熱処理の影響としては許容範囲内であると判断できる。

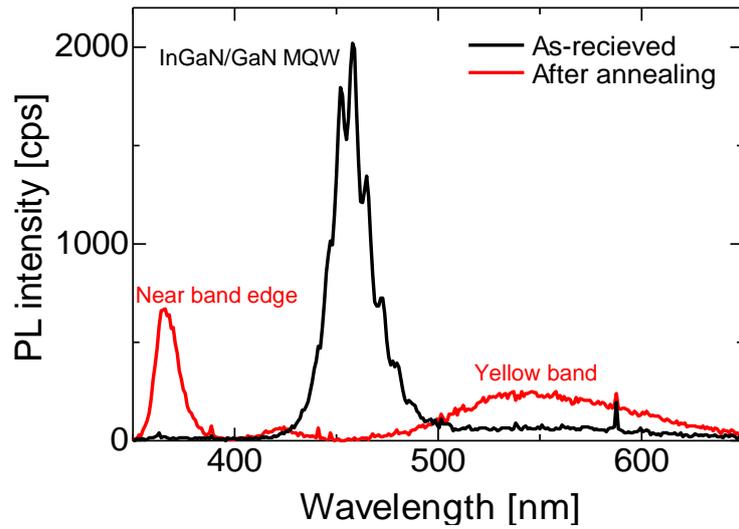


図 3.28 GaN-LED 基板の 1100°C の熱処理前後における PL 測定結果

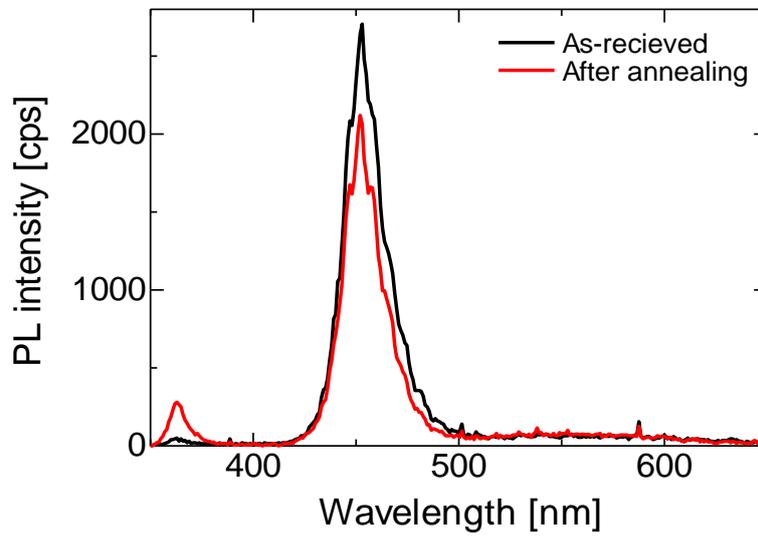


図 3.29 GaN-LED 基板の 1000°C の熱処理前後における PL 測定結果

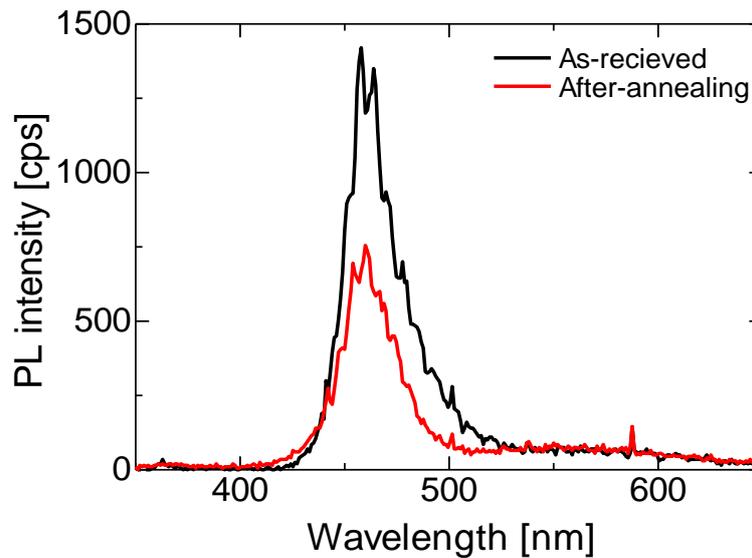


図 3.30 GaN-LED 基板の 1050°C の熱処理前後における PL 測定結果

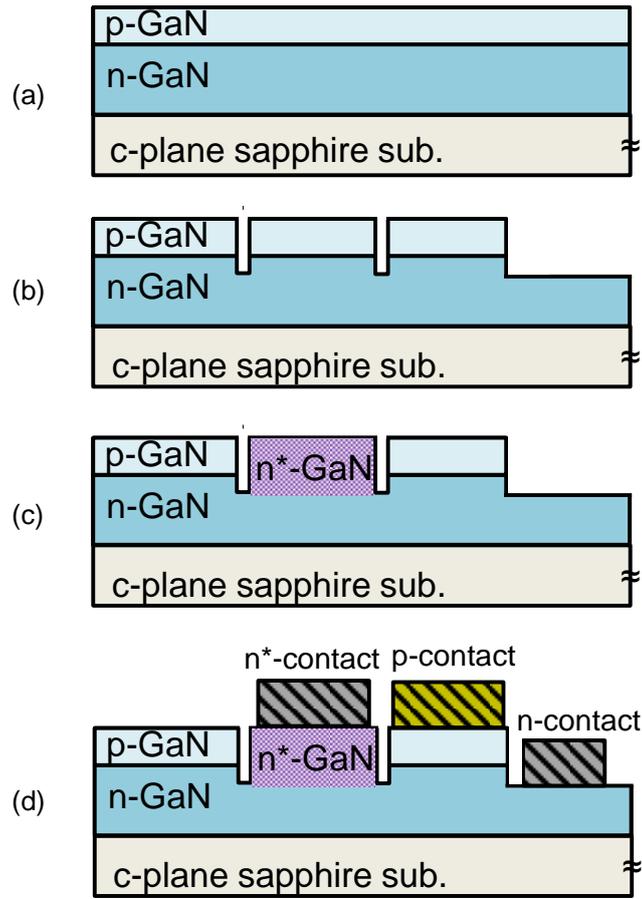


図 3.31 プレーナ型 GaN-LED の工程手順. (a) GaN-LED 基板の初期状態, (b) ICP-RIE による素子分離, (c) 表 3.6 注入条件 C の Si イオン注入と 1000 °C の NH_3+N_2 雰囲気熱処理, (d) $n(n^*)$ 電極 (Ti/Al/Ti/Au) の形成と p 電極 (Ni/Ag/Ni) の形成.

次に, $\text{NH}_3 : \text{N}_2 = 0.2 \text{ slm} : 0.4 \text{ slm}$ の雰囲気下で 1000 °C, 昇温時間 2 min, 保持時間 2 min の熱処理をイオン注入後の結晶性回復熱処理条件に採用し, プレーナ型 GaN-LED の試作を行った. 設計したプレーナ型 GaN-LED の作製工程を図 3.31 に示す. p 電極の直径は 300 μm とし, p 電極周囲にイオン注入によって n 型反転させた n^* 電極を設けた. また, 電気特性の比較のために通常のメサ構造を作製し, 露出させた n-GaN に対して参照電極としての n 電極を設けた. また, 各電極のコンタクト抵抗を測定するために, C-TLM をそれぞれの電極で設けた. まず, GaN-LED 基板を有機洗浄した後 (図 3.31(a)), 表 2.1 の条件を用いて ICP-RIE による素子分離工程を行った (図 3.31(b)). 続いて, 表 3.6 注入条件にて Si イオン注入を行い, $\text{NH}_3 : \text{N}_2 = 0.2 \text{ slm} : 0.4 \text{ slm}$ の雰囲気下で 1000 °C, 昇温時間 2 min, 保持時間 2 min の熱処理を行った (図 3.31(c)). 先に求めたチャネリング条件の経験的係数により補正した Si 濃度のボックスプロファイルを図 3.32 に示す. その後, n^* -GaN および n-GaN に対してリフトオフ法により Ti/Al/Ti/Au 構造を作製し, 窒素雰囲気にて 750 °C 3 分間の熱処理を行うことで n および n^* 電極を形成した. 最後に, p-GaN に対して電子ビーム蒸着およびリフトオフ法に

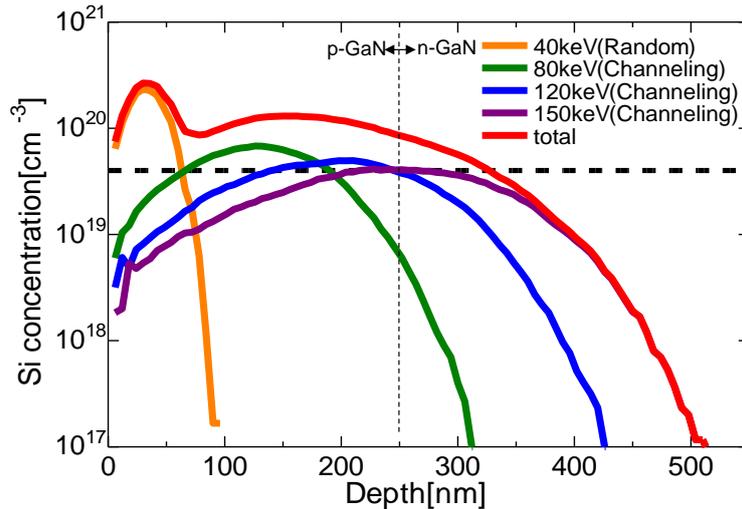


図 3.32 チャネリング条件の経験的係数により補正した Si 濃度プロファイル (TRIM を用いたシミュレーション結果)

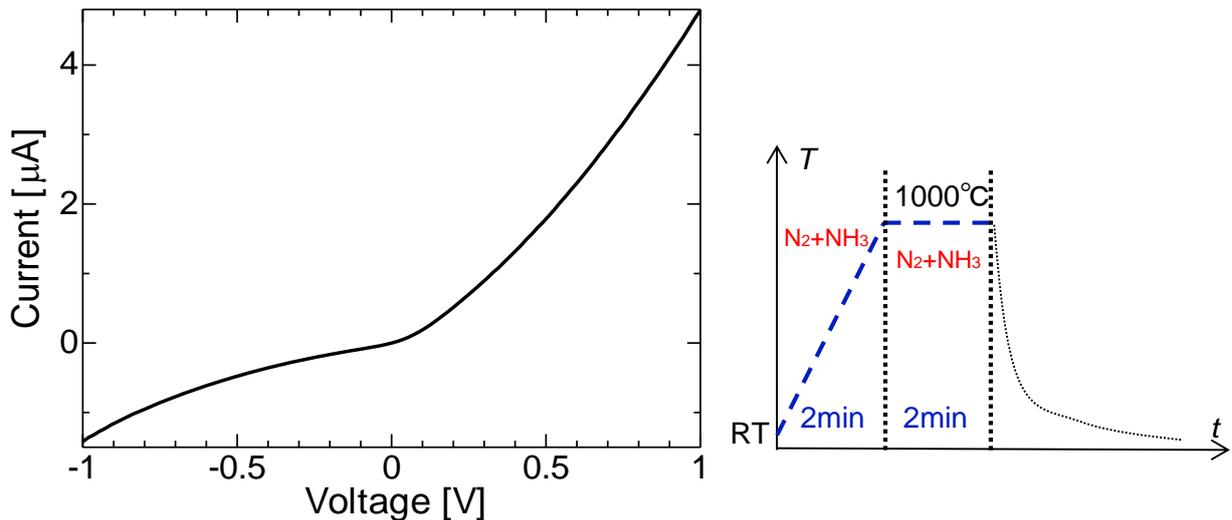


図 3.33 イオン注入後に $\text{NH}_3 : \text{N}_2 = 0.2 \text{ slm} : 0.4 \text{ slm}$ の雰囲気下で 1000°C , 昇温時間 2 min, 保持時間 2 min の結晶回復熱処理を行った際の n^* 電極の C-TLM 測定結果 (ギャップ長は $6 \mu\text{m}$)。挿入図はイオン注入後の結晶回復熱処理の詳細。

より Ni/Ag/Ni 構造を作製し、窒素酸素混合雰囲気にて 500°C 1 分間の熱処理を行うことで p 電極を形成した (図 3.32(d))。

図 3.33 に作製したギャップ長 $6 \mu\text{m}$ の C-TLM パターンの電流-電圧特性を示す。結果より、電流値としては $\pm 1\text{V}$ で数 μA 程度となっており、コンタクト抵抗が非常に高いことが示唆された。この原因として考えられるのは、原子状水素による Mg アクセプタの不活性化である [48] [49]。イオン注入後において実施した熱処理では、 NH_3 が高温で分解することにより原子状窒素および原子状水素が生成され、GaN 表面近傍の窒素抜けの抑制と原子状水素の p-GaN 中への拡散が発生すると予想される。p-GaN 中に拡散した原子状水素が Mg と結合するとアクセプタが不活性化し、その結果として

表面近傍のアクセプタ濃度は引き下がる．本作製において使用した p 電極，広くは p-GaN へのオーミック電極の形成における基本的な物理的機構は，p-GaN/金属界面の合金化によって縮退ドープ状態を作り出すことで意図的にトンネル効果を発現させることにある．原子状水素によって p-GaN 表面近傍のアクセプタ濃度が実効的に低下した場合，空乏層が厚くなることでトンネル効果が発現しにくくなるため，図 3.33 のような高抵抗のショットキー特性が得られたものと推察される．

そこで，Nakamura ら [48]が報告している Mg の活性化熱処理条件（700 °C in N₂）をイオン注入後の活性化熱処理の後に連続的に追加した熱処理工程を考案し，図 3.31 のプレーナ型 GaN-LED 作製工程に適用した．図 3.34 に Mg 活性化熱処理工程を取り入れた際のギャップ長 6 μm の C-TLM の電流-電圧特性を示す．0V 付近ではグラフの傾きは大きくないが，電圧が高くなると正負両方向とも電流値が直線的に増加している．これより，作製した p 電極のコンタクト抵抗は完全なオーミック接触となっていないが，明らかに改善されていることが分かった．表 3.7 に，700 °C in N₂ の Mg 活性化熱処理を適用した GaN-LED の各電極について C-TLM パターンから算出されたシート抵抗，伝搬長およびコンタクト抵抗を示す．先に述べた通り，Ti/Al/Ti/Au 構造の n 電極として報告されているコンタクト抵抗の値は $10^{-4} \sim 10^{-5} \Omega \cdot \text{cm}^2$ 程度である．したがって，p GaN をキャリア反転した n*-GaN 領域に作製した n*電極のコンタクト抵抗 $6.81 \times 10^{-5} \Omega \cdot \text{cm}^2$ と，n 電極のコンタクト抵抗 $8.40 \times 10^{-5} \Omega \cdot \text{cm}^2$ は妥当な値であると判断できる．その一方で，p 電極（Ni/Ag/Ni）では典型的に $10^{-3} \sim 10^{-4} \Omega \cdot \text{cm}^2$ 程度であることから 2~3 桁程度高い値となっているのが分かる．これに関しては，熱処理温度および熱処理時間の不足などが原因で Mg 活性化が不十分であった可能性が示唆される．そこで次に，p 電極のコンタクト抵抗を指標としてプレーナ型 GaN-LED の工程改善を行った．

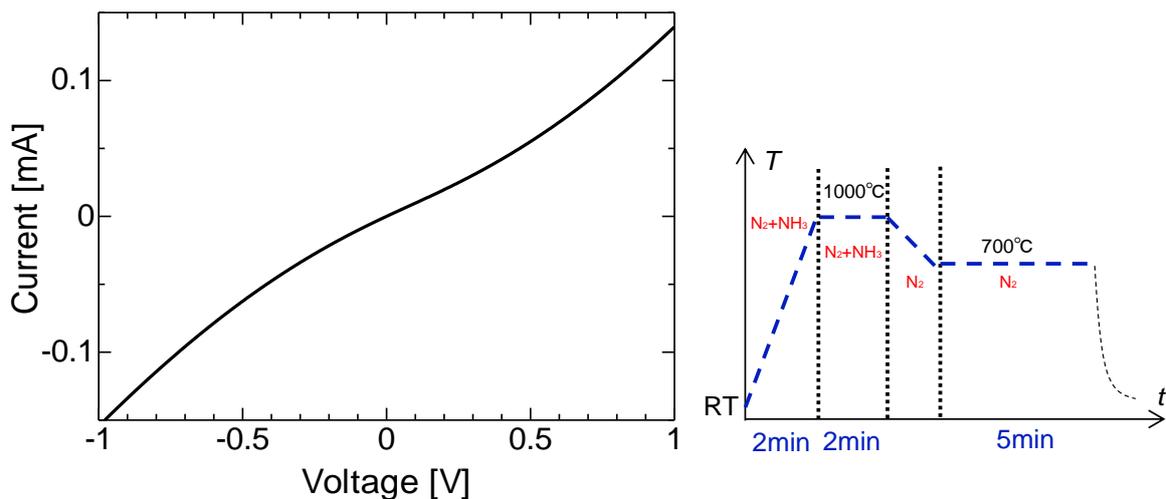


図 3.34 イオン注入後の結晶回復熱処理に Mg 活性化熱処理（700 °C in N₂）を取り入れた際の n*電極の C-TLM 測定結果（ギャップ長は 6 μm）．挿入図はイオン注入後の結晶回復熱処理の詳細．

表 3.7 Mg 活性化熱処理 (700 °C in N₂) を適用した際の各種コンタクト抵抗算出結果

	p-contact	n-contact	n*-contact
Sheet resistance Rsh [Ω]	1.56×10^5	7.08×10^2	24.75×10^2
Transfer length Lt [cm^2]	1.22×10^{-2}	3.44×10^{-4}	1.66×10^{-4}
Contact resistance ρ_c [$\Omega \cdot \text{cm}^2$]	0.23	8.44×10^{-5}	6.81×10^{-5}

表 3.8 プレーナ型 GaN-LED の p 電極コンタクト抵抗を改善するために変更した条件

	(A)	(B)	(C)
Crystal recovery annealing	1000 degC in NH ₃	1000 degC in N ₂	1000 degC in NH ₃
Mg activation annealing	850 degC in N ₂	850 degC in N ₂	850 degC in N ₂
Surface protection	—	—	200 nm-thick SiO ₂
p-contact (ρ_c) [$\Omega \cdot \text{cm}^2$]	unanalyzable	2.93×10^{-3}	1.04×10^{-3}

3.5.3 プレーナ型 GaN 系発光ダイオード作製工程の改善

p 電極のコンタクト抵抗を改善するための着眼点として、(A)Mg 活性化熱処理温度の昇温、(B)熱処理における NH₃ 雰囲気の必要性の検討、(C)水素に対するバリア膜による表面保護の検討が考えられる。(A)については具体的に、Mg 活性化熱処理温度を 700 °C から 850 °C に変更した際の効果を検証した。(B)に関しては、N₂ 雰囲気での結晶性回復熱処理を行った際の効果を検証した。また、(C)については、水素分離膜としての機能 [50]が期待される amorphous-SiO₂ を採用した。(A)~(C)の実験において、表に記載した条件以外は標準的な作製条件に統一した。実験としては、イオン注入後に LPCVD により SiO₂ を基板表面に堆積し、その後 NH₃ 雰囲気にて結晶性回復熱処理を行った際の効果を検証した。LPCVD により堆積した SiO₂ の膜厚は 200 nm とし、図 3.31 に示した作製手順を基本とした。

(A)~(C)の各作製条件と p 電極のコンタクト抵抗の測定結果を表 3.8 に示す。Mg 活性化熱処理温度を 850 °C とした(C)の作製条件では、C-TLM による p 電極のコンタクト抵抗がショットキー特性となったために解析することが出来なかった。この点は再現性も含めて再検討する必要があると考えられる。一方で、表 3.8 の中で注目すべきは(B)と(C)の作製条件で p 電極のコンタクト抵抗が非常に低減されている点である。(B)はイオン注入後の結晶性回復熱処理雰囲気を N₂ のみとした条件であるから、これは水素による Mg の不活性化を裏付ける結果と言える。また、(C)においては、SiO₂ が水素に対するバリア膜として機能していることを示しており、最も低コンタクト抵抗の p 電極が達成されていることからその有効性が確認された。条件(A)~(C)で作製したプレーナ型 GaN-LED の電流-電圧特性を図 5.34 に示す。結果から、直列抵抗では条件(A)が 23 Ω と最も低く、p 電極のコンタクト抵抗が低かった条件(B)では 67 Ω 、条件(C)では 497 Ω と直列抵抗は高くなった。

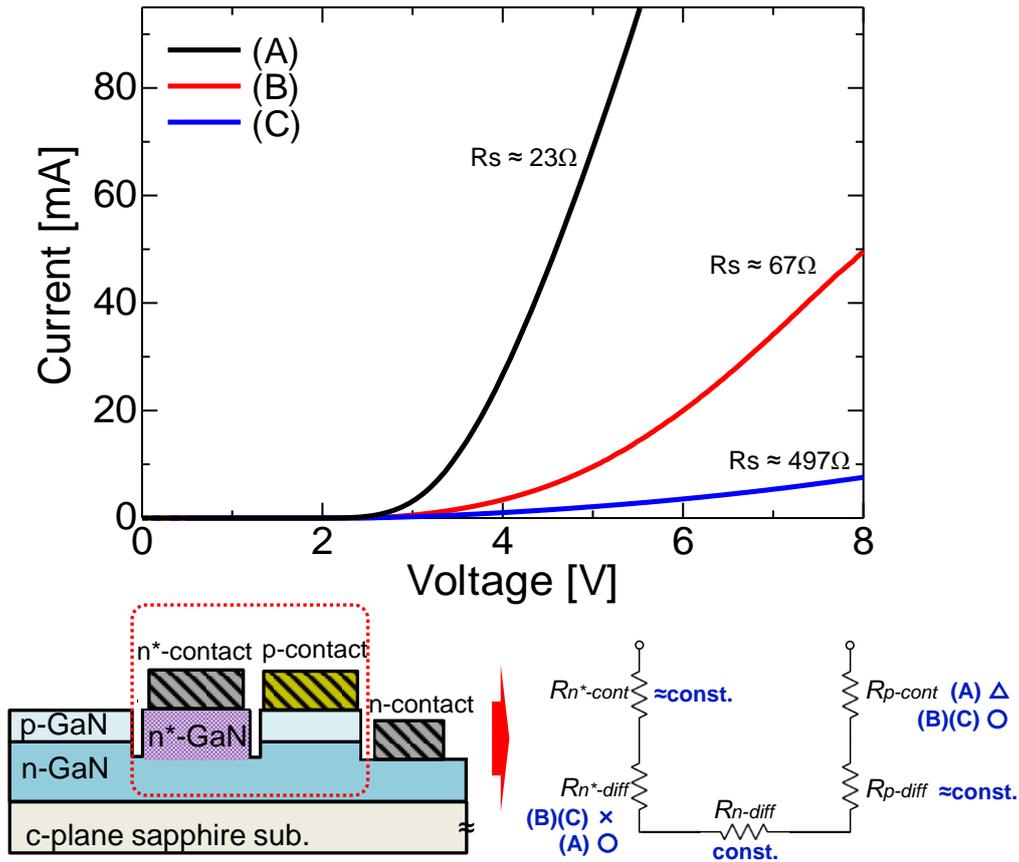


図3.34 表3.8の各条件で作製したプレーナ型 GaN-LED の電流電圧特性と等価回路。
○は低抵抗、×は高抵抗、△は解析不能を意味している。

これに関して、図 3.34 下部に示す等価回路を考え、各抵抗の増減傾向の整理を行った。NH₃ 雰囲気による結晶性回復熱処理は p 電極のコンタクト抵抗に対して好ましくないものの、キャリア反転した n*-GaN の結晶性回復に対しては N₂ 熱処理よりも有効であると言える。一方で、SiO₂ を基板表面全体に堆積した場合、p 電極のコンタクト抵抗に対しては水素のバリア性から有効であるものの、原子状窒素に対するバリア性により n*-GaN の拡散抵抗成分が改善出来ていない可能性がある。これらのことから、p-GaN 表面のみを SiO₂ で保護し、イオン注入された n*-GaN 層表面は露出した状態で NH₃ 雰囲気結晶性回復熱処理を行う工程を考案した。考案した作製工程の変更部分のみの概略を図 3.35 に示す。LPCVD により堆積した SiO₂ をイオン注入領域のみ開口し、NH₃ 雰囲気結晶回復熱処理を行い、SiO₂ を全面除去した後に各電極形成工程を行った。図 3.36 に作製したプレーナ型 GaN-LED の電流電圧特性を示す。比較として、図 3.34 の条件(A)の電流-電圧特性も併記した。p 電極のコンタクト抵抗は $1.90 \times 10^{-3} \Omega \cdot \text{cm}^2$ と算出されたことから SiO₂ による p-GaN 表面保護の効果が再確認された一方で、図 3.36 で直列抵抗に着目すると SiO₂ 保護膜の有無に関わらず約 23 Ω となった。この結果に基づくと、表 3.7 で解析不能であった条件(A)のコンタクト抵抗は $10^{-3} \Omega \cdot \text{cm}^2$ 台であると考えられる。図 3.36 において、SiO₂ 保護膜を設けたプレーナ型 GaN-LED では立ち

上がり電圧が条件(A)の特性に比べて約 0.6~0.7V 程度低下し、2.5 V 付近から立ち上がっているのが分かる。対数スケールで表示された図 3.37 右図で見ると、0~1.5V 付近でリーク電流が発生していることから、何らかのリークパスの発生に起因して立ち上がり電圧が低下しているものと考えられる。この点に関しては、再現性も含め更に検討を進める必要がある。以上の結果から、作製条件の最適化を行うことでプレーナ型 GaN-LED の直列抵抗を低減することが出来た。図 3.38 に図 3.35 に示した工程手順により作製したプレーナ型 GaN-LED の発光写真を示す。結果より、非常に明瞭な青色発光が観測出来ている。以上のことから、Si イオン注入による p-GaN の伝導型反転を利用したプレーナ型 GaN-LED の作製方法が実証された。

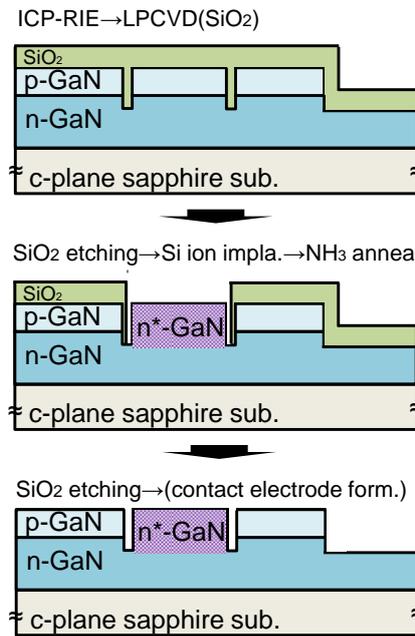


図 3.35 SiO₂ 保護膜を用いて考案したプレーナ型 GaN-LED の作製工程

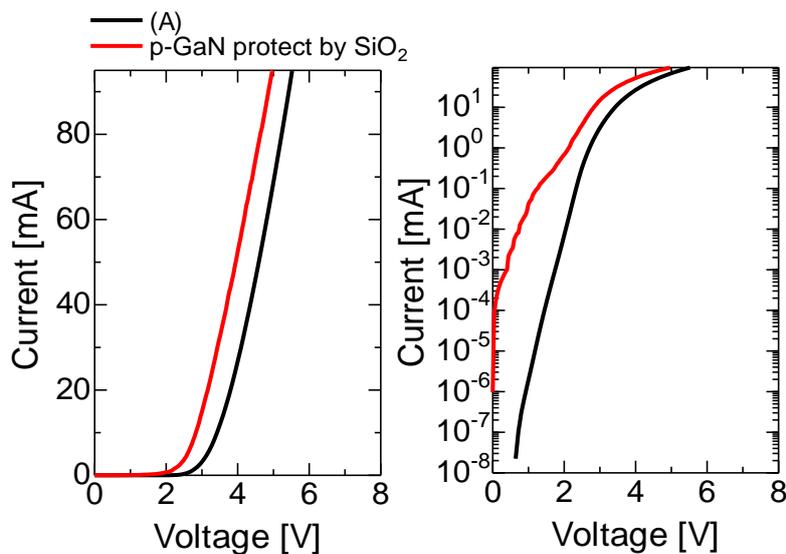


図 3.36 図 3.35 に示した工程手順で作製したプレーナ型 GaN-LED の電流－電圧特性

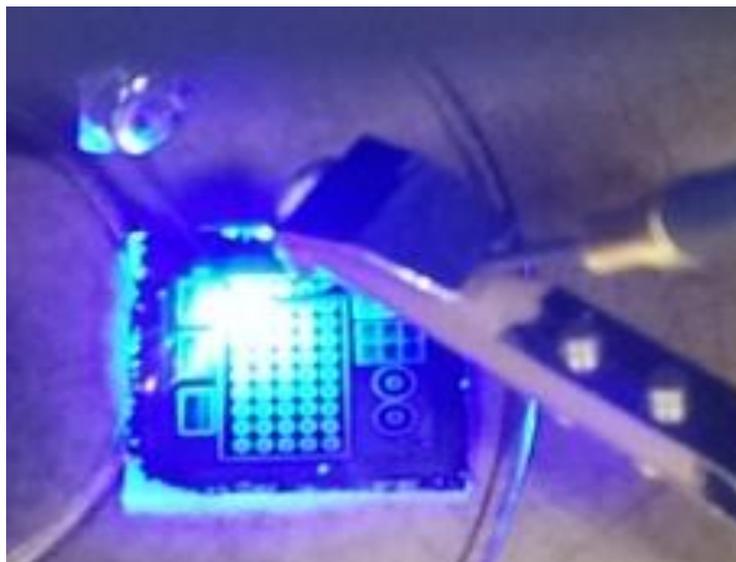


図 3.37 図 3.35 に示した工程手順で作製したプレーナ型 GaN-LED に 5 V を印加した際の発光写真

3.6 結言

本章では、GaN- μ LED の集積化技術に着目し、基礎的な課題として集積化工程との整合性、 μ LED のサイズ依存性、絶縁膜堆積手法の違いによる GaN 表面への影響を検討した。また、将来的に集積度が向上した際に GaN- μ LED の信頼性の観点で懸念される、メサ構造金の段差問題に関する対策として、プレーナ型 GaN-LED を提案し、その基本的な作製方法の実証を行った。

(1) 電極引き出しパッドの形成に必要な PECVD による絶縁膜堆積工程後において GaN-LED の直列抵抗が 225% まで増大化する問題に着目し、従来使用していた Ag 単一構造と本研究で採用した Ni/Ag/Ni 構造を用いた p 電極の比較を行った。その結果、Ni/Ag/Ni 構造の採用によって直列抵抗の増大化を 7% まで抑制した。

(2) 直径 5 μ m までの GaN- μ LED を作製し、各種サイズの GaN- μ LED の外部量子効率を評価した結果、微細化に伴ってピーク外部量子効率が低下する傾向が観測された。光取り出し効率および内部量子効率の観点から考察を行った結果、素子分離工程にて行う ICP-RIE によりメサ構造側壁に約 300 nm の幅で導入されると予想されるプラズマダメージが外部量子効率の低下の起源となるモデルを提案した。

(3) 絶縁膜堆積手法として PECVD および LPCVD を用いた SiO₂ 堆積を p-GaN に対して行い、堆積後の表面において C-TLM 法を用いたコンタクト抵抗を指標にその影響を評価した。その結果、LPCVD を用いた場合の方が PECVD よりも p 電極のコンタクト抵抗で 1/2 程度まで低減でき、加えて SiO₂ 膜の表面平坦性は RMS=0.36 nm と優れた値を示すことが分かった。このことから、GaN 表面への絶縁膜堆積手法としての LPCVD の有効性が示された。

(4) プレーナ型 GaN-LED の実現のために、Si イオン注入とチャネリング現象を利用

用した GaN の導電性制御を検証した. SIMS 分析によるチャネリング時の Si 濃度の深さ方向プロファイルの推定と NH₃ 雰囲気によるイオン注入損傷回復熱処理条件の検討を行い, p-GaN を n-GaN へ反転させるための条件探索を行った. その結果, 深さ方向に Si 濃度を均一とするボックスプロファイルの形成と 1000 °C 以上の NH₃ 雰囲気熱処理による p-GaN 層の反転化を実証し, 考案した工程手順によってプレーナ型 GaN-LED が作製出来ることを実証した.

結果として, 工程温度の設計指針, デバイス作製条件や微細化の影響および課題, イオン注入技術を用いたプレーナ型 LED 構造の作製手法の原型など, GaN- μ LED の集積化に関する様々な知見を得ることが出来た. 以上の知見, あるいはそれを更に深化させた先に得られるであろう μ LED のデバイス物理により, 将来的には Si-LSI とのデバイスサイズのギャップを埋めることが可能になると考えられる. その先には万~億クラスの大規模光源集積技術, そしてそれを応用することによりこれまでに類を見ないほどの高密度光電子集積回路の実現が見込まれるものと想像される.

引用文献

- [1] Z. Fan, S. N. Mohammad, W. Kim, O. Aktas, A. E. Botchkarev, and H. Morkog, *Appl. Phys. Lett.* **68**, 1672 (1996).
- [2] J. S. Kwak, S. E. Mohny, J. -Y. Lin, and R. S. Kern, *Semicond. Sci. Technol.* **15**, 756 (2000).
- [3] J. -O. Song, J. S. Kwak, Y. Park, T. -Y. Seong, *Appl. Phys. Lett.* **86**, 062104 (2005).
- [4] I. -C. Chen, B. -Y. Cheng, W. -C. Ke, C. -H. Kuo, and L. C. Chang, *Superlattices and Microstructures* **57**, 51 (2013).
- [5] R. Dannenberg, E. Stach, J. R. Groza, and B. J. Dresser, *Thin Solid Films* **379**, 133 (2000).
- [6] Y. T. Hwang, H. -G. Hong, T. -Y. Seong, D. -S. Leem, T. Lee, K. -K. Kim, and J. -O. Song, *Mater. Sci. Smicond. Processing* **10**, 14 (2007).
- [7] G. E. McGuire, R. W. Wisseman, R. D. Rangle, and J. H. Tregilgas, *J. Vac. Sci. Technol.* **16**, 141 (1979).
- [8] T. B. Massalski, H. Okamoto, P. R. Subramanian, L. Kacprzak, "Binary Alloy Phase Diagrams, 2nd edition" ASM International (1990).
- [9] W. -S. Yum, J. -W. Jeon, J. -S. Sung, and T. -Y. Seong, *Opt. Express* **20**, 19194 (2012).
- [10] L. -B. Chang, C. -C. Shiue, and M. -J. Jeng, *Appl. Surf. Sci.* **255**, 6155 (2009).
- [11] J. H. Son, Y. H. Song, H. K. Yu, and J. -L. Lee, *Appl. Phys. Lett.* **95**, 062108 (2009).
- [12] J. H. Son, G. H. Jung, and J. -L. Lee, *Appl. Phys. Lett.* **93**, 012102 (2008).

- [13] J. K. Kim, J. -L. Lee, J. W. Lee, H. E. Shin, Y. J. Park, and T. Kim, *Appl. Phys. Lett.* **73**, 2953 (1998).
- [14] J. -S. Jang, K. -H. Park, H. -K. Jang, H. -G. Kim, and S. -J. Park, *J. Vac. Sci. Technol. B* **16**, 3105 (1998).
- [15] 岡本晃一, *光学* **40**, 83 (2011).
- [16] T. Fujii, Y. Gao, R. Sharma, E. L. Hu, S. P. Denbaars, and S. Nakamura, *Appl. Phys. Lett.* **84**, 855 (2004).
- [17] R. A. Mair, K. C. Zeng, J. Y. Lin, H. X. Jaing, B. Zhang, L. Dai, A. Botchkarev, W. Kim, H. Morkoc, and M. A. Khan, *Appl. Phys. Lett.* **72**, 1530 (1998).
- [18] H.W. Choi, C. W. Jeon, M. D. Dawson, P. R. Edwards, R. W. Martin, and S. Tripathy, *J. Appl. Phys.* **93**, 5978 (2003).
- [19] C. F. Lin, Z. J. Yang, J. H. Zheng, J. J. Dai, *IEEE Photonics Technol. Lett.* **17**, 2038 (2005).
- [20] J. Piprek, *Phys. Status Solidi A* **207**, 2217 (2010).
- [21] K. T. Delaney, P. Rinke, and C. G. Van de Walle, *Appl. Phys. Lett.* **94**, 191109 (2009).
- [22] C. Lee, H. Sekiguchi, H. Okada, and A. Wakahara, *Jpn. J. Appl. Phys.* **51**, 076503 (2012).
- [23] T. Takimoto, K. Takeshita, S. Nakamura, and T. Okumura, *Thin Solid Films* **557**, 212 (2014).
- [24] M. Zhang, P. Bhattacharya, J. Singh, and J. Hinckley, *Appl. Phys. Lett.* **95**, 201108 (2009).
- [25] Y. C. Shen, G. O. Mueller, S. Watanabe, N. F. Gardner, A. Munkholm, and M. R. Krames, *Appl. Phys. Lett.* **91**, 141101 (2007).
- [26] M. Meneghini, N. Trivellin, G. Meneghesso, E. Zanoni, U. Zehnder, and B. Hahn, *Appl. Phys. Lett.* **106**, 114508 (2009).
- [27] A. Laubsch, M. Sabathil, J. Baur, and B. Hahn, *IEEE Trans. Electron Dev.* **57**, 79 (2010).
- [28] W. Yang, S. zhang, J. J. D. McKendry, S. Herrnsdorf, P. Tian, Z. Gong, Q. Ji, I. M. Watson, E. Gu, M. D. Daawson, L. Feing, C. Wang, and X. Hu, *J. Appl. Phys.* **116**, 044512 (2014).
- [29] H. Aida, H. Takeda, N. Aota, S. -W. Kim, and K. Koyama, *Sens. Mater.* **25**, 189 (2013).
- [30] S. F. Chichibu, A. Uedono, T. Onuma, T. Sota, B. A. Haskell, S. P. DenBaas, J. S. Speck and S. Nakamura, *Appl. Phys. Lett.* **86**, 021914 (2005).
- [31] J. K. Son, S. N. Lee, T. Sakong, H. S. Paek, O. Nam, Y. Park, J. S. Hwang, J. Y. Kim, Y. H. Cho, *J. Cryst. Growth* **287**, 558 (2006).
- [32] H. Murotani, H. Andoh, T. Tsukamoto, T. Sugiura, Y. Yamada, T. Tabata, Y. Honda, M. Ymaguchi and H. Amano, *Phys. Stat. Sol. C* **11**, 652 (2004).
- [33] T. Jeong, H. H. Lee, K. H. Kim S. R. Jeon, S. J. Lee, S. H. Lee and J. H. Baek, *J. Korean Phys. Soc.* **55**, 1140 (2009).

- [34] D. Kikuta, T. Narita, N. Takadashi, K. Kataoka, K. Kimoto, B. Uesugi, T. Kachi and M. Sugimoto, *IEICE Tech. Rep.* **110**, 59 (2010).
- [35] H. Y. Ryu and J. I. Shim, *Opt. Express* **19**, 2886 (2011).
- [36] Z. Gong, S. Jin, Y. Chen, J. McKendry, D. Massoubre, I. M. Watson, E. Gu, and M. D. Dawson, *J. Appl. Phys.* **107**, 013103 (2010).
- [37] F. Ren, M. Hong, J. P. Mannaerts, J. R. Lothian, and A. Y. Cho, *J. Electrochem. Soc.* **144**, L239 (1997).
- [38] S. Ohira, and N. Arai, *Phys. Stat. Sol. (c)* **5**, 3116 (2008).
- [39] 米村卓巳, 飯原順次, 橋本信, 斉藤吉広, 中村孝夫, *Spring-8 利用研究成果集* **2**, 54 (2012).
- [40] 石野栞, 蔵元英一, 曾根田直樹, *J. Plasma, Fusion Res.* **84**, 258 (2008).
- [41] 水野博之 監修, "ナノテクノロジーへの道を拓くイオン工学ハンドブック", イオン工学研究所/日刊工業新聞社 (2004).
- [42] 青木康, *表面科学* **18**, 262 (1997).
- [43] J. F. Ziegler, J. P. Biersack, U. Littmark, "The Stopping and Range of Ions in Solid", Pergamon Press (1985).
- [44] 中西康夫, 豊橋技術科学大学 博士学位論文 (2004).
- [45] L. K. Sheu, M. L. Lee, C. J. Tun, C. J. Kao, L. S. Yeh, S. J. Chang, and G. C. Chi, *IEEE. J. Selected Topics in Quntum Electro.* **8**, 767 (2002).
- [46] T. T. Mnatsakanov, M. E. Levinshtein, L. I. Pomortseva, S. N. Yurkov, G. S. Simin, and M. A. Khan, *Solid-State Electro.* **47**, 111 (2003).
- [47] X. A. Cao, C. R. Abernathy, R. K. Singh, S. J. Pearton, M. Fu, V. Sarvepalli, J. A. Sekhar, J. C. Zolper, D. J. Rieger, J. Han, T. J. Drummond, R. J. Shul, *Appl. Phys. Lett.* **73**, 229 (1998).
- [48] S. Nakamura, T. Mukai, M. Senoh, and N. Iwasa, *Jpn. J. Appl. Phys.* **31**, 139 (1992).
- [49] M. Scherer, V. Schwegler, M. Seyboth, and M. Drechsler, *J. Appl. Phys.* **89**, 8339 (2001).
- [50] 野村幹弘, *表面技術* **59**, 28 (2008).

第 4 章 表面活性化ウェハ接合を用いた Si/SiO₂/GaN-LED 基板の作製

4.1 序言

第 1 章で述べたように、Si および III-V 化合物半導体間の高温度下における相互汚染の抑制や高度に熟成した Si プレーナ技術との整合が、モノリシック光電子集積回路の実現に向けた層構造設計における重要な指針である。その指針に準じた LED と MOSFET の一体集積の初実証例である Si/III-V-N/Si 構造では、Si 層下に III-V-N 化合物半導体層が埋め込まれた層構造および熱履歴の最適化により、Si 層と III-V-N 層の工程中的相互汚染の抑制が可能であることを示している [1]。その一方で、モノリシック光電子集積回路のプロトタイプを実証した無転位 Si/III-V-N/Si 構造では、LED 素子部以外からの発光や数百 μs オーダーの信号遅延の発生が問題となった [2]。これらはトップ Si 層と III-V-N LED 層間の電氣的接続に起因した問題であるとされており、これらの問題の解決も含めモノリシック光電子集積回路の設計性を向上させるためには層間絶縁膜の形成等による回路設計上の制約の緩和が必要であることを示唆する結果となっている。しかしながら、格子整合系で絶縁性を示す材料を連続的に結晶成長することは困難であることから、結晶成長以外のアプローチによる層間絶縁膜の形成が望まれる。

本章では、層間絶縁膜形成に有望なウェハ接合法を用いた Si/SiO₂/GaN-LED 構造の実現を目指し、表面活性化ウェハ接合における基礎的な条件の確立、表面活性化ウェハ接合における GaN 表面への影響の検証、形成した Si 層の結晶性に関する検討を行った。また、集積回路工程への投入を前提とした Si/SiO₂/GaN-LED 構造の熱耐性の評価を行った。

4.2 表面活性化ウェハ接合における基礎的な条件の検討

本研究で利用する表面活性化ウェハ接合では、Si 基板以外の異種材料基板に対して Si ナノ密着層を堆積することにより、Si の清浄表面同士を合わせた際に形成される共有性結合を用いることでウェハ接合が達成される。そこでまず、基礎的なウェハ接合条件を調査するために、1cm 角の n-GaN テンプレート基板 (n-GaN/Sapphire 構造) と 2 インチ Si 基板を用意し、接合面積比における接合荷重依存性を調査した。実験に先立って、AFM を用いて 10 μm 角領域の各基板の表面モフォロジを評価した。その結果、Si 基板は自乗平均面粗さ (RMS) : 0.1 nm, 最大高低差 (P-V) : 1.5 nm で、n-GaN テンプレート基板は RMS : 0.38 nm, P-V : 4.0 nm であった。

n-GaN テンプレート基板と Si 基板の表面活性化ウェハ接合実験で用いた実験条件

表 4.1 n-GaN テンプレート基板および Si 基板の表面活性化ウエハ接合条件

Substrate	2-in. Si (100)	upper side
	1 cm ² n-GaN/Sapphire substrate	lower side
Ar-FAB* condition	Ar flowrate = 64 sccm	
	RF = 0.8 kV, 75.2 mA	
	Si nano-adhesion layer thickness = 5~7nm(target)	adjust by sputtering time
(1) Pre cleaning	36 times (18 round-trip)	lower side
	36 times (18 round-trip)	upper side
(2) Nano-adhesive	36 times (depo. rate ≒ 0.2 nm/time)	lower side only
(3) Surface activation	10 times (5 round-trip) : both side	alternately
Bonding condition	Temperature = RT	
	Vacuum = < 3 × 10 ⁻⁶ Pa	
	Bonding Pressure = variable	
	Bonding time = 3 min	

*Fast Atomic Beam

を表 4.1 に示す. n-GaN テンプレート基板は有機洗浄による脱脂を行い, Si 基板は超純水 (de-ionized water : DIW) により 1/20 に希釈した HF (dilute HF : DHF) で自然酸化膜除去を行った後, 両基板を表面活性化ウエハ接合装置の高真空接合チャンバー内に搬送した. 表面活性化工程は, 接合チャンバーが 5×10^{-6} Pa 以下に到達した段階で開始した. 表面活性化工程条件の 36 回¹は, Si 基板同士の表面活性化ウエハ接合の条件を参考に定めた. 上下にセットした各基板を表 4.1 に記載した条件で表面活性化を行った後, 荷重を 125, 1000, 2000 N/cm² と変化させてウエハ接合を行った. 空隙は画像情報を検査し, 接合試料面積全体に対する接合達成領域の面積比を算出した.

図 4.1 に接合面積比の接合荷重依存性を示す. 結果に示されたように, 接合荷重 125, 1000 N/cm² では 50% 程度の接合面積しか得られなかった一方, 接合荷重を 2000 N/cm² に設定した場合には接合面積 100 % が達成されることが分かった. Si 基板同士のウエハ接合の場合, 比較的小さな接合荷重 (< 100 N/cm²) においても良好な接合結果 [3] [4] が報告されている. そこで, 低荷重領域で接合面積が小さいことに関して, パーティクルによる空隙の発生は接合荷重に関係なく一定の確率で発生するため, 2000 N/cm² で顕著に接合面積が増加した要因を考察した. まず, 各基板の反りの観点から考察を行った.

¹装置構成上の意味は 2 章に記載

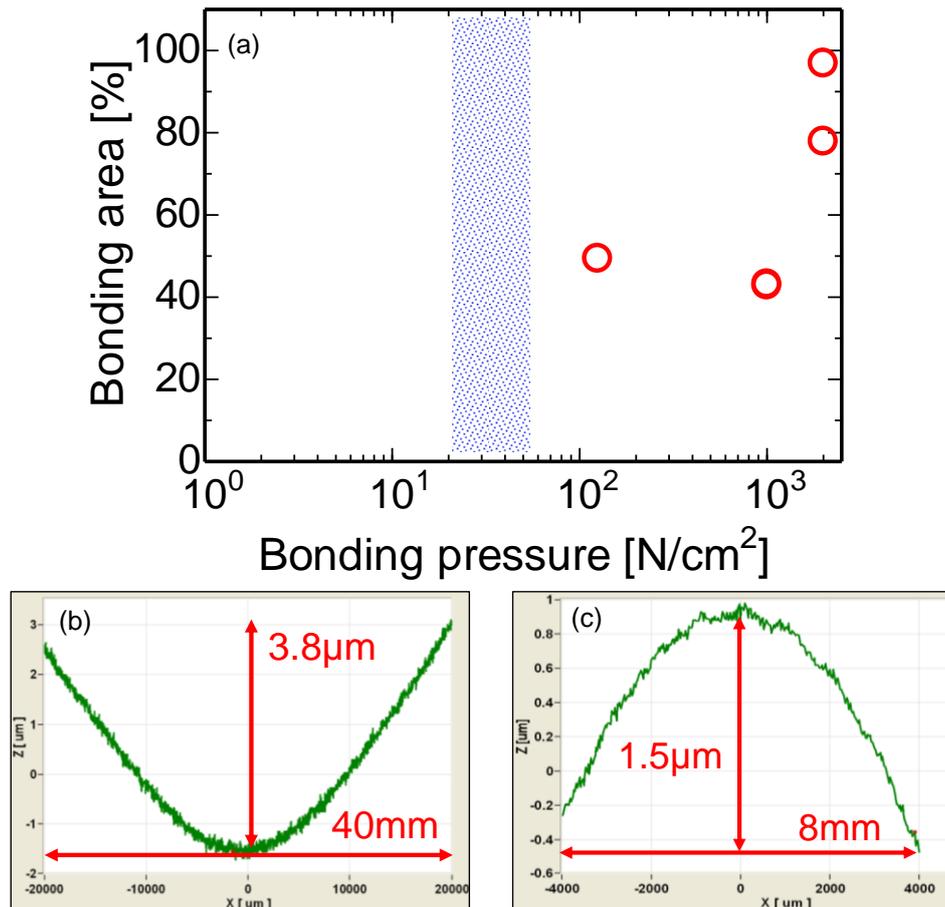


図 4.1 (a) n-GaN テンプレート基板と Si 基板の接合面積比の接合荷重依存性. 青色の網掛け領域は各基板の反りと接触面積から算出した反りを矯正するために必要となる荷重範囲. (b) 2 インチ Si 基板および(c) 1 cm 角 n-GaN テンプレート基板の触針式表面形状測定装置による反り量測定結果.

荷重印加時に基板表面同士が連続的に接触するためには、理想的には基板の反りを矯正する必要がある。基板の反りを矯正するのに必要な応力を計算するために、各基板の反り量を触針式表面形状測定装置によって測定した。図 4.1(b)および(c)に Si 基板および n-GaN テンプレート基板の反り量測定の結果を示す。測定した反りおよび走査範囲を用いて算出される各基板の曲率半径はそれぞれ、2 インチ Si 基板が約 52.6 m, n-GaN テンプレート基板が約 5.3 m であった。ヤング率に関しては、単結晶 Si が典型的に 150~200 GPa [5] [6]で、単結晶 sapphire が約 470 GPa [7]であることから、本系で矯正のために必要な応力は sapphire 基板の反り量の矯正に必要な応力で近似的に求められることが分かる。そこで、分散荷重状態での平板 4 辺支持の公式 [8]によって接合荷重印加状態下での反りの矯正がモデル化されると仮定し、(4.1)式によって反りの矯正に必要な応力 P_0 を算出した。

$$P_0 = \frac{\alpha EDt^3}{l^2} [N] \quad (4.1)$$

この時、 α は荷重作用面積によって変化する定数であり、全面積接触時に 0.046、20% 接触時に 0.123 となる [8]。 E は sapphire 基板のヤング率、 D は反り量、 t は基板厚さ、 l はチップの一辺の長さである。 (4.1)式において $E=4.7 \times 10^5 \text{ N/mm}^2$ 、 $D \doteq 2.3 \text{ }\mu\text{m}$ 、 $t=0.62 \text{ mm}$ 、 $l=10 \text{ mm}$ とし sapphire 基板を矯正するのに必要な応力を計算すると、 おおよそ $20 \sim 56 \text{ N/cm}^2$ となることが分かった。 図 4.1(a)中に青色の網掛け部分はこの値に対応する荷重範囲を示している。 この計算から、各基板の反りは実験で設定した接合荷重の範囲内で十分に矯正されているものと考えられる。 このことから、図 4.1(a)に示した接合面積比の接合荷重依存性は基板の反りに起因したものとは無いと判断出来る。

次に、接合前の基板表面の平坦性の観点から接合面積比の接合荷重依存性を検討した。 n-GaN テンプレート基板とは異なる表面平坦性の基板として、市販の GaN-LED 基板 ($\lambda=460 \text{ nm}$) を用意した。 この GaN-LED 基板の表面平坦性を AFM により評価した結果、RMS は 1.2 nm 、最大高低差 P-V は 15.7 nm であった。 1 cm 角の GaN-LED 基板と Si 基板を表 4.1 の条件を基に表面活性化ウェハ接合した際の接合面積比の接合荷重依存性を調べた。 この時、表 4.1 の条件ではウェハ接合が達成出来なかったことから、Si 密着層(Nano-adhesive)形成条件を 36 回から 72 回に変更した。

図 4.2 に異種材料基板側を変更した際の接合面積比の接合荷重依存性を示す。 n-GaN テンプレート基板を用いたウェハ接合結果と比較して、GaN-LED 基板を用いた場合では、100 %に近い接合面積を得るためにはより大きな荷重が必要であることが分かった。 特に、 2000 N/cm^2 の接合荷重でウェハ接合を行った場合、n-GaN テンプレート基板では 100 %の接合面積が達成されたのに対して、LED 基板を用いた場合では接合出来なかった点が大きく異なっている。 以上の結果から、接合荷重に対して接合面積が変化するのは表面平坦性が大きく影響しており、接合界面付近の Si、GaN および Si 密着層の弾性変形あるいは塑性変形が連続的な接合界面付近に大きく寄与していることが示唆された。 ウェハ接合前の基板表面に凹凸が存在する場合、均一で連続的な接合界面を達成するためには弾性変形が生じ、その変形を維持するためには界面エネルギーが表面の凹凸を変形させるために必要な弾性エネルギーよりも大きい必要がある。 そこで、Tong ら [9]はウェハ接合界面における空間ギャップを弾性変形によって埋め込むための条件を提案している。 基板自体がたわまなければならないような長い周期のギャップ h が存在する場合は、界面エネルギーを γ とすると

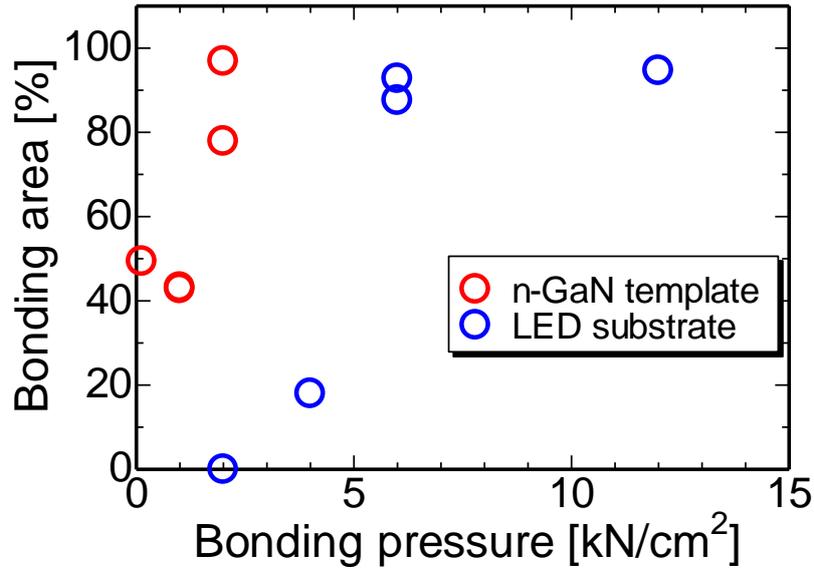


図4.2 表面平坦性の異なる GaN/Sapphire 構造と Si 基板の接合面積比の接合荷重依存性. n-GaN テンプレート基板は RMS = 0.38 nm, GaN-LED 基板は RMS = 1.2 nm.

$$h < \frac{R^2}{\sqrt{\frac{2 E' t^3}{3 \gamma}}} \quad R > 2t \quad (4.2)$$

の条件を満たしたときに均一かつ連続的なウェハ接合が達成される. このとき, R は表面の凹凸を周期構造とみなした際の半周期 [m], E' はヤング率 E をポアソン比により補正した ($1-\nu$ で除した) 値 [N/m^2], t は基板の厚み [m] を意味している. 一方で, 凹凸を周期構造とした際の半周期 R が基板の厚みよりも十分に小さい場合には,

$$h < 3.6(R\gamma / E')^{1/2} \quad R < 2t \quad (4.3)$$

がウェハ接合を達成するための条件となる. この条件を求めるためには, ウェハ接合後の界面エネルギーを定量的に推定する必要がある. そこで次に, 接合した基板の界面エネルギーの推定を行った.

n-GaN テンプレート基板と Si 基板を 125, 1000, 2000 N/cm^2 の接合荷重で表面活性化ウェハ接合した 3 つの試料 (Si/n-GaN/Sapphire 基板) に関して, "Razor-blade test (ブレードテスト)" [10]を用いた界面エネルギー γ の評価を行った. 図 4.3(a)にブレードテストの外観を示す. この評価は, 薄いブレードを接合された基板界面に挿入した際に形成される空隙の距離を観測することによって貼り合せ強度に相当する界面エネルギーを算出することが出来る. ただし, バルク破壊レベルの貼り合せ強度が達成されている場合には, 本評価方法では空隙が形成されない以上の結果が得られないこと

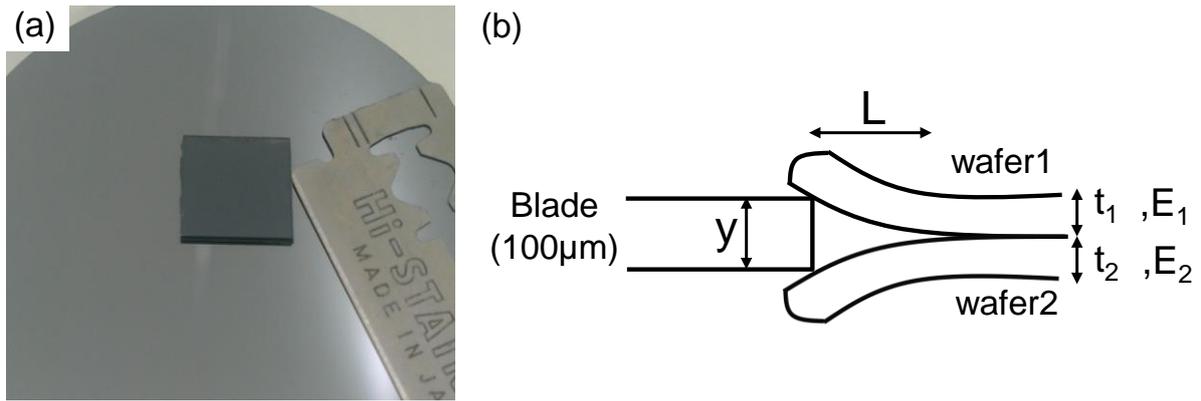


図4.3 (a) 表面活性化ウェハ接合により形成した Sapphire/n-GaN/Si 基板のブレードテスト実施状況の写真, (b)ブレードテストの解析における概略

から, バルク破壊レベルが測定限界の上限となる. Si ナノ密着層を利用した表面活性化ウェハ接合の接合原理が Si の共有性結合にあることから [11], 本実験で達成される界面エネルギーは単結晶 Si のバルク破壊レベルとなり, その値は 2.5 J/m^2 である. これはダイヤモンド構造における原子の表面充填率と Si=Si の共有結合エネルギーから算出される. 図 4.3(b) にブレード挿入時の断面模式図と界面エネルギー γ の関係は

$$\gamma = \frac{3E_1 t_1^3 E_2 t_2^3 y^2}{16L(E_1 t_1^3 + E_2 t_2^3)} \quad (4.4)$$

と表される [10]. (4.2)式において, L は形成される空隙の長さ, t は基板厚さ, E はヤング率, y はブレード厚さを意味している. 結果として, どの Sapphire/n-GaN/Si 基板においても, 接合荷重に関係なく接合界面にブレードを挿入しても空隙が形成されることはなかった. Fe 密着層を使用した表面活性化ウェハ接合 [3] や Si 密着層を用いた絶縁膜同士の表面活性化ウェハ接合 [11], CF₄ ガスを FAB に用いた Si 基板同士の表面活性化ウェハ接合 [12] でも, ブレードテストにより $>2.0 \text{ J/m}^2$ の界面エネルギーが達成されることが報告されている. したがって, 本実験にて行った Si と GaN の表面活性化ウェハ接合においても, 2.0 J/m^2 程度の高い貼り合せ強度が達成されていると考えられる.

界面エネルギーの推定を行うことが出来たので, あらためてウェハ接合界面における空間ギャップを弾性変形によって埋め込むための条件について検討を行った. Si および GaN の補正したヤング率 E' は, Si の場合で約 256 GPa, GaN の場合では 300 GPa 程度であるので [13], 簡略化のために Si のみが弾性的に変形する状況を考え, かつ基板厚さ t よりも凹凸の半周期 R が小さい(4.3)式の条件を想定する. 界面エネルギー γ を 2.0 J/m^2 , AFM 像から決定した凹凸の半周期 R を $1 \mu\text{m}$ として(4.3)式を計算すると, h は約 10 nm となった. n-GaN テンプレートおよび GaN-LED 基板表面の最大高低差

P-V は AFM 測定の結果からそれぞれ 4.0 nm および 15.7 nm であるため、n-GaN テンプレートは空間ギャップを弾性変形によって埋め込むための条件 ($h < 10$ nm) を満たしている一方で、GaN-LED 基板は条件を満たしていないことが分かる。この結果は、図 4.2 に示した実際の実験結果を裏付けており、”表面活性化ウエハ接合においても (4.2) および (4.3) 式を満たす必要がある”ということが分かった。

4.3 ショットキーバリアダイオードを用いた表面活性化ウエハ接合後の GaN 表面のダメージ評価

次に、表面活性化ウエハ接合を用いた Si/SiO₂/GaN-LED 基板の作製に先立って、接合荷重の印加および Ar-FAB 照射による GaN 層への影響を調査するために、ショットキーバリアダイオード (SBD) を用いた評価を行った。Si/SiO₂/GaN-LED 基板を作製するための方法として、ウエハ接合後に不要な層を機械研磨や化学エッチング等で除去していくエッチバック法を本研究では採用した。SOI 基板と異種材料基板を表面活性化ウエハ接合した後、SOI 基板の Si 支持層および埋込み酸化膜 (BOX) 層を機械研磨及び化学エッチングによって除去する事によって薄膜 Si 層を転写する。先に述べた通り本研究で使用する表面活性化ウエハ接合では、各基板表面の Ar プラズマによるクリーニングや基板表面の平坦性に応じた接合荷重の印加が必要である。この時、接合荷重の印加によって GaN 表面あるいは内部方向に各種欠陥が導入された場合、コンタクト抵抗等の電気特性への悪影響が懸念される。Ar-FAB 照射による GaN 層への影響に関しては、Si/SiO₂/GaN-LED 基板の作製方法を前提として、GaN 側にはウエハ接合前にあらかじめ中間絶縁層となる SiO₂ を堆積した SiO₂/GaN/Sapphire 構造が基本となる。したがって、Ar-FAB 照射による GaN 表面への影響ではなく、実際には SiO₂ 層が保護膜として機能しているかが評価されることとなる。

表 4.2 に GaN-SBD 作製の際に使用した試料構造を示す。SOI 基板として、各層の厚さが Si デバイス層 : 2 μ m, BOX 層 : 5 μ m, Si 支持層 : 525 μ m の Soitech 社製基板を使用した。ウエハ接合に先立って、3 インチ基板から 1.5 mm 角にチップ化した後、LPCVD によって SiO₂ を約 120 nm 堆積した。各基板を初期洗浄した後、表面活性化ウエハ接合装置に導入し、表 4.1 の処理条件かつ 2700 N/cm² の接合荷重でウエハ接合を行った。2700 N/cm² という接合荷重条件は約 100% の接合面積比が得られた際の条件である。ウエハ接合を行った後、機械研磨および XeF₂ ガスエッチングによって Si 支持層除去を行った。表 4.3 に表面活性化ウエハ接合から Si 支持層除去までの作製条件を示す。図 4.4 に表面活性化ウエハ接合後に Si 支持層を除去した後の GaN-SBD の作製工程の模式図を示す。図 4.4(a) は基板の初期状態を示している。最初に、フォトリソグラフィ技術および BHF による (SOI)BOX 層エッチング、XeF₂ ガスによる Si 層エッチングを行い、GaN-SBD 形成領域の開口を行った (図 4.4(b))。GaN-SBD 部分

表 4.2 GaN-SBD 作製に使用した基板構造

Material	Thickness [nm]	Doping [cm ⁻³]
n ⁻ -GaN	300	1×10 ¹⁷
n-GaN	1000~1500	5×10 ¹⁷
Nucleation	-	-
Sapphire	500000	-

表 4.3 表面活性化ウエハ接合を用いた Si/SiO₂/n⁻-GaN 基板の作製条件

Substrate	SOI substrate (2 μm-thick p-Si(100))	upper side
	SiO ₂ /n ⁻ -GaN substrate	lower side
Bonding condition	Refer to Table 4.1	
※(2) Nano-adhesive	72 times (Intentional change)	lower side only
Si handle layer etching		
(1) Mechanical gliding	#800(Green Si carbide), 30 rpm	
(2) XeF ₂ etching	Etching time:40sec XeF ₂ pressure:2.0 torr N ₂ :0 torr	adjust by cycle number

以外の中間絶縁層を BHF によってエッチングし、ICP-RIE によって GaN 層を 700 nm エッチングしてメサ構造を作製した (図 4.4(c)). ICP-RIE 後、硫酸過酸化水素水によるレジスト除去を行い、108°C で沸騰塩酸処理を行った。次に、メサ構造下部の n-GaN 層に Ti/Al/Ti/Au 電極をリフトオフ法により形成し、窒素雰囲気下で 750°C 1 分間のシンタリングを行った。その後、BHF によって n⁻-GaN 上の SiO₂ 層にコンタクトホールを形成し、ショットキー電極として Au/Ti/Au 電極をリフトオフ法によって形成した。金属の蒸着方法は全て電子ビーム蒸着によって行った。比較のために、表面活性化ウエハ接合を経ない GaN-SBD を作製した。本実験では良好な表面平坦性を得るために LPCVD による SiO₂ 堆積を行ったが、窒化物半導体の分野では PECVD も広く利用されている。そこで、LPCVD によって SiO₂ を堆積したことによる影響を評価するために、PECVD によって SiO₂ を堆積して GaN-SBD を別途作製した。図 4.4(e)に GaN-SBD のレイアウトパターン図を、(f)に作製した GaN-SBD の光学顕微鏡写真を示す。

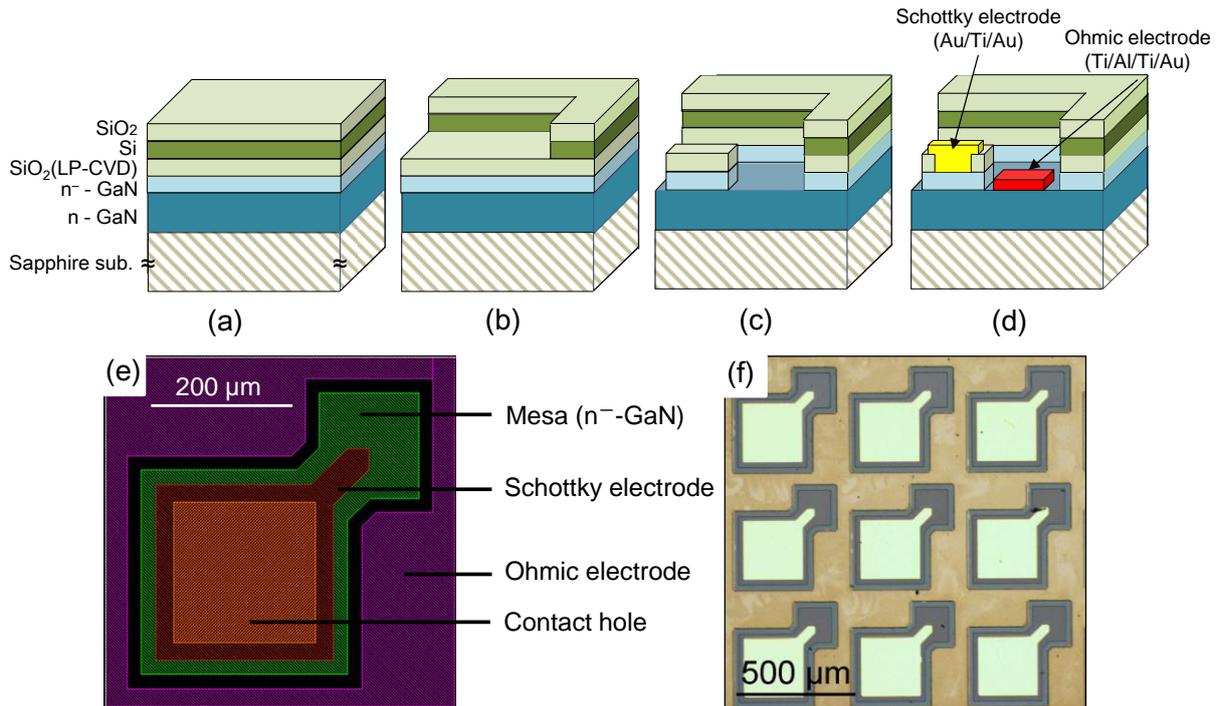


図 4.4 GaN ショットキーバリアダイオード作製工程の概略. (a) 初期状態, (b) 上部 SiO₂ 層および Si 層のエッチング, (c) Cl 系 ICP-RIE による素子分離, (d) オーミック電極およびショットキー電極の形成. (e) は GaN-SBD のレイアウトパターン図, (f) 表面活性化ウェハ接合を行った Si/SiO₂/GaN 基板に作製した GaN-SBD の光学顕微鏡写真.

作製した GaN-SBD の電流密度-電圧特性を図 4.5(a)に示す. 結果より, 逆方向飽和電流は表面活性化ウェハ接合の実施の有無に関わらずほとんど変化がなかった. また, 図 4.5(a)から算出した理想因子と障壁高さを同図(b)に示す. 理想因子に関しては, 表面活性化ウェハ接合を実施した GaN-SBD と LPCVD によって SiO₂ を堆積した n⁻-GaN 表面に作製した GaN-SBD 間には有意な差が見られなかった. その一方で, PECVD の場合は理想因子が約 1.6 となり, 他と比較すると生成再結合電流による伝導機構が支配的になっていることがわかる. これは, n⁻-GaN 表面近傍に伸びた空乏層内の点欠陥等を起源とするトラップ準位の存在を示唆しており, プラズマに曝された影響であると考えられる [14]. 障壁高さに関しては, 表面活性化ウェハ接合の実施の有無に関わらず, 全試料で障壁高さは約 0.85~0.88 eV の範囲の値となることが分かった. ショットキー電極に Au を用いた GaN-SBD の障壁高さとして, Hacke ら [15]は 0.844 ~ 0.940 eV という値を報告しており, この値と実験結果は一致している. このことから, SiO₂ 層は Ar-FAB 照射に対して保護層として十分に機能する事が分かった.

以上の結果から, 表面活性化ウェハ接合を経た n⁻-GaN 表面に対して作製した GaN-SBD においても, 一般的に報告されている GaN-SBD と同等のショットキー障壁

が形成されており，表面活性化ウェハ接合を含めた Si/SiO₂/GaN 構造の作製工程による GaN 表面への影響は極めて小さいものと結論付けられる。

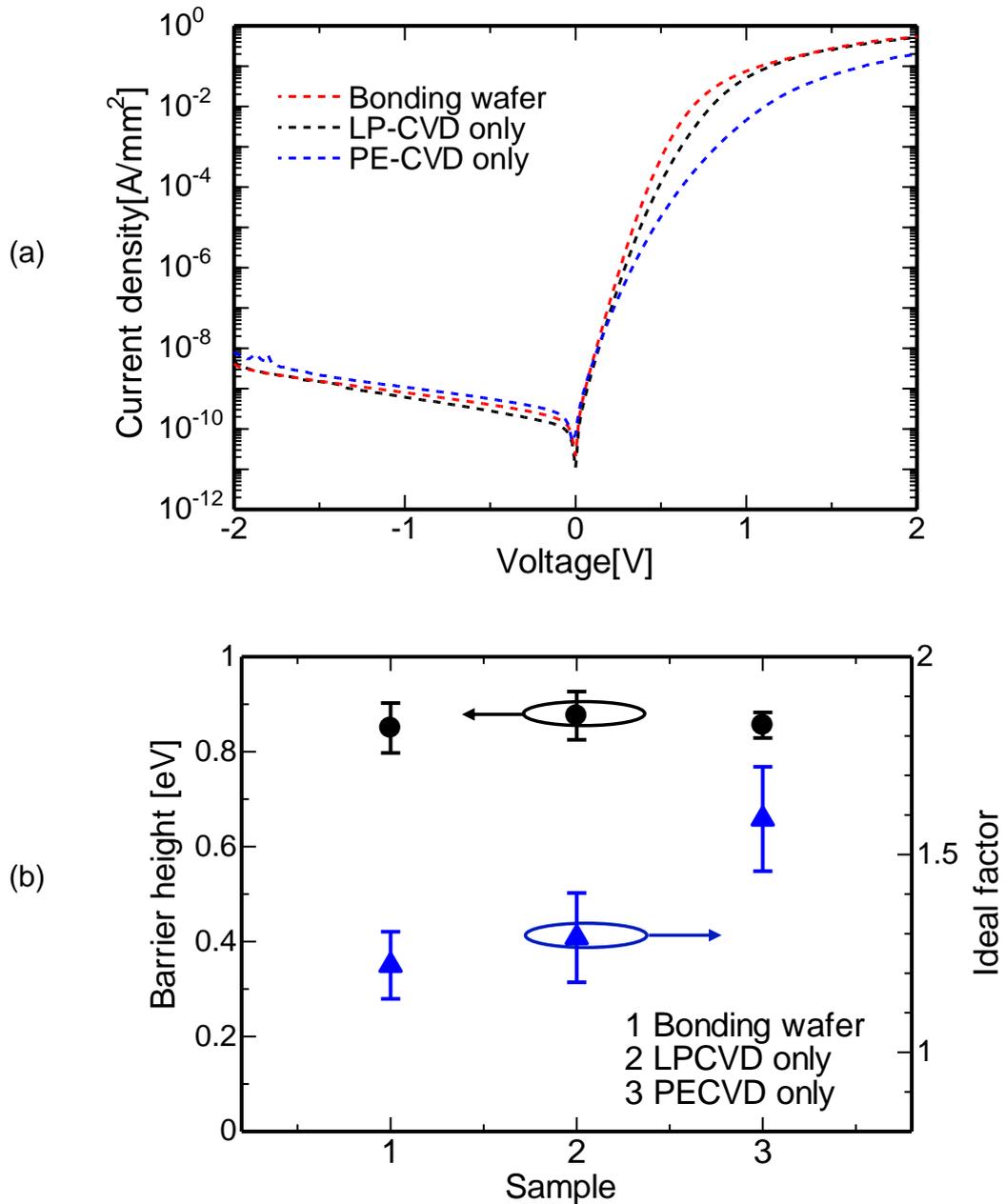


図 4.5 (a)表面活性化ウェハ接合を行った Si/SiO₂(LPCVD)/n⁻GaN 基板に作製した GaN-SBD (Sample 1), および LPCVD (Sample2) または PECVD (Sample3) で SiO₂ を堆積した後の n⁻GaN 表面に作製した GaN-SBD の電流密度-電圧特性, (b)各電流密度-電圧特性より算出した障壁高さと理想因子.

4.4 Si/SiO₂/GaN-LED 基板の作製と Si デバイス層の結晶性評価

4.4.1 表面活性化ウエハ接合を用いた Si/SiO₂/GaN-LED 基板の作製

初めに、SiO₂/GaN-LED 基板と SOI 基板を用いた表面活性化接合およびエッチバック法による Si/SiO₂/GaN-LED 基板の作製方法について述べる。図 4.6 に表面活性化ウエハ接合を含めた Si/SiO₂/GaN-LED 基板の作製手順の模式図を示す。

使用した SOI 基板 (Soitec 社製) の Si デバイス層、BOX 層および Si 支持層の厚さはそれぞれ 2 μm, 5 μm および 525 μm である。GaN-LED 基板には商用の青色 LED 基板(発光波長 ≒ 460 nm)を用いた。GaN-LED 基板を有機洗浄した後、LPCVD によって SiO₂ を 100 nm 堆積した。SOI 基板は BHF 溶液により自然酸化膜除去処理を行った。以上の前準備を行った後、これら 2 つの基板を表面活性化ウエハ接合装置に導入した。接合チャンバーの真空度が 5×10^{-6} Pa 以下になった時点から、次の手順で表面活性化ウエハ接合を行った。(i) Ar-FAB 照射によって両基板表面のクリーニングを行い、(ii) Si ナノ密着層をスパッタ法によって SiO₂/GaN-LED 基板側に堆積し、(iii) 再度 Ar-FAB 照射による表面活性化を行った (図 4.6(a))。その後、 5×10^{-6} Pa 以下まで接合チャンバー内の真空度が低下したのを確認した後、(iv) 室温にて接合荷重を 3 分間印加することでウエハ接合を行った (図 4.6(b))。本実験では、接合荷重条件を 500 N/cm² から 12000 N/cm² まで変化させた基板を作製した。ウエハ接合の後、SOI 基板の Si 支持層を機械研磨および XeF₂ ガスによって除去し、その後 BOX 層を BHF 溶液によってウェットエッチングした (図 4.6(c))。Si/SiO₂/GaN-LED 基板の作製に関する基本的な条件を表 4.4 に示す。

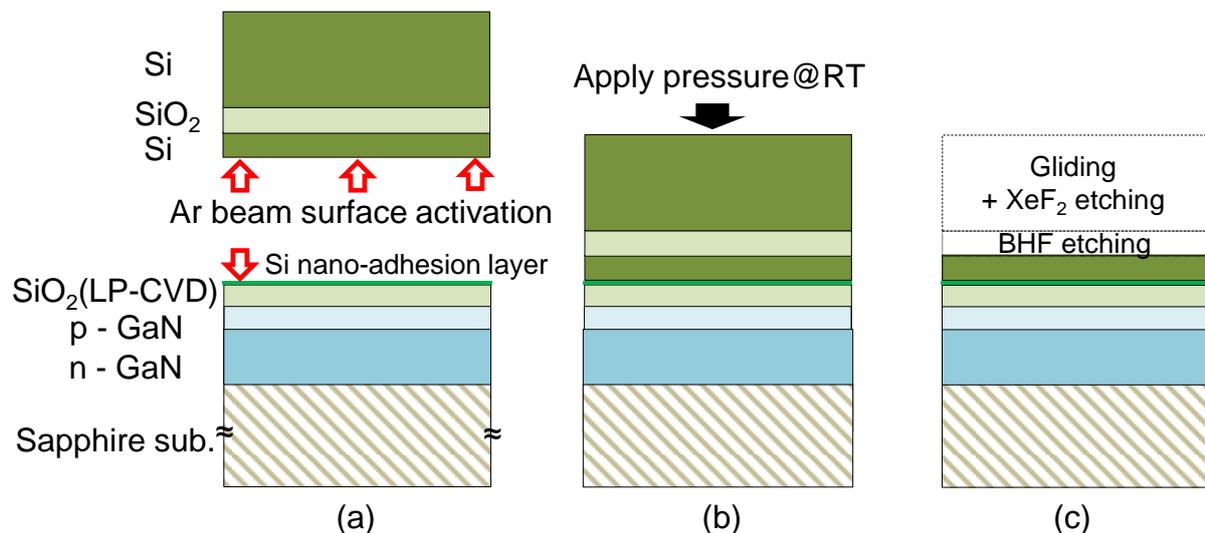
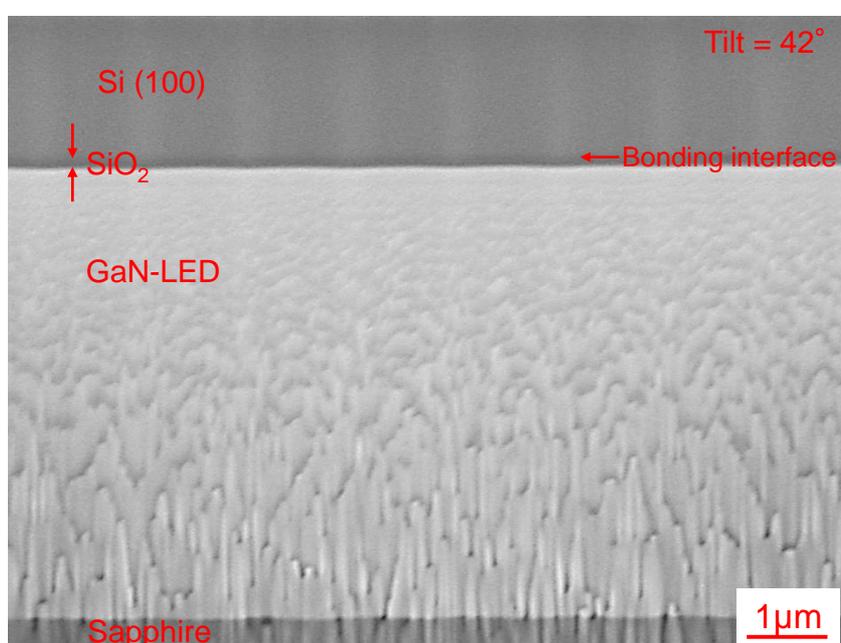


図 4.6 表面活性化ウエハ接合を用いた Si/SiO₂/GaN-LED 基板の作製手順。(a) Ar-FAB による Si ナノ密着層形成と表面活性化工程、(b) 接合荷重印加による接合工程、(c) 機械研磨および XeF₂ ガスによる Si 支持層の除去と BHF による BOX 層の除去工程。

表 4.4 表面活性化ウェハ接合を用いた Si/SiO₂/GaN-LED 基板の作製条件

Substrate	SOI substrate (2 μm-thick p-Si(100))	upper side
	SiO ₂ (LPCVD)/GaN-LED substrate	lower side
Bonding condition	Refer to Table 3.1	
※(2) Nano-adhesive	72 times (Intentional change)	lower side only
Si handle layer etching		
(1)Mechanical gliding	#800(Green Si carbide), 30 rpm	
(2)XeF ₂ etching	Etching time:40sec XeF ₂ pressure:2.0 torr N ₂ :0 torr	adjust by cycle number
BOX(SOI) layer etching	BHF solution@RT	check hydrophobicity

図 4.7 作製した Si/SiO₂/GaN-LED/Sapphire 構造断面の鳥瞰 SEM 像

ウェハ接合は 6000, 12000 N/cm² の接合荷重において達成された一方で、500 N/cm² の接合荷重では接合されなかった。6000 N/cm² の接合荷重を印加することによって作製した Si/SiO₂/GaN-LED 基板に関して、FIB による断面出しを行い、SEM にてその断面を観察した結果を図 4.7 に示す。結果から、本作製工程によって提案した Si/SiO₂/GaN 構造を作製出来ること、加えて SiO₂ 層を介した Si と GaN-LED の均一なウェハ接合が達成されていることが確認された。

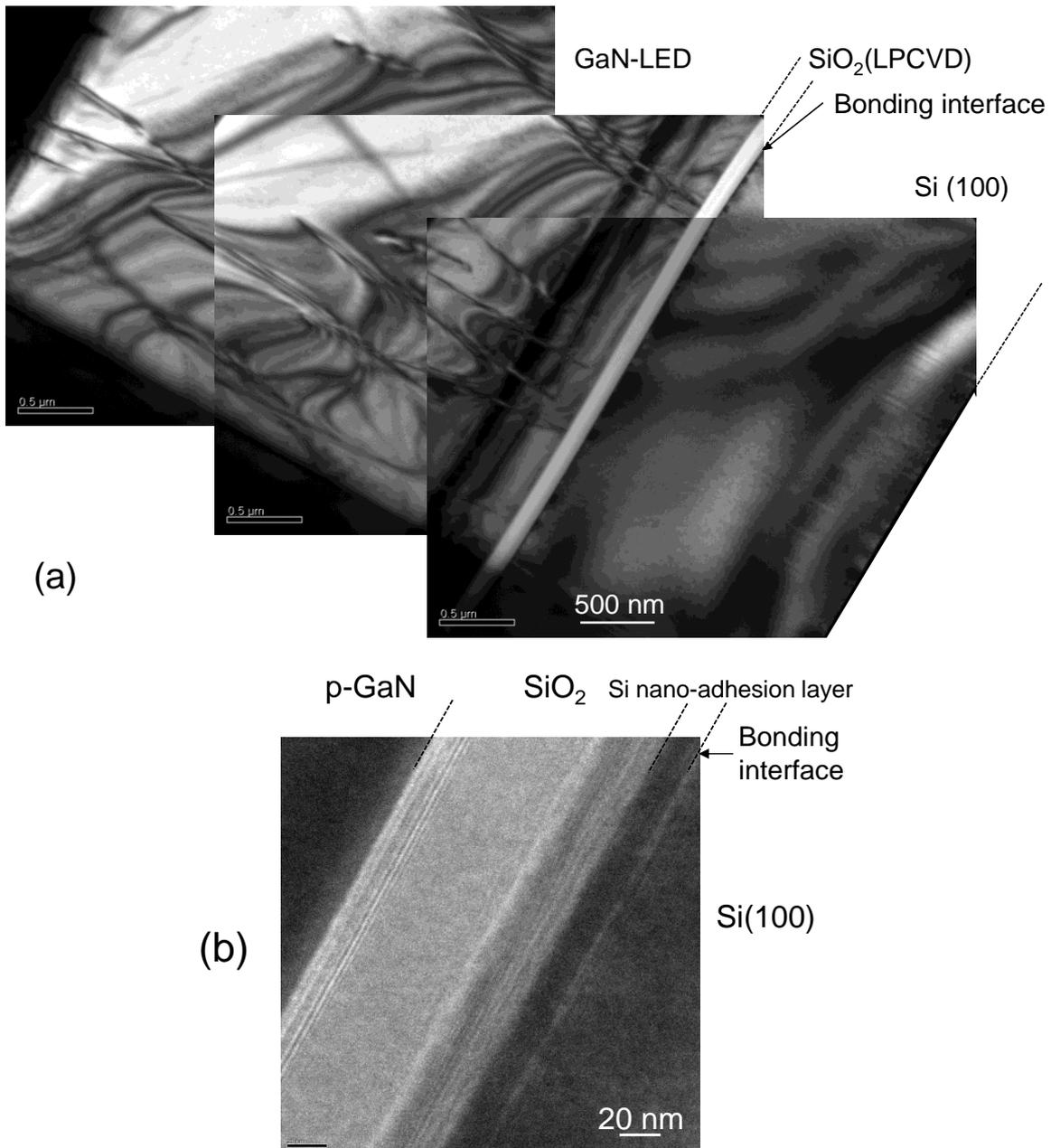


図 4.8 作製した Si/SiO₂/GaN-LED 基板の断面 TEM 像 (明視野, 晶帯軸入射). (a) 全体像, (b) 接合界面付近の高倍率像.

4.4.2 作製した Si/SiO₂/GaN-LED 基板における Si デバイス層の結晶性評価

Si/SiO₂/GaN-LED 基板の作製過程において, Si デバイス層の結晶性が劣化した場合には集積する MOSFET 等の誤動作や特性劣化が懸念される. そこで, 表面活性化ウエハ接合を含めた Si デバイス層の転写過程における結晶性の劣化の有無を調査するためにまず, 断面 TEM による欠陥や転位の観測を行った. 試料は 6000 N/cm² の接合荷重で接合した Si/SiO₂/GaN-LED 基板で, FIB による TEM 試料の作製を行った. Si/SiO₂/GaN-LED 基板の断面 TEM 像を図 4.8 に示す. 図 4.8(a)に示された断面 TEM 像

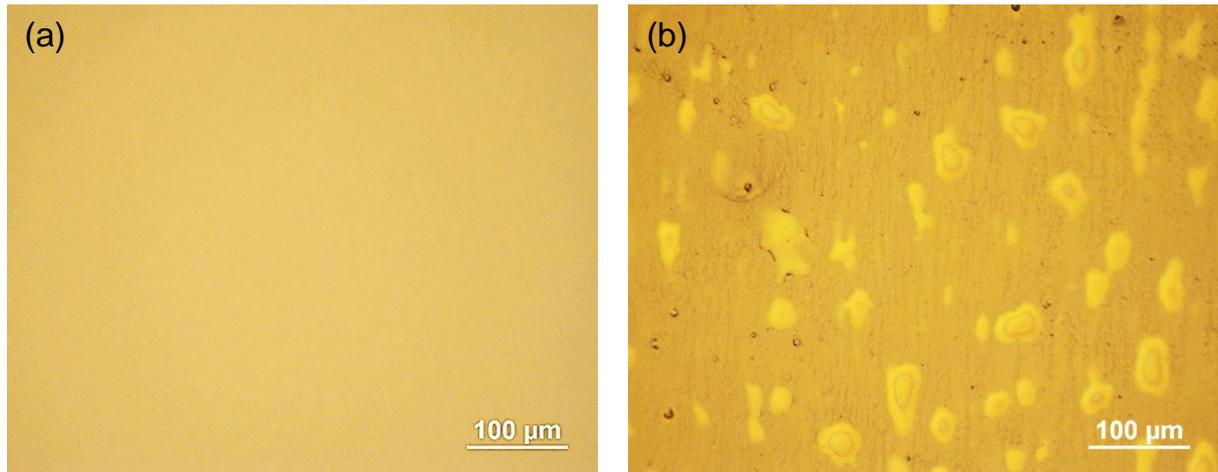


図 4.9 (a) Secco エッチング前, (b) Secco エッチング後の Si/SiO₂/GaN-LED 基板上の Si デバイス層表面の光学顕微鏡写真

より, 転写した Si デバイス層には積層欠陥および転位は観測されなかった. GaN-LED 層において観測された貫通転位の密度は $10^7 \sim 10^8 \text{ cm}^{-2}$ であるため, GaN-LED 層にて観測された貫通転位は結晶成長由来のものであると推察される. 図 4.8(b)に示された接合界面近傍の高倍率断面 TEM 像ではナノスケールの空隙は観測されなかった. ナノスケールにおいて Si ナノ密着層を介した Si と SiO₂ が均一に接合されたことを示している. 以上の結果から, 表面活性化ウェハ接合を用いた Si デバイス層の転写過程において, 微視的スケールの積層欠陥や転位等は発生しておらず, 接合界面近傍おける空隙も発生してないことが明らかとなった.

TEM 試料は幅約 5 μm 奥行き約 0.1~0.2 μm の非常に微小なサイズであるため, 低密度の欠陥や転位等が観察出来ていないという懸念が残る. そこで次に, Si デバイス層中の積層欠陥を選択的にエッチング出来る Secco エッチング [16]による積層欠陥の導入密度評価を行った. Secco エッチング溶液は 0.15 M K₂Cr₂O₇ : 49 % HF=1 : 2 の条件で作製し, 室温にて Secco エッチング溶液に 1 分間 Si/SiO₂/GaN-LED 基板を浸すことによって厚さ 2 μm の Si デバイス層のウェットエッチングを行った. 触針式表面形状測定装置にてエッチングにより形成された段差を測定し, 1.5 μm のエッチングが行われたことを確認した². Secco エッチング前後の光学顕微鏡写真を図 4.9 に示す. Si 基板の Secco エッチングに関して, Nakajima ら [17]が報告しているような(110)方位に配向した積層欠陥は観察されなかった. この結果は, 数 mm 角の巨視的領域においても積層欠陥が存在しないことを意味している. したがって, 表面活性化ウェハ接合を含めた Si デバイス層の転写過程において, Si デバイス層への転位や積層欠陥の導入は発生しないことが明らかとなった. その一方で, Secco エッチング後の Si デバイ

² Si デバイス層膜厚は Secco エッチングによって 2 μm から 0.5 μm まで薄膜化した

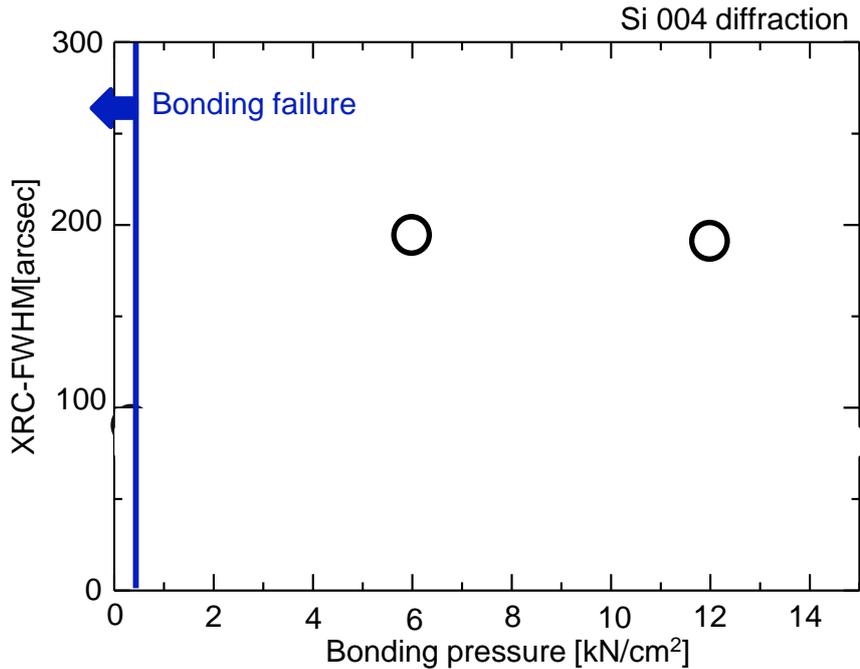


図 4.10 作製した Si/SiO₂/GaN-LED 基板上の Si デバイス層の XRC-FWHM の接合荷重依存性.

ス層表面において干渉色を含む直径数十 μm ほどの楕円形のコントラストが複数観測された。これらのコントラストは、使用した SOI 基板を Secco エッチングした Si デバイス層表面には観測されなかったことから、接合界面の空隙を示しているものと判断出来る。したがって、断面 TEM による観察結果から示されたように微視的（ナノスケール）な空隙は発生していない一方で、巨視的（サブミリスケール）には空隙が発生していることが分かった。

次に Si デバイス層の X 線ロッキングカーブ（XRC）測定を行った。XRC 測定の際の回折条件は Si 004 とした。6000, 12000 N/cm² の接合荷重によってウェハ接合し作製した Si/SiO₂/GaN-LED 基板上の Si デバイス層の XRC の半値全幅（XRC-FWHM）の接合圧力依存性を図 4.10 に示す。結果より、Si デバイス層の XRC-FWHM は接合荷重に関わらず約 190 arcsec となった。ウェハ接合前の SOI 基板における XRC-FWHM は約 38 arcsec であったことから、ウェハ接合により XRC-FWHM は急激に増加した。作製した Si/SiO₂/GaN-LED 基板の曲率半径は触針式表面形状測定の結果から基板の曲率半径は典型的に約 3~4 m の範囲内の値をとり、Si デバイス層を表面として凸型の形状となることが分かった。

一般的に、基板に反りがある場合の XRC-FWHM (β_m) [18]は以下の式で表される。

$$\beta_0^2 \approx \beta_m^2 / 2\pi - \beta_r^2 \quad (4.3)$$

ここで、 β_0 は試料及び装置内の構成等に関わる値、 β_r は試料の反りに関わる値である。

更に, β_r は円弧と中心角の幾何学的関係から以下の式にて表現される [19].

$$\cos(\beta_r) = (2R^2 - w^2) / 2R^2 \quad (4.4)$$

R は基板の曲率半径, w は本測定における試料上での X 線の照射長である. 本実験の測定系では, 発散スリットが $w=500 \mu\text{m}$ のものを使用した. ウェハ接合に使用した SOI 基板の接合前の曲率半径及び XRC-FWHM は, それぞれ 31 m 及び約 38 arcsec であったことから, 転写後の曲率半径 3.5 m を用いて理想的な Si デバイス層の FWHM 測定値 β_m を算出すると, 約 83 arcsec となった. したがって, 図 4.10 に示した XRC-FWHM は Si/SiO₂/GaN-LED 基板の反りの影響を考慮しても理想的な Si デバイス層の XRC-FWHM より 2 倍以上高いことが明らかとなった.

4.4.3 ウェハ接合前の基板表面平坦性が接合後基板の結晶性に及ぼす影響

図 4.9(b)の Secco エッチング後に観測された直径数十 μm ほどの空隙は接合界面近傍の結晶の弾性変形が基板表面の凹凸を補償出来ていない状況を示唆している. 更に, 図 4.10 にて示された Si/SiO₂/GaN-LED 基板上の Si デバイス層の XRC-FWHM の接合荷重依存性は, 基板の反りおよび積層欠陥や転位等の導入による結晶軸の傾斜以外の要因によって XRC-FWHM が増加していることを示唆している. したがって, 転写した Si デバイス層には基板表面の平坦性に起因した弾性歪の導入とそれによる結晶軸の傾斜の発生が予想される. そこで, SiO₂/GaN-LED 基板表面を化学機械研磨 (chemical mechanical polishing : CMP) によって平坦化した基板を用意し, 転写後の Si デバイス層の XRC-FWHM がどのように変化するかを検討した. まず, 未加工および CMP 加工により平坦化した SiO₂/GaN-LED 基板表面の AFM 測定および触針式表面形状測定の結果を図 4.11 に示す. 走査範囲は AFM 測定が $10 \times 10 \mu\text{m}^2$, 触針式表面形状測定が $200 \times 200 \mu\text{m}^2$ と設定した. 図 4.11(a)および(d)の AFM 像から, 未加工の時の SiO₂/GaN-LED 基板表面の平均自乗面粗さ $\text{RMS} = 1.32 \text{ nm}$ に対して, CMP 加工によって $\text{RMS} = 0.21 \text{ nm}$ まで表面平坦性が改善されていることが確認された. 未加工の時の SiO₂/GaN-LED 基板表面の表面粗さは GaN-LED 基板の表面粗さを引き継いだものであることを確認している. 表面活性化ウェハ接合において高い接合強度および連続した接合界面を達成するためには, 基板表面の RMS は 1 nm 未満とすることが望ましいことが明らかとなっている [20] [21]. 未加工の SiO₂/GaN-LED 基板表面の RMS はこの条件を満たしていない一方で, CMP 加工によって改善された SiO₂/GaN-LED 基板表面の RMS は 1nm 未満という条件を十分に満足している. 未加工の SiO₂/GaN-LED 基板表面の RMS は 1 nm を越えているにも関わらず, 図 4.7 の Si/SiO₂/GaN-LED 構造断面の鳥瞰 SEM 像で示されたように接合界面近傍において空隙は観測されていない.

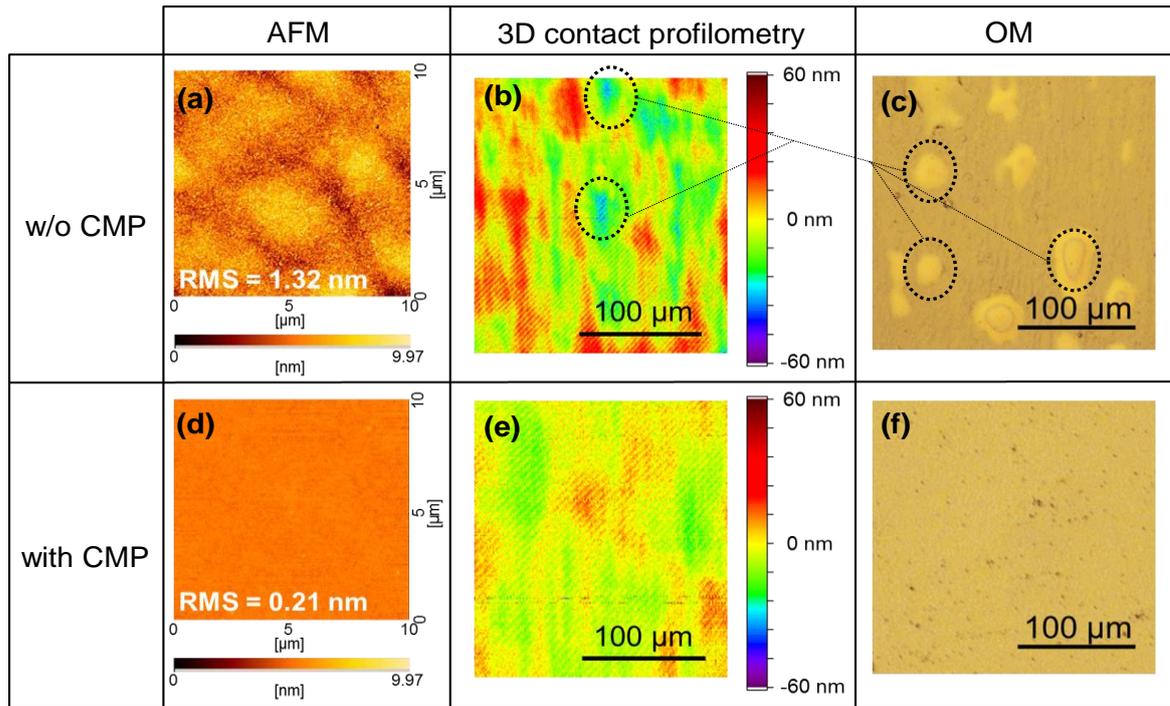


図4.11 未加工およびCMP加工を行ったウェハ接合前のSiO₂/GaN-LED基板表面の(a, d)AFM像, (b, e)触針式表面形状測定像(3D contact profilometry). (c, f)未加工およびCMP加工済みの基板を用いて作製したSi/SiO₂/GaN-LED基板上のSiデバイス層のSeccoエッチング後の光学顕微鏡写真(OM). (c, f)のSiデバイス層は両方とも接合荷重6000 N/cm²でウェハ接合したものである.

この結果は、図4.11(a)に示される微視的な表面粗さがアモルファスSiナノ密着層および近傍の結晶の弾性変形によって完全に補償されていることを示唆している。図4.11(b, e)に示した広域の表面モフォロジより、巨視的な表面粗さに関してもCMP加工によって高低差にして約100 nmから30 nmまで改善されていることが確認された。未加工の場合では6000 N/cm²の接合荷重がウェハ接合を完全に達成するのに必要であったのに対して、CMPを行った場合では350 N/cm²の接合荷重でウェハ接合が達成された。この接合荷重による接合結果の違いは、SiO₂/GaN-LED基板表面の微視的および巨視的な表面平坦性が改善されたことによる効果であると考えられる。また、図4.11(c, f)には未加工およびCMP加工により平坦化したSiO₂/GaN-LED基板を用いて作製したSi/SiO₂/GaN-LED基板上のSiデバイス層のSeccoエッチング後の光学顕微鏡写真を示した。Seccoエッチングの条件は4.4.2にて既に記述した条件と同じである。図4.11(b)と(c)を比較すると、図中に点線で示したように(c)で見られた空隙の形状と(b)にて見られた凹凸の形状と非常に似ていることがわかる。このことから、観測された空隙はSiO₂/GaN-LED基板表面の巨視的な表面のうねりによって形成されたものと推察される。それを裏付ける結果として、CMP加工された基板を用いた(f)の光学顕微鏡写真では、未加工時の結果と同様に積層欠陥が観測されなかったことに加えて、(c)

で明瞭に観測された直径数十 μm の空隙もまた観測されなかった。

これらの結果を考察するために、4.2 節にて議論した Tong ら [9] のウェハ接合界面における空間ギャップを弾性変形によって埋め込むための条件について再度検討を行った。SOI 基板と SiO₂/GaN-LED 基板のウェハ接合の系を考えた場合、弾性変形によって補償すべき表面の周期的な凹凸は図 4.11(a) および (b) に示されたような微視的なあるいは巨視的な凹凸である。今、簡略化のために Si のみ ($E': \sim 256 \text{ GPa}$) が弾性的に変形し、基板厚さ t よりも凹凸の半周期 R が小さい (4.3) 式の条件を想定し、その際に要求されるギャップ h を求めることにする。この系の界面エネルギー γ は 4.2 節で検討した結果を参考に 2.0 J/m^2 と設定した。SOI 基板の厚さを $500 \mu\text{m}$ と設定すると、図 4.11(a) より微視的な凹凸の半周期 R は $1 \mu\text{m}$ 程度であることから、 h は約 10 nm となる。これに対し、図 4.11(a) の P-V はおよそこの条件を満たしており、図 4.8(b) で示されたように微視的な空隙が発生していないことと実験的に一致している。その一方で、図 4.11(b) から巨視的な凹凸の半周期 R を $50 \mu\text{m}$ とすると、(4.3) 式から求められるギャップ h は約 70 nm となる。図 4.11(b) では P-V が約 100 nm であるから、(4.3) 式は満たされていないことから空隙が発生することになり、これは図 4.11(c) にて示した観測結果と一致している。CMP 加工によって表面平坦性が改善された図 4.11(e) では、巨視的な凹凸の P-V が約 30 nm 程度まで改善されていることから、(4.3) 式の条件を満たしていることになる。これは、図 4.11(f) にて示されているように空隙が観測されなかったという実験結果と一致している。以上の結果から、ミリメートルスケールの巨視的な表面粗さが存在する場合においても、接合界面近傍の結晶が弾性変形する事による空隙補償のモデルが適用出来ることが明らかとなった。

図 4.12 に CMP 加工により平坦化した SiO₂/GaN-LED 基板を用いて作製した Si/SiO₂/GaN-LED 基板上の Si デバイス層の XRC 測定結果を示す。接合は 350 N/cm^2 , 6000 N/cm^2 の接合荷重条件で行った。同図内の破線はウェハの反りに対応する Si デバイス層の XRC-FWHM (83 arcsec) を示している。比較のために、未加工の SiO₂/GaN-LED 基板を用いて作製した際の結果 (図 4.10) を併記した。 350 N/cm^2 の接合荷重で転写した Si デバイス層の XRC-FWHM は約 90 arcsec となり、理想的な Si デバイス層の XRC-FWHM に非常に近づいたことがわかった。ここで、これまでの実験結果に基づいて想定されるサブミリスケールの巨視的な表面粗さとウェハ接合界面近傍の空隙補償に関するモデルを考察する。

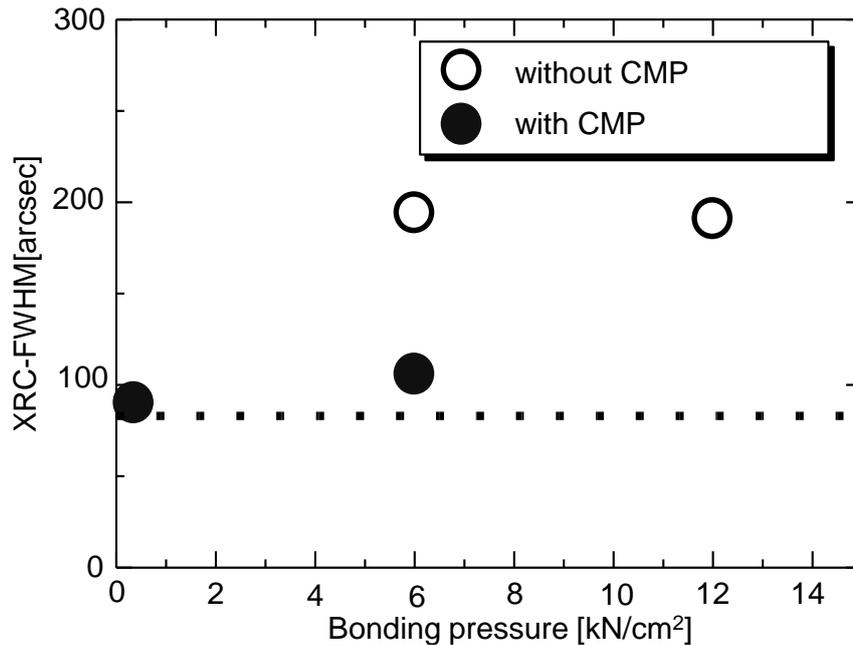


図 4.12 CMP 加工により平坦化した SiO₂/GaN-LED 基板を用いて作製した Si/SiO₂/GaN-LED 基板上の Si デバイス層の XRC-FWHM の接合荷重依存性. 回折条件は Si 004 とした. 図中の破線は 3.5 m の基板の反りを考慮して算出された理想的な Si デバイス層の FWHM (83 arcsec) を示している.

ウェハ接合時の Si/SiO₂ 界面を単純化したモデルを図 4.13 に示す. Si ナノ密着層は想定されるモデルにおいて極薄であることから省略した. 接合荷重印加時において, Si デバイス層の接合界面近傍が SiO₂/GaN-LED 基板表面の表面粗さに沿って弾性変形すると仮定した場合, 補償されるべき空隙付近では図 4.12 のように Si デバイス層の結晶軸に弾性変形の度合いに応じた傾斜が発生することになる. あるいは, ウェハ接合段階で形成されている空隙に関して, SOI 基板の Si 支持層および BOX 層の除去工程後には Si デバイス層の厚さが約 2 μm まで薄くなることから, 界面エネルギーによる弾性変形が除去工程後 (あるいは工程中) に発生する可能性がある. 図 4.11(b) の巨視的な凹凸における半周期 R は 4 μm (2t) よりも大きいことから, (4.2) 式を適用してギャップ h を計算すると約 3 μm となる. これは (4.2) 式を満たしていることを意味しているが, 実際には図 4.11(c) のような空隙が観測されていることから, 接合時の空隙補償の場合と接合後の段階で生じた空隙内の空間を薄膜化過程で補償する場合の違いを (4.2)(4.3) 式のみで解釈することは難しいということが分かった. いずれにしても, 薄膜化の過程で Si デバイス層内に発生する弾性変形は結晶軸の傾斜を引き起こすことから, これらの弾性変形による結晶軸の傾斜が直接的に XRC-FWHM の増加を引き起こしたものと推察される. これは, 図 4.12 にも示された CMP 加工を行っていない場合の Si デバイス層の XRC-FWHM の増加という結果と一致している. 図 4.14 には

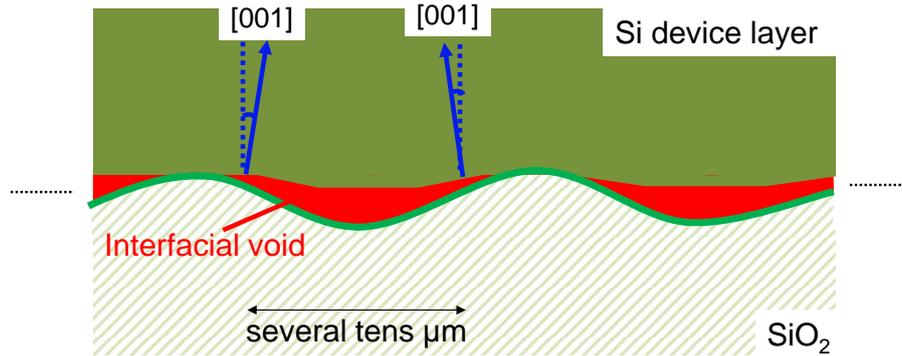


図 4.13 ウェハ接合における Si/SiO₂ 界面の空隙補償に関する単純化したモデル

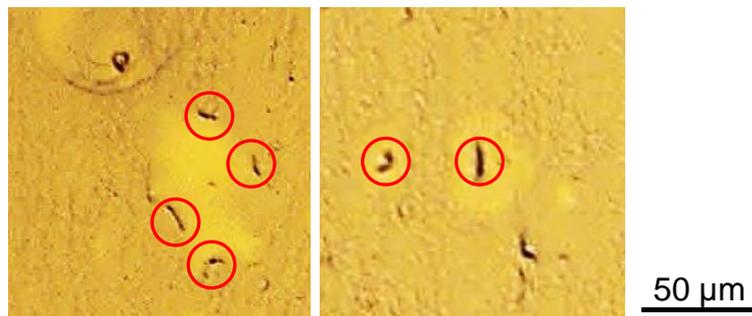


図 4.14 CMP 未実施の SiO₂/GaN-LED 基板を用いて作製した Si/SiO₂/GaN-LED 基板上の Si デバイス層を Secco エッチングした際の空隙近傍の光学顕微鏡写真。

図 4.9(b)の空隙近傍を拡大した光学顕微鏡写真を示す。図 4.13 のモデルでは、空隙の中央付近と端付近で局所的に曲率半径が小さくなるため、中央付近と端付近においては弾性歪の蓄積が予想される。図 4.14 に示されたように、空隙の端付近と中央付近にクラックの発生が明らかに観測されていることから、図 4.13 のモデルは妥当であると考えられる。ただし、円状の空隙はパーティクルに起因して発生する場合もあるため、円状の空隙の中心に発生するクラックに関してはパーティクルも原因の一つである。

4.5 熱履歴設計のための Si/SiO₂/GaN-LED 構造における熱耐性評価

4.5.1 GaN-LED 層の熱耐性の評価

Si/SiO₂/GaN-LED 構造における熱耐性としてまず懸念されるのは InGaN/GaN 多重量子井戸 (multi quantum well : MQW) 層を含む GaN-LED 層の熱耐性である。Si-LSI 工程における熱拡散工程や結晶回復熱処理工程等に対する熱耐性の観点から、最高工程温度として 1000 °C 程度での熱履歴設計が可能であれば設計自由度は比較的高いと考えられる。GaN 自体の成長温度は 1000 °C を超えることから、GaN の熱分解に対する懸念は小さい。一方で InGaN/GaN MQW 層に関しては、InGaN 成長時に In の取り込み効率の関係から 600~800 °C 付近と比較的低温で行われるため、成長面内方向

での原子・分子の熱拡散に起因した発光特性の変化が懸念される．そこで，GaN-LED 層の熱耐性の評価をモノリシック集積工程の実施を想定して行い，モノリシック集積工程温度の上限を調査した．

GaN-LED の熱耐性を評価するために，Si/SiO₂/GaN-LED 構造を前提として，LPCVD によって SiO₂ を 170 nm 堆積した GaN-LED 基板を作製し熱処理を行った．使用した GaN-LED 基板は商用のもので，発光波長は約 460 nm，p-GaN の厚さは約 250 nm，MQW 層の厚さは約 100 nm，n-GaN 層の厚さは約 5~6 μm である．熱処理条件は，窒素雰囲気下にて 900 °C および 1000 °C 固定で 30 分から 8 時間まで変化させた．評価方法として，室温 PL 測定を行った．

図 4.15 に 900 °C での熱処理において熱処理時間を変化させた際の GaN-LED の室温 PL 測定結果を示す．熱処理時間の増加に伴って 460nm 付近のピーク強度が低下した．この時，半値全幅に関しては熱処理時間に関係なく約 22 nm で一定であった．このことは，InGaN/GaN MQW 層における発光特性の変化が熱処理によって生じたことを示唆している．図 4.16 に 1000 °C での熱処理において熱処理時間を変化させた際の GaN-LED の室温 PL 測定結果を示す．460nm 付近のピーク強度が熱処理時間の増加に伴って明らかに減衰しており，8 時間の熱処理後においてはピークがほぼ完全に消失した．このことから，波長 460 nm のモノリシック集積工程における工程温度の上限値として 1000 °C は適用不可能であることが分かった．そこで，モノリシック集積工程における工程温度の上限値を 900 °C に設定する前に，他視点から GaN-LED 層の 900 °C での熱耐性を確認する目的で，作製した各試料に対して XRD による 2θ-ω 測定を行った．

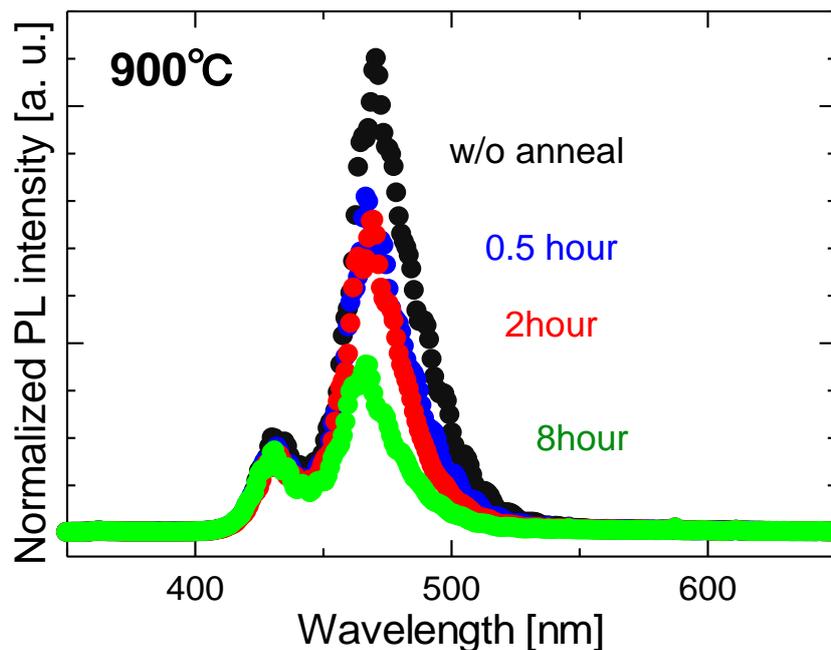


図 4.15 900 °C の熱処理における GaN-LED の室温 PL 測定結果の熱処理時間依存性

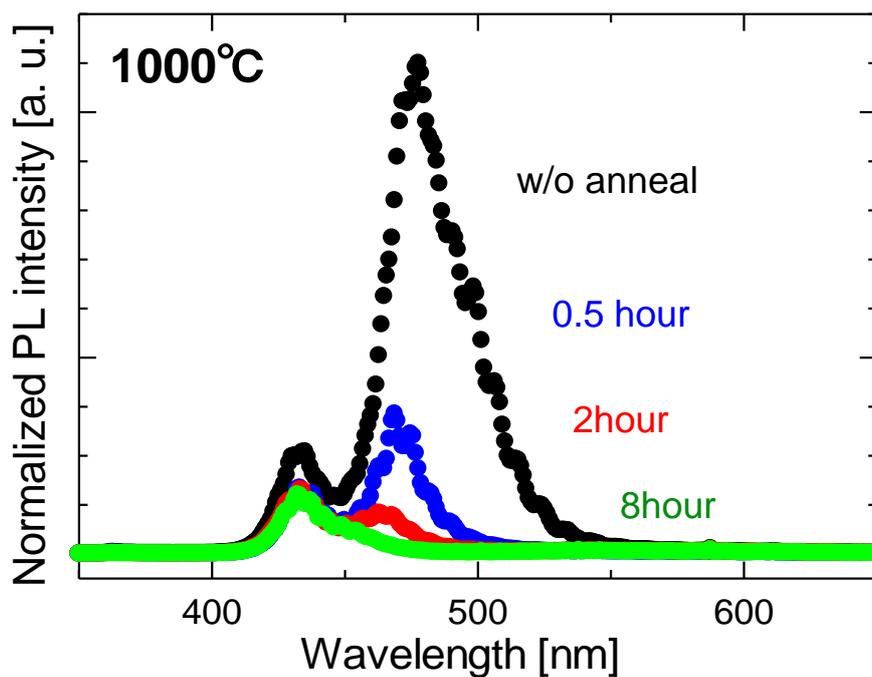


図 4.16 1000 °C の熱処理における GaN-LED の室温 PL 測定結果の熱処理時間依存性

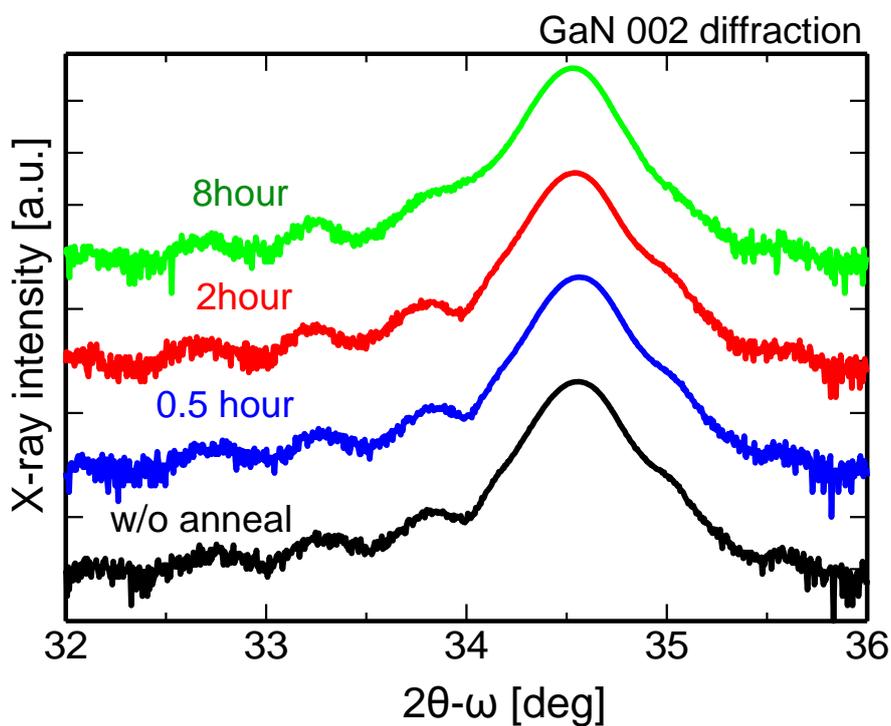


図 4.17 900 °C の熱処理における GaN-LED の 2θ-ω 測定結果の熱時間間依存性

図 4.17 に 900 °C の熱処理前後における GaN-LED の 2θ-ω プロファイルの熱処理時間依存性を示す。2 時間までの熱処理では 2θ-ω プロファイルにおいて半値全幅およびピーク強度に顕著な違いは見られなかった。8 時間の熱処理を行った場合では、34 deg 付近のピークが他のプロファイルに比べてわずかに変化しているのが確認出来るが、それ以外では顕著な変化は見られなかった。また、GaN-LED の熱耐性を評価する場合、PL 測定が最も敏感に影響が表れることがわかったため、基板の変更等を行った場合には PL 測定が熱履歴推定に有効であると言える。

以上の結果から、図 4.15 の結果と合わせて熱履歴を考えると、900 °C 30 分未満であれば GaN-LED 層における発光特性の致命的な劣化を免れながらモノリシック集積工程を実施することが出来ると考えられるそこで、本研究でまず実証するモノリシック集積工程の許容熱履歴は、900 °C 30 分未満と定めた。

4.5.2 Si/SiO₂/GaN-LED 基板における Si デバイス層の熱耐性の評価

次に、Si/SiO₂/GaN-LED 基板における Si デバイス層の熱耐性を検証した。作製した Si/SiO₂/GaN-LED 基板に対して GaN-LED 層の熱耐性から決定した 900 °C の熱処理を行い、その後に XRD を用いて Si 004 回折の ω 測定を行うことで熱耐性の評価を行った。この時の基板各層の膜厚は、Si : 2 μm, SiO₂ : <500 nm, GaN : 5~6 μm, Sapphire : 430 μm である。実験では、窒素雰囲気下にて 500, 700, 900 °C と逐次的に 10 分間の熱処理を行い、各熱処理後に XRD 測定を行った。実験では、窒素雰囲気下にて 500, 700, 900 °C と逐次的に 10 分間の熱処理を行い、各熱処理後に XRD 測定を行った。図 4.18 に Si/SiO₂/GaN-LED 構造における Si 004 回折時の XRC-FWHM の熱処理温度依存性を示す。900 °C の熱処理後において XRC-FWHM の急激な増加が観測された。図 4.19(a) に 900 °C の熱処理を行った後の Si/SiO₂/GaN-LED 基板表面の光学顕微鏡写真を示す。この結果から、900 °C の熱処理によって XRC-FWHM の急激な増加と同時に、Si デバイス層に対してクロスハッチ状の線状欠陥が発生することが分かった。同じ Si デバイス層表面を SEM によって観測した結果を図 4.19(b)に示す。SEM 写真では光学顕微鏡下で観測された密度の線状欠陥は観測されなかったことから、光学顕微鏡下にて観測されたクロスハッチ状の線状欠陥は表面から導入されたクラック以外を主とするものと考えられる。そこで、Si/SiO₂/GaN-LED 基板の熱耐性の向上に関して二種類の方法で実験を行った。一つ目は基板裏面への熱歪補償層の形成で、二つ目は Si デバイス層の薄膜化である。

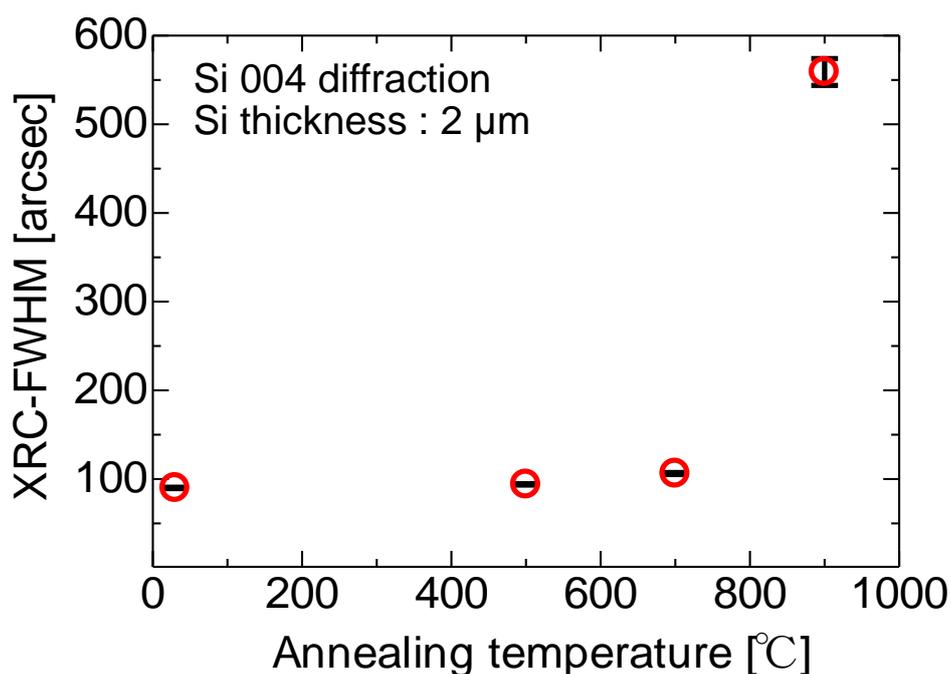


図 4.18 Si/SiO₂/GaN-LED 基板上の Si デバイス層 (膜厚 2 μm) の Si 004 回折条件時の XRC-FWHM における熱処理温度依存性

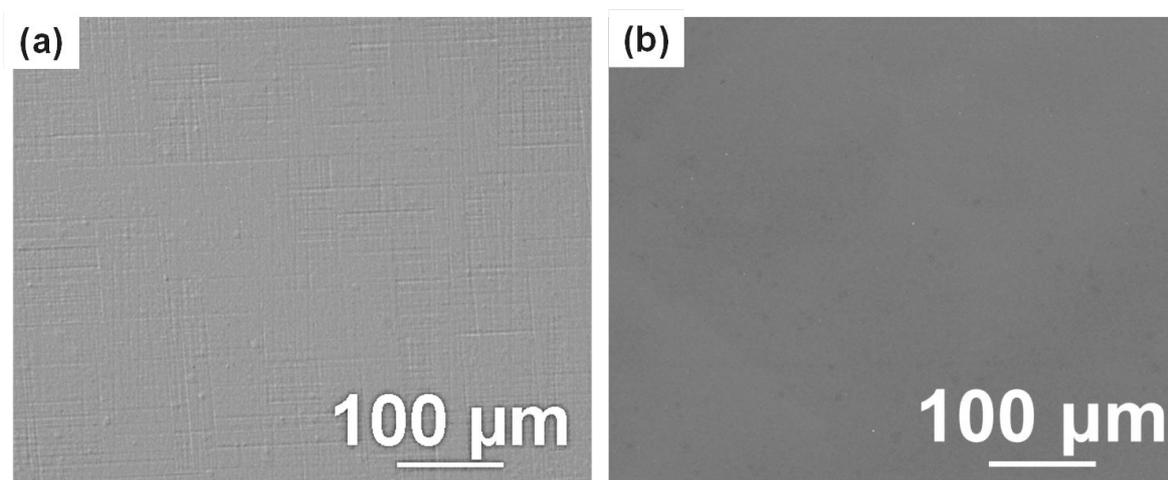


図4.19 900 °C の熱処理後における Si/SiO₂/GaN-LED 基板上の Si デバイス層表面 (厚さ 2 μm) の(a)光学顕微鏡写真および(b)SEM 写真

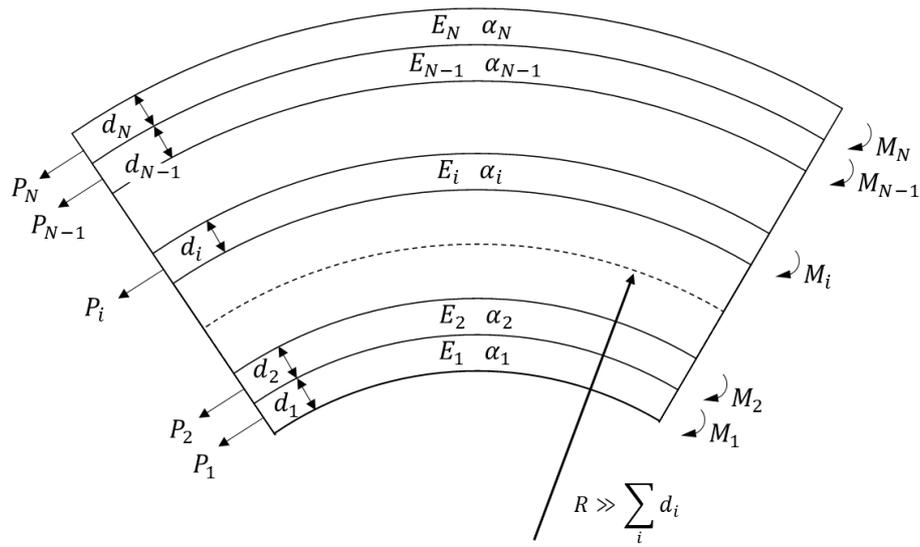


図 4.20 異種材料により構成された多層構造モデル

(1) 熱歪補償層の形成による Si/SiO₂/GaN-LED 構造の熱応力解析とその効果

歪補償層は、特に格子不整合系で弾性歪を蓄えるような層構造において、熱膨張係数差による熱応力の低減により系全体の平均歪エネルギーを抑制することで物理的なクラックや格子緩和過程で発生するミスフィット転位の導入を回避する目的で利用される [22]. 本研究では、Si/SiO₂/GaN-LED 基板の Sapphire 裏面に熱膨張係数が小さい SiO₂ を歪補償層として導入することで、Si デバイス層にかかる熱応力や基板曲率の低減による熱耐性の向上を図った. SiO₂ 層の形成方法としては、PE-CVD での堆積により形成を行った. 歪補償層を形成する上で図 4.20 のような N 層からなる多接合基板モデルを考えた. このとき応力、モーメント、歪量のつり合いに関して3つの基本式を考え、その連立方程式を計算することで基板各層に生じる熱応力と、基板曲率を求めることが出来る [23].

図 4.20 において、 P_i は i 層の中心軸に加わる応力、 d は膜厚、 E はヤング率、 α は熱膨張係数、 M は断面二次モーメント、 R は曲率半径を意味している. 多層構造モデルにおいて、各層の中心軸に加わる応力 P_i の釣り合いは

$$\sum_{i=1}^N P_i = 0 \tag{4.7}$$

で表現され、断面二次モーメント M_i の総和は各層に作用する力のモーメントの総和に等しいことから

$$\sum_{i=1}^N M_i = \sum_{i=1}^N P_i \left(\sum_{j<i}^N d_j + \frac{d_i}{2} \right) \tag{4.8}$$

が成り立つ。また、断面形状が長方形の時の断面二次モーメントは以下の式にて表現される。このときの I_i は慣性モーメントであり、今回の解析では $a = 1$ で単位長さとした。

$$M_i = \frac{E_i I_i}{R} = \frac{E_i a d_i^3}{12R} \quad (4.9)$$

また、輪生する層の界面における接線方向の歪量の釣り合いは

$$\alpha_i \Delta T_i + \frac{P_i}{E_i d_i} + \frac{d_i}{2R} = \alpha_{i+1} \Delta T_i + \frac{P_{i+1}}{E_{i+1} d_{i+1}} + \frac{d_{i+1}}{2R} \quad (4.10)$$

で表現される。(4.10)式において、第1項は熱膨張による歪量、第2項は応力による歪量、第3項は層中心から層端までの距離 $d_i/2$ における格子変形による歪量である。(4.7)、(4.8)および(4.10)式から曲率半径 R および i 層の中心軸に加わる応力 P_i に関して以下の式が導出される。

$$\frac{1}{R} = \frac{6 \sum_i E_i d_i \left(2 \sum_{j < i} d_j + d_i \right) \sum_k E_k d_k \left[\sum_{l < i} (\alpha_{l+1} - \alpha_l) \Delta T_l - \sum_{l < k} (\alpha_{l+1} - \alpha_l) \Delta T_l \right]}{\sum_i E_i d_i \left[\sum_j E_j d_j^3 + 3 \left(2 \sum_{j < i} d_j + d_i \right) \sum_k E_k d_k \left(d_i - d_k + 2 \sum_{l < i} d_l - 2 \sum_{l < k} d_l \right) \right]} \quad (4.11)$$

$$P_i = \frac{E_i d_i}{\sum_j E_j d_j} \left[\frac{1}{R} \sum_j E_j d_j \left(\frac{d_i - d_j}{2} + \sum_{k < i} d_k - \sum_{k < j} d_k \right) + \sum_j E_j d_j \left(\sum_{k < i} (\alpha_{k+1} - \alpha_k) \Delta T_k - \sum_{k < i} (\alpha_{k+1} - \alpha_k) \Delta T_k \right) \right] \quad (4.12)$$

このとき、各層の中心軸からの距離 x_i ($-d_i/2 < x_i < d_i/2$) における応力 $\sigma_i(x_i)$ は

$$\sigma_i(x_i) = \frac{P_i}{d_i} + \frac{E_i x_i}{R} \quad (4.13)$$

で表される。

以上の式および表 4.5 に示す構造定数を用いて、900 °C ($\Delta T = 900$ K) における基板曲率と Si デバイス層に加わる熱応力に関して歪補償層膜厚を変数として各々計算を行った。そのときの結果を図 4.21 に示す。歪補償層による Si デバイス層に加わる熱応力の変化はほとんど見られず、約 0.4GPa の圧縮応力がかかっていることが分かる。これは、最もヤング率の高い sapphire の体積が他の層の体積に比べて遥かに大きいことに起因した結果であると考えられる。基板曲率と歪補償層厚の関係性から、図 4.22

に示したように歪補償層を厚くしていくことで基板は凹の状態から凸の状態に変化することが分かる。このとき、歪補償層厚が 6μm のとき曲率はほぼゼロ、つまり 900 °C の熱処理下においても基板は曲がらずに室温での状態を維持できると考えられる。各層においてある結晶面をすべらせるように働く任意のせん断応力は、接合基板の曲率半径に対して相関を持つ [24]ことから、歪補償層を用いた曲率半径の変調による熱耐性への効果を次に検証した。

表 4.5 熱応力解析に用いた各層の構造定数

Layer	N	Thickness [cm]	Young's modulus [dyn/cm ²]	Thermal expansion coefficient [1/K]
SiO ₂ (compensator)	1	6.00E-04	7.20E+11	5.0.E-07
Al ₂ O ₃ (Sapphire)	2	4.30E-02	3.80E+12	7.7.E-06
GaN(-LED)	3	5.00E-04	1.81E+12	5.6.E-06
SiO ₂	4	4.00E-05	7.20E+11	5.0.E-07
Si	5	2.00E-04	1.31E+12	3.9.E-06

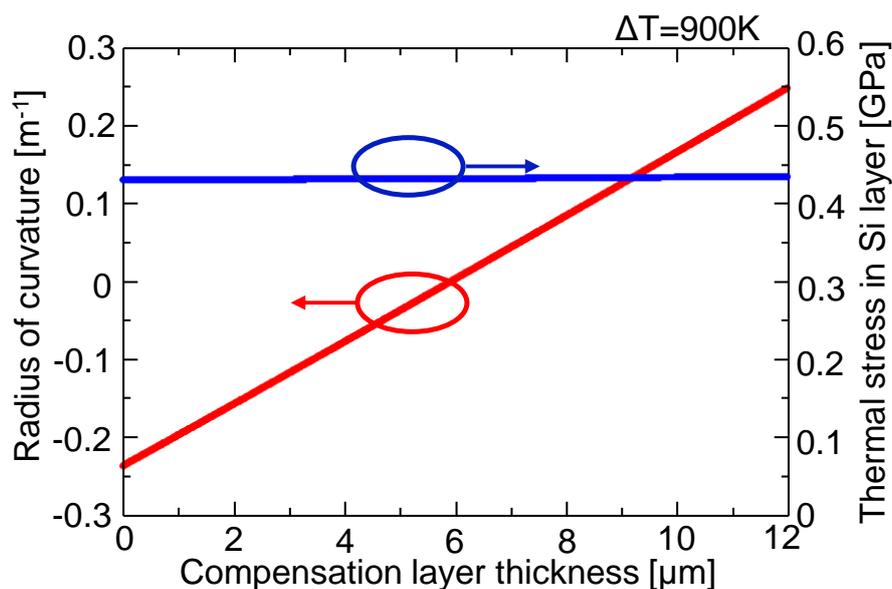


図 4.21 Si/SiO₂/GaN/Sapphire/SiO₂構造において Si デバイス層に導入される熱応力と基板の反りにおける歪補償層の膜厚依存性に関する解析結果

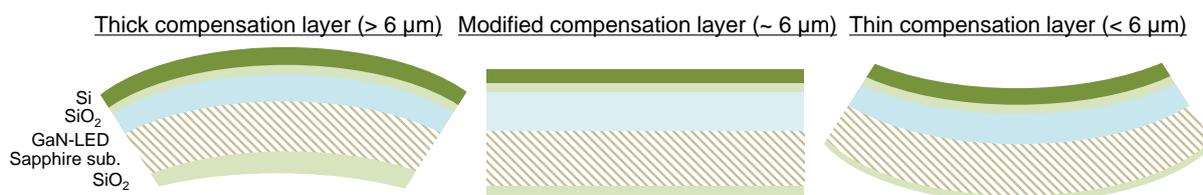


図 4.22 歪補償層の膜厚を変化させた際の基板の曲率半径の変化 (900 °C を想定)

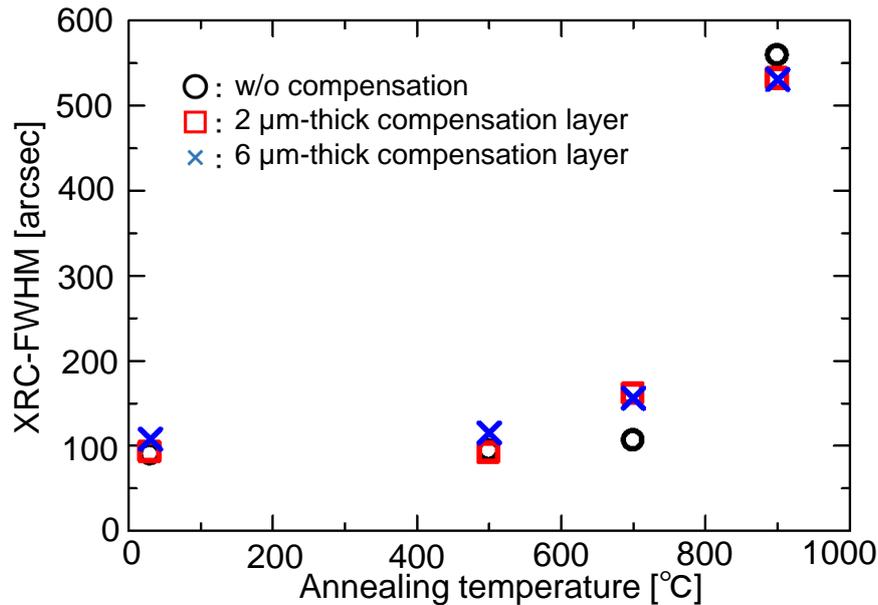


図 4.23 歪補償層を形成した Si/SiO₂/GaN-LED/Sapphire/SiO₂ 基板上的 Si デバイス層の XRC-FWHM における熱処理温度依存性

歪補償層による熱耐性への効果を評価するにあたり, Si/SiO₂/GaN/Sapphire 裏面に対して PECVD により SiO₂ を 2μm と 6μm 堆積させた試料を作製した. PECVD による SiO₂ の堆積条件は 2 章 2.2.3 節の表 2.2 を用いた. 熱耐性評価実験は, 先に述べた実験と同様に窒素雰囲気下で 500 °C, 700 °C, 900 °C で 10 分間等時熱処理を行い, 熱処理毎に XRD による Si 004 回折 XRC を測定した. 膜厚の異なる歪補償層を有する Si/SiO₂/GaN-LED/Sapphire/SiO₂ 基板の熱処理温度と XRC-FWHM の関係を図 4.23 に示す. 結果より歪補償層 2μm と 6μm の両試料において, 歪補償層が無い場合と同様に 900 °C で急激に XRC-FWHM が増加する傾向が観測された. また, どちらの基板においても Si デバイス層にクロスハッチ状の線状欠陥が確認できた. これらの結果から, 歪補償層の形成による Si デバイス層の熱耐性の向上は得られなかった. この原因としては図 4.21 にて解析したように基板曲率に対して Si デバイス層にかかる熱応力が変化していないことが考えられる. これにより, 熱膨張係数差に基づき発生する熱応力に起因した欠陥導入過程以外を議論する必要があることが分かった.

(2) Si デバイス層の薄膜化による Si/SiO₂/GaN-LED 構造の熱耐性への効果

表面活性化ウェハ接合において作製した Si/SiO₂/GaN/sapphire 構造は, 半導体ヘテロエピタキシーにおいて格子定数差の存在する系を指す, インコヒーレントな層構造に分類されるように見える [25]. しかしながら, Si/SiO₂ 界面に着目すると, SiO₂ はアモルファスであることから, 図 4.19 の光学顕微鏡下で観測された線状欠陥を格子不整合転位であると考えすることは出来ない. Si デバイス層膜厚がある値以上に大きくな

った場合、Si ナノ密着層近傍の再結晶化に伴って発生する転位群に関して、駆動力の力学的平衡 [26]あるいは蓄積されるエネルギーの平衡 [27]に基づく臨界膜厚の議論が適用出来る可能性がある。People と Bean のモデル [27]は、無転位状態のある層に蓄積される歪みエネルギーと転位が発生して緩和が行った場合の状態の歪みエネルギーが等しくなる膜厚として臨界膜厚を定式化しており、これは応力が発生する系であれば適用される。また、SOS 基板の Si デバイス層は一般的にミクロン又はサブミクロンサイズの MOS トランジスタを形成する上で、スケーリング則などの理由より 0.5 μm 以下の基板が用いられる [28] [29]。Abe ら [30]によると、SOS 基板における Si デバイス層膜厚が 2 μm 程度の場合に 900 °C の熱処理後において引張強度が低下することが確認されており、それに伴ってミスフィット転位やクラックが導入されることが報告されている。そこで、Si/SiO₂/GaN-LED 構造上の Si デバイス層における臨界膜厚を検討するために、薄膜化時の Si デバイス層の熱耐性の評価を行った。

まず、Si デバイス層厚さが 2 μm の Si/SiO₂/GaN-LED 基板を用意し、SF₆を用いた Si デバイス層のドライエッチングによって Si デバイス層膜厚の異なる 4 種類の Si/SiO₂/GaN-LED 基板を作製し、同様の熱耐性の評価を行った。表 4.6 に今回作製した Si/SiO₂/GaN-LED 基板の Si デバイス層の膜厚を示す。使用した容量結合型 RIE によるエッチング条件は、SF₆流量：10 sccm, APC：3 Pa, RF 電力：100 W で参考エッチングレートが 13 ~ 14 nm/sec である。4 種類の基板に関して熱耐性の評価を行った結果を図 4.24 に示す。XRC-FWHM の絶対値に違いに関わらず、全試料で 700 °C の熱処理により Si デバイス層の XRC-FWHM が増加する傾向が観測された。加えて、Si デバイス層を光学顕微鏡によって観察した結果、全試料にクロスハッチ状の線状欠陥が導入されているのが確認された。このとき、Si デバイス層の薄膜化に伴って線状欠陥密度の変化することが観測された。そこで、画像検査から線状欠陥密度の Si 膜厚依存性を調査した。表 4.6 に各試料に生じた線状欠陥の密度を示す。Si デバイス層の薄膜化に伴って線状欠陥密度は減少しており、2 μm から 0.47 μm まで薄膜化したことによって線状欠陥密度は約 1 桁低減している。このことから、熱処理で Si デバイ

表 4.6 Si デバイス層の薄膜化実験における膜厚設定値と実測値

Si device layer thickness on Si/SiO ₂ /GaN-LED wafer	
Target thickness [μm]	Actual thickness [μm]
1.25	1.20
1.00	0.97
0.75	0.71
0.50	0.47

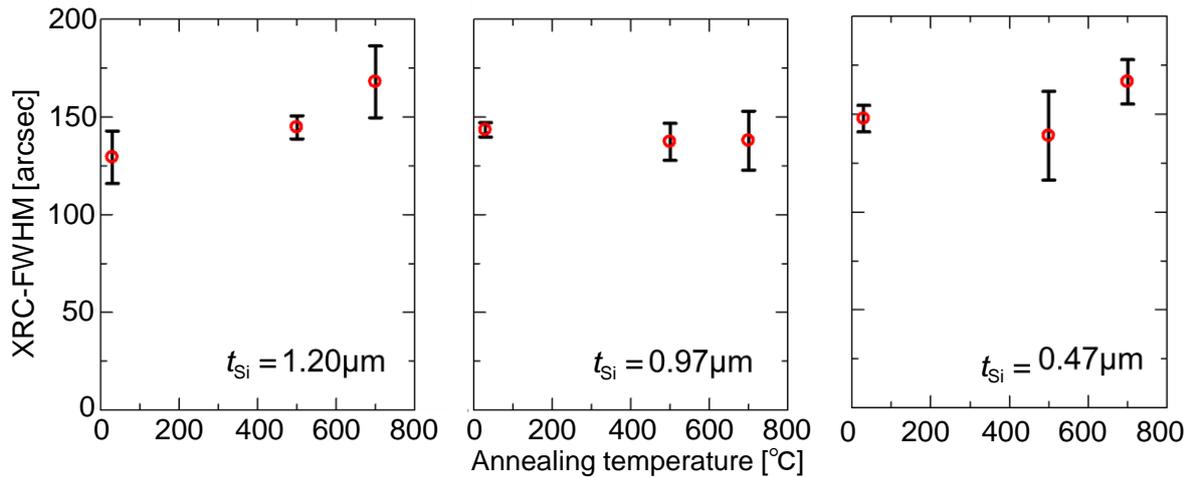


図 4.24 Si/SiO₂/GaN/Sapphire 構造における Si デバイス層膜厚を変化させた際の Si 004 回折 XRC-FWHM の熱処理温度依存性

表 4.7 熱処理時に Si デバイス層に導入された線状欠陥密度の膜厚依存性

Si device layer thickness [μm]	Line defects density [cm^{-1}]
2.0 (as-bonded)	1500~
1.20	583
0.97	330
0.71	200
0.47	133

ス層に発生する線状欠陥の発生は Si デバイス層膜厚に依存し、Si デバイス層を薄膜化することによって線状欠陥密度の低減が可能であることが分かった。この傾向は、臨界膜厚に関する一般的な挙動と一致しており、Abe ら [30]により報告された結果と極めて類似した傾向である。People ら [27]の報告に基づけば、Si デバイス層の膜厚が臨界膜厚を大きく超えた場合、900 °C 下で Si/SiO₂ 界面近傍の Si デバイス層に蓄えられた引張り歪は界面への転位ハーフループの導入に寄与することとなる。したがって、図 4.19(a)の光学顕微鏡写真下で観測された線状欠陥は転位ハーフループあるいはクラックであると推察される。

先に述べたドライエッチングによる Si/SiO₂/GaN-LED 基板上の S デバイス層の薄膜化の結果から、薄膜化により線状欠陥密度は低減できることが分かった。Si デバイス層の薄膜化においてドライエッチングを使用した場合、表面近傍の結晶性や表面平坦性の劣化が懸念される。そこで、Si デバイス層厚 340 nm の薄膜 SOI 基板を用いて表面活性化ウェハ接合により Si/SiO₂/GaN-LED 基板を作製した。基板作製工程に変更は

なく、SOI 基板と SiO₂/GaN-LED/Sapphire 基板の表面活性化ウェハ接合に行い、その後 Si 支持層と BOX 層を除去することで Si/SiO₂/GaN-LED 基板を作製した。基板作製後、同様の熱耐性の評価を行った。図 4.25 に Si デバイス層膜厚が 2 μm (図 4.18 と同データ) と 340 nm の時の XRC-FWHM の熱処理温度依存性を示す。縦軸は熱処理温度に対する変化を明確にするために室温で測定された XRC-FWHM によって規格化を行った値を示している。結果から、Si デバイス層厚さを 340 nm とした場合 900°C の熱処理後においても XRC-FWHM の増加は観測されなかった。図 4.26 に 900 °C の熱処理前後における Si デバイス層表面の光学顕微鏡写真を示す。熱処理後においても線状欠陥は確認出来ないことから、Si/SiO₂/GaN-LED 基板上的 Si デバイス層厚を 340 nm とすることにより、モノリシック集積工程で要求される 900°C における熱耐性を保証出来ることが分かった。また、工程温度を 900 °C 以上に上げたい場合には、Si デバイス層の膜厚を薄膜化方向に検討すれば対応可能であると言える。

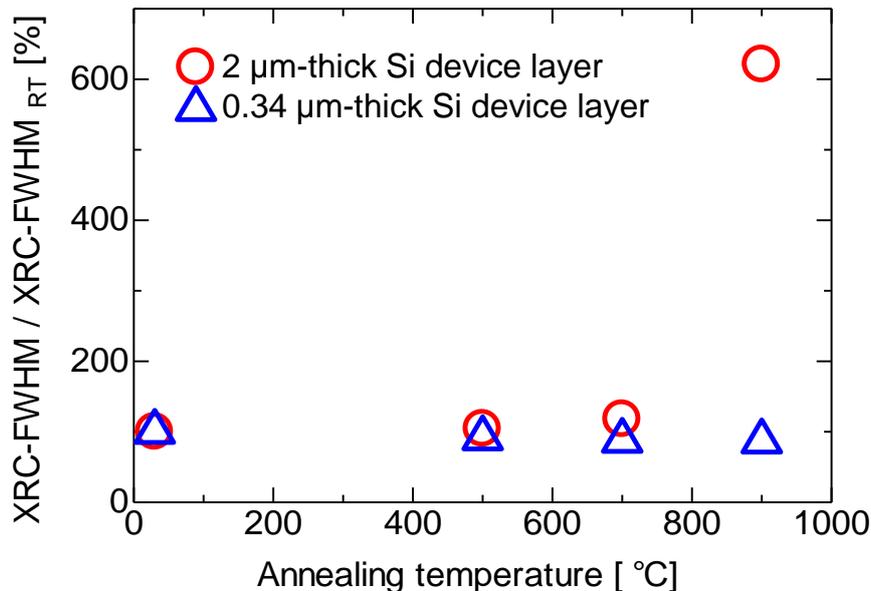


図 4.25 Si/SiO₂/GaN/Sapphire 構造における Si デバイス層膜厚を 2 μm または 340 nm とした時の Si 004 回折 XRC-FWHM の熱処理温度依存性

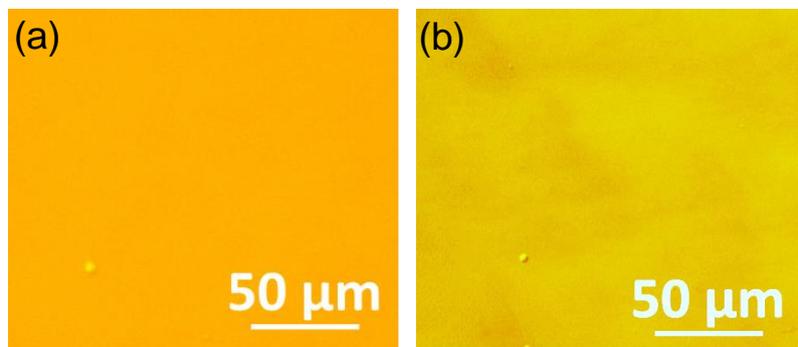


図 4.26 900 °C の熱処理前後における Si/SiO₂/GaN-LED 基板上的厚さ 340 nm の Si デバイス層表面の光学顕微鏡写真。(a)熱処理前、(b)熱処理後

Si/SiO₂/GaN/Sapphire 構造の臨界膜厚は 340 nm 程度であることが実験的に明らかとなったので、次に Si デバイス層の臨界膜厚に関する理論的な考察を行った。先に述べたように厚膜基板上の薄膜に応力がかかる系では、その臨界膜厚 h_c は次のように定式化された People-Bean のエネルギー平衡モデル [27]が適用出来る。

$$h_c \cong \left(\frac{1-\nu}{1+\nu} \right) \left(\frac{1}{16\pi\sqrt{2}} \right) \left[\frac{b^2}{a_{Si,T=880K}} \right] \left[\left(\frac{1}{\varepsilon^2} \ln \left(\frac{h_c}{b} \right) \right) \right] \quad (4.14)$$

ここで、 ν 、 b 、 a および f はそれぞれポアソン比、バーガスベクトル(≈スリップ距離)、格子定数および歪(≈格子不整合度)である。まず、歪の算出を行う。Si デバイス層においてせん断応力が生じていない 1 軸異方性歪を考えた場合、応力 σ と歪 ε は弾性定数 C_{ij} を用いて

$$\begin{pmatrix} \sigma_{xx} \\ \sigma_{yy} \\ 0 \end{pmatrix} = \begin{pmatrix} C_{11} & C_{12} & C_{12} \\ C_{12} & C_{11} & C_{12} \\ C_{12} & C_{12} & C_{11} \end{pmatrix} \begin{pmatrix} \varepsilon_{xx} \\ \varepsilon_{yy} \\ \varepsilon_{zz} \end{pmatrix} \quad (4.15)$$

と表される。界面に対して平行な成分に関して $\sigma_{xx}=\sigma_{yy}=\sigma_{//}$ とすると、(4.15)式を展開することにより

$$\varepsilon_{zz} = -2 \frac{C_{12}}{C_{11}} \varepsilon_{//} \quad (4.16a)$$

$$\varepsilon_{//} = \frac{\sigma_{//}}{C_{11}^2 + C_{11}C_{12} - 2C_{12}^2/C_{11}} \quad (4.16b)$$

となる。文献 [13]より 880 K での C_{11} および C_{12} はそれぞれ 152.5 および 54.9 GPa であるから、(4.16b)の右辺分母は 167.8 となる。Si/SiO₂/GaN/Sapphire 構造において Si デバイス層に加わる応力は図 4.21 に示したように 0.44 GPa と求まっているので、この値を $\sigma_{//}$ として(4.16b)に代入して $\varepsilon_{//}$ を求めると、約 0.30%となる。(4.14)式において $a = 5.44 \text{ \AA}$ 、 $\nu = 0.28$ 、 $b = 4 \text{ \AA}$ [27]³として臨界膜厚 h_c を計算した結果を図 4.27 に示す。また、Moridi ら [31]が報告している SOS 基板における Si 層内の応力値≈0.7 GPa @880K を用いて算出した歪 $\varepsilon_{//} = 0.42\%$ のときの結果についても図 4.27 に示す。結果から、 $\varepsilon_{//} = 0.3\sim 0.42\%$ で h_c は 2.2~0.9 μm となった。あらためて Abe ら [30]によると、SOS 基板における Si デバイス層膜厚が 2 μm 程度の場合に 900 °C の熱処理後においてミスフィット転位が導入され引張強度が低下することが確認されている。これは上で導出

³ 参照元は文献 [34]で、Si および SiGe 系で典型的なスリップの面方位は[111]で方向は<110>であるため、スリップ間隔を格子定数の $1/\sqrt{2}$ 程度と仮定する

した理論的な臨界膜厚とおおよそ一致しており、計算結果の妥当性を裏付けるものと考えられる。一方で、Si/SiO₂/GaN/Sapphire 構造の実験的に求めた臨界膜厚値 340 nm とは 0.5 μm 以上も異なっていることも分かった。この差の原因としては次のことが考えられる。(I)Si 層内の残留応力：ウェハ接合により Si/SiO₂/GaN/Sapphire 構造を作成する時、接合の段階ではほぼ曲率半径は大きくほぼ反りの無い状態であるが、Si デバイス層の薄膜化後には曲率半径は約 3~4 m 程度（上に凸）まで小さくなるため、室温段階で無歪状態を仮定した図 4.21 の計算結果と差異が生じると考えられる。(II)接合界面の欠陥の寄与：理論計算では結晶格子に格子欠陥等が含まれていない理想的な状況を仮定して解いているが、ウェハ接合界面には 20 nm 程度のアモルファス Si 層が形成されているため、欠陥の存在に起因した応力集中効果によって容易に転位が導入されてしまう [32]可能性がある。(I)に関しては、接合後の Si デバイス層に導入されている真性応力の測定と多層構造にかかる熱応力を有限要素法ベースのシミュレータにより解析する等して、高温下で実際に Si デバイス層に印加されている応力をより正確に見積もる必要がある。(II)に関しては、接合前の SOI 基板表面をわずかに酸化させてアモルファス Si 層と Si デバイス層を切り離す等の工夫が必要である。また、Abe ら [33]の SOS 基板作製に関わる実験結果は接合界面に存在する空隙がミスフィット転位の発生起点となり得ることを示唆している。4.4 節にてその重要性を指摘したようにウェハ接合前の表面平坦性は接合界面の空隙と密接に関係するため、ウェハ接合前の基板表面の平坦性確保が Si デバイス層にかかる歪の観点から見ても重要になると考えられる。

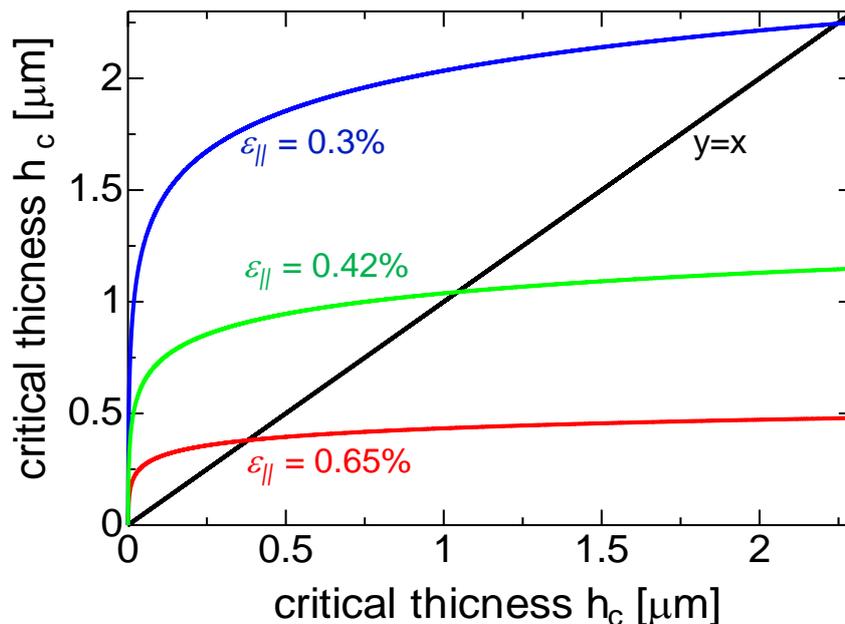


図 4.27 People-Bean モデルによる Si/SiO₂/GaN/Sapphire 構造上の Si デバイス層の図的解法の実施結果。y = x の黒実線と各色実線の交点が各歪における臨界膜厚となる。

4.6 結言

本章では、表面活性化ウエハ接合による Si/SiO₂/GaN-LED 基板の作製方法とモノリシック集積工程の実施を前提とした Si デバイス層の熱耐性の評価を行った。

はじめに、表面活性化ウエハ接合の基礎的条件を明らかとするために、表面平坦性の異なる n-GaN/Sapphire 基板と GaN-LED 基板を用意し、接合荷重を変化させて Si 基板に張り合わせた際の接合面積を評価した。その結果、接合荷重を大きくすることにより空隙面積が低減することを確認した。接合荷重の印加による GaN 表面のダメージについて、接合工程を経た GaN-SBD の障壁高さおよび理想因子、生成再結合電流を指標として、GaN 表面の欠陥評価を行った。その結果、本研究で使用した接合装置系で可能な最大化接合荷重を印加した場合でも、障壁高さおよび理想因子に変化が生じず、表面活性化ウエハ接合を用いた Si/SiO₂/GaN-LED 基板の作製工程において、GaN 表面に点欠陥や転位等を含む物理的損傷は本研究で想定するデバイスサイズでは大きな影響を示さないことを示した。

以上の基礎的なウエハ接合条件を基に、SOI 基板と SiO₂/GaN-LED 基板の表面活性化ウエハ接合を行い、Si 支持層および BOX 層を除去することによって Si/SiO₂/GaN-LED 基板を作製した。断面 TEM 観察の結果から、Si/SiO₂/GaN-LED 構造中に積層欠陥や転位等の導入は観測されなかった。その一方で、Si 004 回折 XRC-FWHM の評価結果は、Si デバイス層の結晶性が劣化する傾向を示した。そこで、CMP 加工によって表面平坦性の異なる SiO₂/GaN-LED 基板を用意し、表面活性化ウエハ接合によって Si/SiO₂/GaN-LED 基板を作製した。その結果、CMP 加工を行うことで Si デバイス層の FWHM が SOI 基板上の Si デバイス層の値まで改善されることが分かった。この結果に関して、接合界面の凹凸と空隙の補償条件を Si デバイス層の弾性変形の観点から考察した結果、観測された接合界面の空隙と結晶軸の傾斜を考えたモデルを仮定することにより、接合前基板表面の平坦性と転写された Si デバイス層の結晶性の関係性を説明できることが分かった。

モノリシック集積工程を設計するための Si/SiO₂/GaN-LED 構造の熱耐性を検討した。GaN-LED 基板に対して 900 および 1000 °C にて 30 分から 8 時間の熱処理を行った際の室温 PL 測定を行った。その結果、1000 °C の熱処理では 30 分間でもピーク PL 強度が 7 割近く減衰し、2 時間以上ではほとんど青色の発光が観測出来なかった。その一方で、900 °C の熱処理では 30 分後で 2~3 割程度のピーク PL 強度の減衰に留まったことから、モノリシック集積工程の許容熱履歴を 900 °C 30 分未満と定めた。Si/SiO₂/GaN-LED 基板上の Si デバイス層の熱耐性を評価するために、窒素雰囲気下にて 500, 700, 900 °C で 10 分間の等時熱処理を行い、各熱処理後に XRD 測定を行った。その結果、900 °C の熱処理後において 600 %にまで達する顕著な XRC-FWHM の増加と Si デバイス層への線状欠陥の導入が観測された。これに関して、歪補償層および

臨界膜厚の観点から熱耐性の向上を検討した結果、Si デバイス層の薄膜化が最も熱耐性の向上に対して有効であることが見出された。その検討結果を踏まえて、Si デバイス層膜厚を 340 nm とした Si/SiO₂/GaN-LED 基板を作製し同様の熱耐性評価を行った結果、900 °C の熱処理後においても XRC-FWHM は変化せず、Si デバイス層に対して線状欠陥は導入しないことが確認された。このことから、Si デバイス層厚を 340 nm 以下まで薄膜化することにより集積回路作製工程間での Si デバイス層の結晶性を保証可能であることが分かった。

引用文献

- [1] Y. Furukawa, H. Yonezu, Y. Morisaki, S.Y. Moon, S. Ishiji, and A. Wakahara, *Jpn. J. Appl. Phys.* **45**, L920 (2006) .
- [2] K. Yamane, K. Noguchi, S. Tanaka, Y. Furukawa, H. Okada, H. Yonezu, and A. Wakahara, *Appl. Phys. Express* **3**, 074201 (2010)..
- [3] R. Kondou, C. Wang, A. Shigetou, and T. Suga, *Microelectro. Reliab.* **52**, 342 (2012).
- [4] C. Wang, E. Higurashi, and T. Suga, *Jpn. J. Appl. Phys.* **47**, 2526 (2008).
- [5] 小間篤, 白木靖寛, 斎木幸一郎, 飯田厚夫 共著, "シリコンの物性と評価方法", 丸善 (1987).
- [6] 株式会社新陽 公開データ, <http://www.sinyo.jp/products/silicon/index.html>, 最終アクセス確認日 2016/12/1.
- [7] 京セラ株式会社, 単結晶サファイア公開資料,
<http://www.kyocera.co.jp/prdct/fc/product/pdf/tankessho>, 最終アクセス確認日 2016/12/1.
- [8] 日本機械学会 編著, "機械工学便覧基礎編 α3 材料力学", 日本機械学会 (2005).
- [9] Q. -Y. Tong, E. Schmidt, and U. Gosele, *Mater. Chem. Phys.* **37**, 101 (1994).
- [10] T. -K. Chuang, A. Usenko, and J. S. Cites, *ECS Trans.* **33**, 501 (2010).
- [11] R. Kondo and T. Suga, *Scripta Materialia* **65**, 320 (2011).
- [12] C. Wang, and T. Suga, *J. Electrochemical Soc.* **158**, H525 (2011).
- [13] *New Semiconductor Materials: Characteristics and Properties*,
<http://www.ioffe.ru/SVA/NSM/>, 最終アクセス確認日 2016 年 12 月 20 日.
- [14] C. Lee, H. Sekiguchi, H. Okada, and A. Wakahara, *Jpn. J. Appl. Phys.* **51**, 076503 (2012).
- [15] P. Hacke, T. Detchprohm, K. Hiramatsu, and N. Sawaki, *Appl. Phys. Lett.* **63**, 2676 (1993).

- [16] F. Secco d'Aragona, *J. Electrochem. Soc.* **119**, 948 (1972).
- [17] 中島健次, 渡辺行彦, 吉田友幸, 光嶋康一, 豊田中央研究所 R&D レビュー **35**, 51 (2000).
- [18] J. Chaudhuri, M. H. Ng, D. D. Koleske, A. E. Wickenden, and R. L. Henry, *Mater. Sci. Eng. B* **64**, 99 (1999).
- [19] K. M. Chen, Y. H. Yeh, Y. H. Wu, C. H. Chiang, D. R. Yang, C. L. Chao, T. W. Chi, Y. H. Fang, J. D. Tsay, and W. I. Lee, *J. Cryst. Growth* **312**, 3574 (2010).
- [20] H. Takagi, R. Maeda, T. R. Chung, N. Hosoda, and T. Suga, *Jpn. J. Appl. Phys.* **37**, 4197 (1998).
- [21] U. Gösele, Q. Y. Tong, A. Schumacher, G. Kräuter, M. Reiche, A. Plößl, P. Kopperschmidt, T. H. Lee, and W. J. Kim, *Sens. Actuators* **74**, 161 (1999).
- [22] 浦上法之, 豊橋技術科学大学 博士学位論文, (2015).
- [23] Z. Feng, H. Liu, *J. Appl. Phys.* **54**, 83 (1983).
- [24] 藤本一男, 西田進, 中村一平, 本田秀行, 木村定雄 共著, "基礎から学ぶ構造力学", 森北出版 (2005).
- [25] 西永頌 著, "結晶成長", 朝倉書店 (2014).
- [26] J. W. Mathews and A. E. Blakeslee, *J. Cryst. Growth* **27**, 118 (1974).
- [27] R. People and J. C. Bean, *Appl. Phys. Lett.* **47**, 322 (1985).
- [28] D. Kahng, "Silicon integrated circuits : pt. A", Academic Press (1981).
- [29] H. W. Lam and M. J. Thompson, " Comparison of thin film transistor and SOI technologies", *MRS symposia proceedings* **33**, North Holland (1984).
- [30] T. Abe, K. Sunagawa, A. Uchiyama, K. Yoshizawa, and Y. Nakazato, *Jpn. J. Appl. Phys.* **32**, 334 (1993).
- [31] A. Moridi, H. Ruan, L. C. Zhang and M. Liu, *Inter. J. Solids and Struc.* **50**, 3562 (2013).
- [32] 横堀武夫 著, 材料強度学第 2 版, 岩波書店 (1974) .
- [33] T. Abe, K. Ohki, A. Uchiyama, K. Nakazawa and Y. Nakazato, *Jpn. J. Appl. Phys.* **33**, 514 (1994).
- [34] S. P. Timoshenko and N. J. Goodier, *Theory of Elasticity* : McGraw-Hill, 1982.

第5章 Si/SiO₂/GaN-LED 基板を用いた GaN-LED および Si-MOSFET のモノリシック集積

5.1 序言

豊橋技術科学大学光電子集積グループにおいて、2007年までに光電子集積回路 (optoelectronic integrated circuit : OEIC) テストチップとして Si/III-V-N/Si 構造を利用した MOSFET と LED の試作が行われてきた [1]. また, Yamane ら [2]により無転位 Si/III-V-N/Si 結晶成長技術が確立され, その構造を利用した 1 ビットカウンタ回路が実証された. これらは, 限界を迎えつつある集積回路技術のブレークスルーとして期待される超大規模光電子融合チップの実現に向けた最初の一步と位置付けられる. 本研究では, アプリケーションの拡張性や母材の熱耐性を念頭に窒化物半導体を発光層に採用した Si/SiO₂/GaN-LED 構造を提案し, 第4章では表面活性化ウェハ接合技術を用いた高結晶性の基板を実現した.

本章では, Si/SiO₂/GaN-LED 構造の熱耐性を基としてモノリシック集積プロセスの基本フレームを設計し, モノリシック OEIC の基本単位回路となる LED 駆動用回路の実証を行うことを目的とした.

5.2 Si/SiO₂/GaN-LED 基板を用いた GaN-LED と Si-nMOSFET のモノリシック集積工程の考案と実証

4章にて行った Si/SiO₂/GaN-LED 基板の熱履歴に関する検討結果から, 900 °C 30分未満の工程温度設計を行えば GaN-LED の発光特性の致命的な劣化を免れられることが分かった. Furukawa ら [1]は, イオン注入後の結晶損傷回復アニールとゲート酸化膜の形成を兼ねることにより, Si/III-V-N/Si 構造上に 900 °C 10分間の熱履歴で pMOSFET が作製可能であることを報告している. そこで次に, 実際に GaN- μ LED と Si-nMOSFET のモノリシック集積工程の検討を行った. 本研究にて考案した p-Si/SiO₂/GaN-LED 構造を用いた Si-nMOSFET および GaN- μ LED のモノリシック集積工程は以下の通りである. 作製した p-Si 層のベース濃度は約 10^{15} cm^{-3} である. まず, 初期基板について硫酸過酸化水素水・アンモニア過水・王水・弗酸による初期洗浄を行った後 (図 5.1 (a)), PECVD によって厚さ 600 nm のフィールド酸化膜を形成する (図 5.1 (b)). 次に, P (リン) と B (ボロン) のイオン注入を行う. この時のドーズ量および加速電圧はどちらも $4 \times 10^{15} \text{ cm}^{-2}$ および 30 keV とした. 続いて, ウェット酸化法によって 900 °C 15分間のゲート酸化を行い, 約 22 nm の熱酸化膜を形成する (図 5.1 (c)). 次に, SF₆系ドライエッチングおよび BHF によって Si デバイス層および中間絶縁膜を選択的に除去し, GaN-LED 部分を開口する. その後, Cl 系 ICP-RIE によって素子分離を行い, n 電極として Ti/Al/Ti/Au 構造を, p 電極として Ni/Ag/Ni 構造を

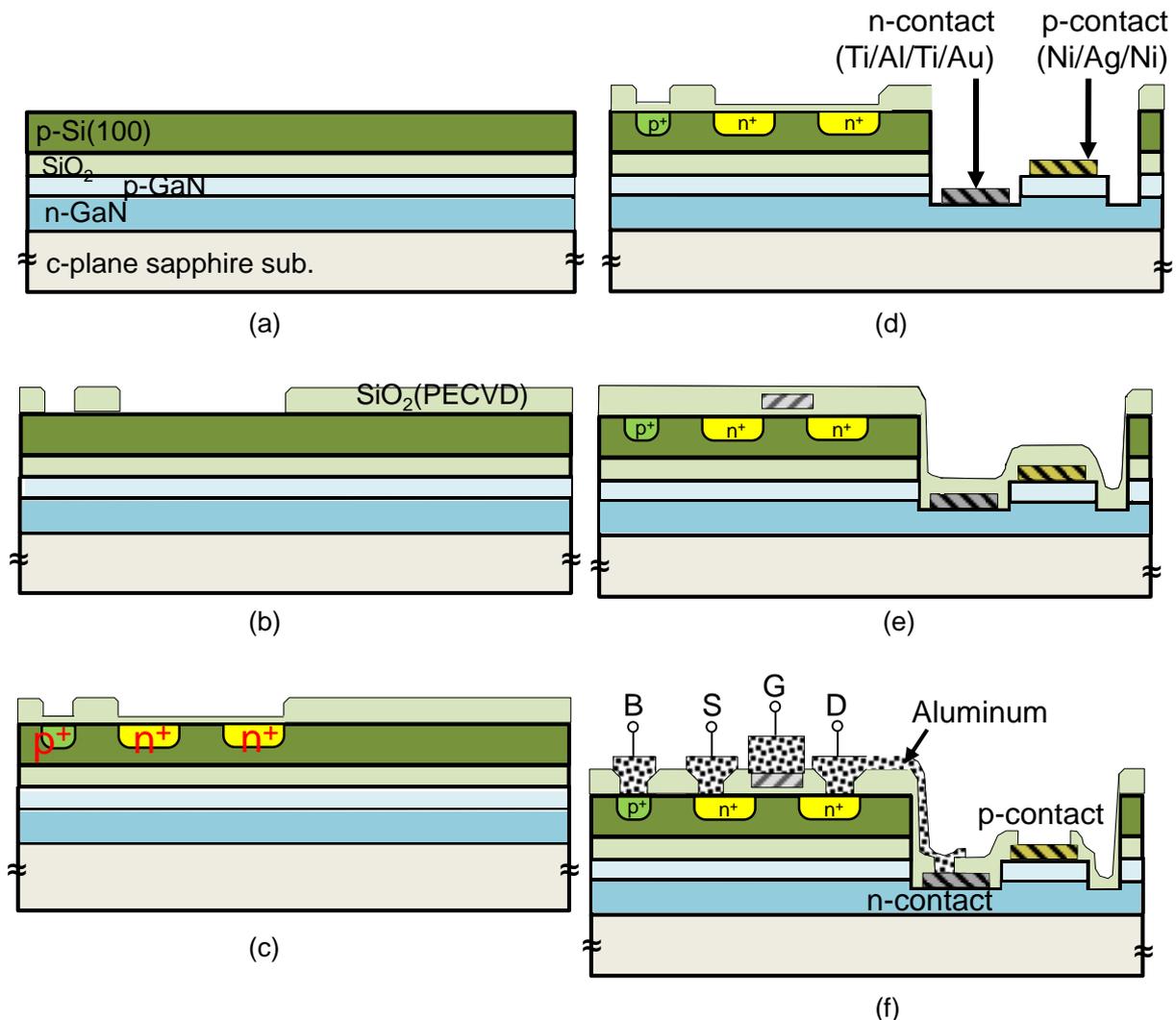


図 5.1 Si/SiO₂/GaN-LED 構造を用いた Si-nMOSFET および GaN-μLED のモノリシック集積工程の概略図. (a) 初期状態, (b) PECVD によるフィールド酸化膜の堆積と BHF によるアクティブ領域の開口, (c) ソース・ドレイン・ボディ領域形成のための P および B のイオン注入とウェット酸化法によるゲート酸化膜形成, (d) SF₆ ドライエッチングおよび BHF による LED 形成部の開口と LED 作製工程 (素子分離, n 電極および p 電極), (e) Al ゲート電極の形成と PECVD による表面パッシベーション, (f) 各部コンタクトホール開口とスパッタ法により堆積した Al:Si のパターニングによる配線形成

リフトオフ法によって形成する. n 電極は窒素雰囲気下にて 750 °C で, p 電極は窒素酸素混合雰囲気にて 500 °C で熱処理を行う (図 5.1 (d)). 続いて, MOSFET のゲート電極として Al をリフトオフ法により形成し, PECVD によって厚さ 300 nm の SiO₂ を基板表面全体に堆積する (図 5.1 (e)). その後, ゲート・ソース・ドレイン領域および n 電極部分のコンタクトホールを開口し, RF スパッタ装置によって厚さ約 600 nm の Al:Si を堆積する. 最後に, Cl₂ ドライエッチングによって Al:Si をパターニングし, p 電極のコンタクトホールを形成した (図 5.1 (f)). 集積された GaN-μLED のサイズは 30 × 30 μm² で, GaN-μLED に接続された Si-nMOSFET のゲート幅 W とゲート長 L は

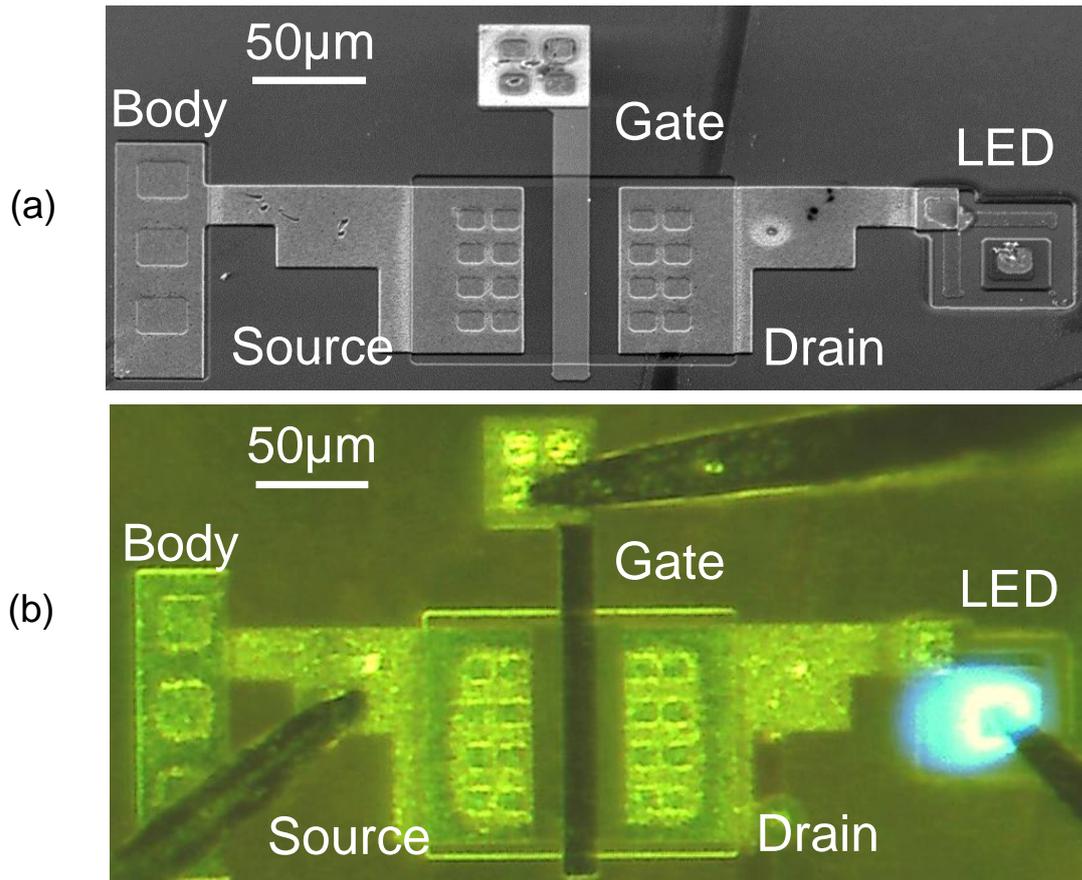


図 5.2 (a) Si/SiO₂/GaN-LED 基板上にモノリシック集積された GaN-μLED 用駆動回路の鳥瞰 SEM 像，および(b) GaN-LED 駆動回路を動作させた状態下での顕微鏡像

それぞれ 100 μm および 10 μm である。GaN-μLED の駆動回路に加えて，test element group (TEG) として配線されていない単独の μLED と nMOSFET が同一チップ上に形成される。

図 5.2(a)に試作した Si-nMOSFET と GaN-LED が直列的に接続された駆動回路部の鳥瞰 SEM 像を示す。30×30 μm² の LED のカソードと W/L=100/10 μm の nMOSFET のドレインが直列に接続されているのが分かる。図 5.2(b)に作製した GaN-LED 駆動回路の駆動時の顕微鏡像を示す。図 5.2(b)では，nMOSFET のゲートおよび LED の p 電極に+5V を印可，ソースおよびボディは接地状態となっている。先行研究 [2]で見られたような LED 部以外の発光は観測されなかった。このことから，中間絶縁層の形成による Si デバイス層から LED 層への電流リークパスの抑制が発光部の制御に効果的であることが分かった。

4 章 4.5 節にて検証した Si デバイス層の熱耐性に関して，考案したモノリシック集積工程後において Si デバイス層の結晶性の劣化が無いことを確認するために，断面 TEM 観察と Secco エッチング [3]によるエッチピッド密度の評価を行った。Secco エッチング溶液は 0.15 M K₂Cr₂O₇ : 49 % HF=1 : 2 の条件で作製した。図 5.3(a)に Si デバイス層付近の断面 TEM 像を示す。モノリシック集積工程後においても，Si デバイス

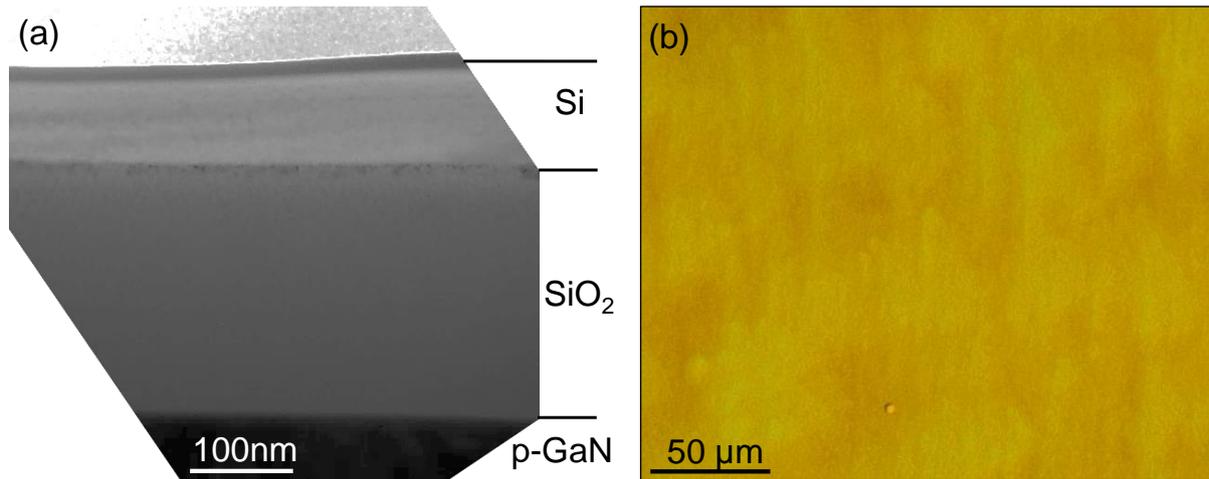


図 5.3 (a)考案した Si-nMOSFET および GaN- μ LED のモノリシック集積工程後の Si デバイス層近傍の断面 TEM 像, (b)Secco エッチングによる

層内に積層欠陥や転位等は観測されなかった. 図 5.3(b)には Secco エッチング後の Si 層表面の光学顕微鏡写真を示す. 観察範囲内において, Nakajima ら [4]が報告しているような積層欠陥を示す像は観察されなかった. このことから, Si デバイス層の熱耐性を薄膜化によって確保することで, 許容熱履歴内で実施するモノリシック集積工程後においても, 積層欠陥や転位等が導入されていないことが確認された.

5.3 Si/SiO₂/GaN-LED 基板上の各デバイスの静特性および動特性評価

5.3.1 静特性

TEG として作製した単独の Si-nMOSFET ($W/L = 100/10 \mu\text{m}$) の I_D - V_{DS} 特性および I_D - V_{GS} 特性を図 5.4(a)および(b)に示す. nMOSFET の I_D - V_{GS} 特性から見積もられる閾値電圧は約 0.8 V で, $V_{DS}=5\text{V}$ のときの相互コンダクタンスは 0.62 mS/mm であった. 結果から, Si/SiO₂/GaN-LED 基板上への集積においても非常に典型的な nMOSFET の精特性が得られることが確認された. 同程度のベース濃度の p 型 Si 基板に対して同工程条件にて Si-nMOSFET を作製した結果, 立ち上がり電圧は約 1.0 V となることが分かった. これは, Si-nMOSFET の作製工程間で GaN 表面の露出を回避出来るように工程および基板構造を設計したことによる効果であると考えられ, 使用した Si デバイス層のベース濃度から考えて汚染の度合いは最大でも 10^{15} cm^{-3} 未満であると考えられる. 以上のことから, Si/SiO₂/GaN-LED 基板を用いた場合においても, GaN 層からの汚染を起源とする Si-MOSFET の静特性への影響は小さいものと考えられる.

図 5.5(a)に Si-nMOSFET とは接続されていない単独の GaN- μ LED の電流密度-電圧特性および電流密度-発光出力特性を示す. 図 5.5(a)より, ピーク外部量子効率約 6.7%, 立ち上がり電圧は約 3 V と算出された. 青線にて示されているように注入電流値の低い領域で線形的に光出力は増加し, 高い領域で光出力は非線形的に増加する効率ドロー

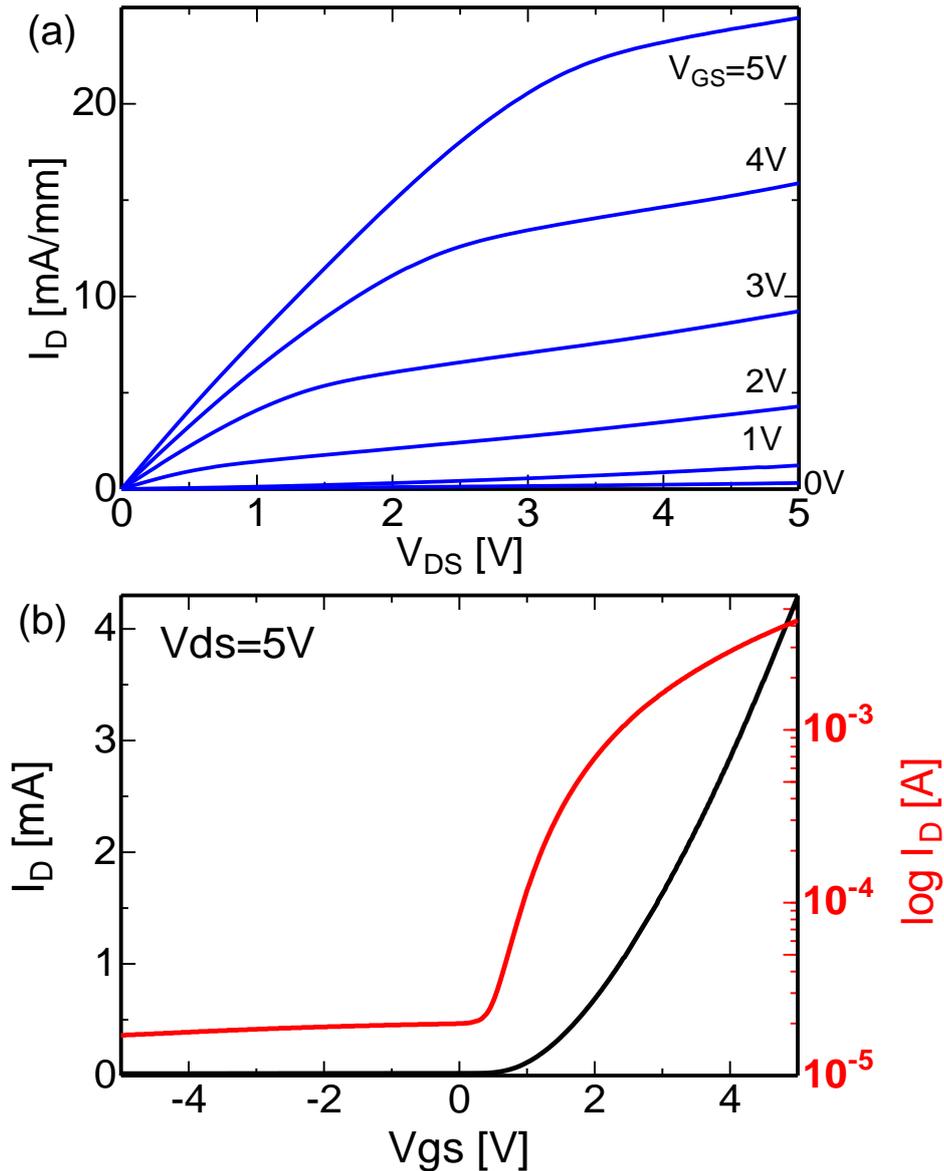


図 5.4 Si/SiO₂/GaN-LED 基板の上に集積した W/L = 100/10 μm の Si-nMOSFET の(a) I_D - V_{DS} 特性および(b) I_D - V_{GS} 特性

プ現象が明瞭に観測されており，一般的な GaN-LED で観測される傾向が本デバイスにおいても観測されることが分かった．図 5.5(b)に集積した GaN- μ LED の $100\text{A}/\text{cm}^2$ 注入時の EL スペクトルを示す．結果から，発光ピークおよび発光半値全幅 (FWHM) はそれぞれ約 457 nm および約 22 nm であった．GaN-LED 基板の上に作製した μ LED の EL スペクトルを同図(b)に黒線で示した．GaN-LED 基板の上に作製した μ LED の EL スペクトルから求められた発光ピークおよび FWHM は約 462 nm および 22 nm であった．このことから，FWHM には違いが無いが，発光ピークにわずかな青色遷移が生じていることが分かった．本作製に用いた波長 460 nm の GaN-LED を用いた微細化において，3.3 節にて述べたように， $30 \times 30 \mu\text{m}^2$ 相当のサイズに対応する GaN- μ LED のピーク外部量子効率 は面内分布を踏まえても 8~10% の範囲内となるのが典型である．それ

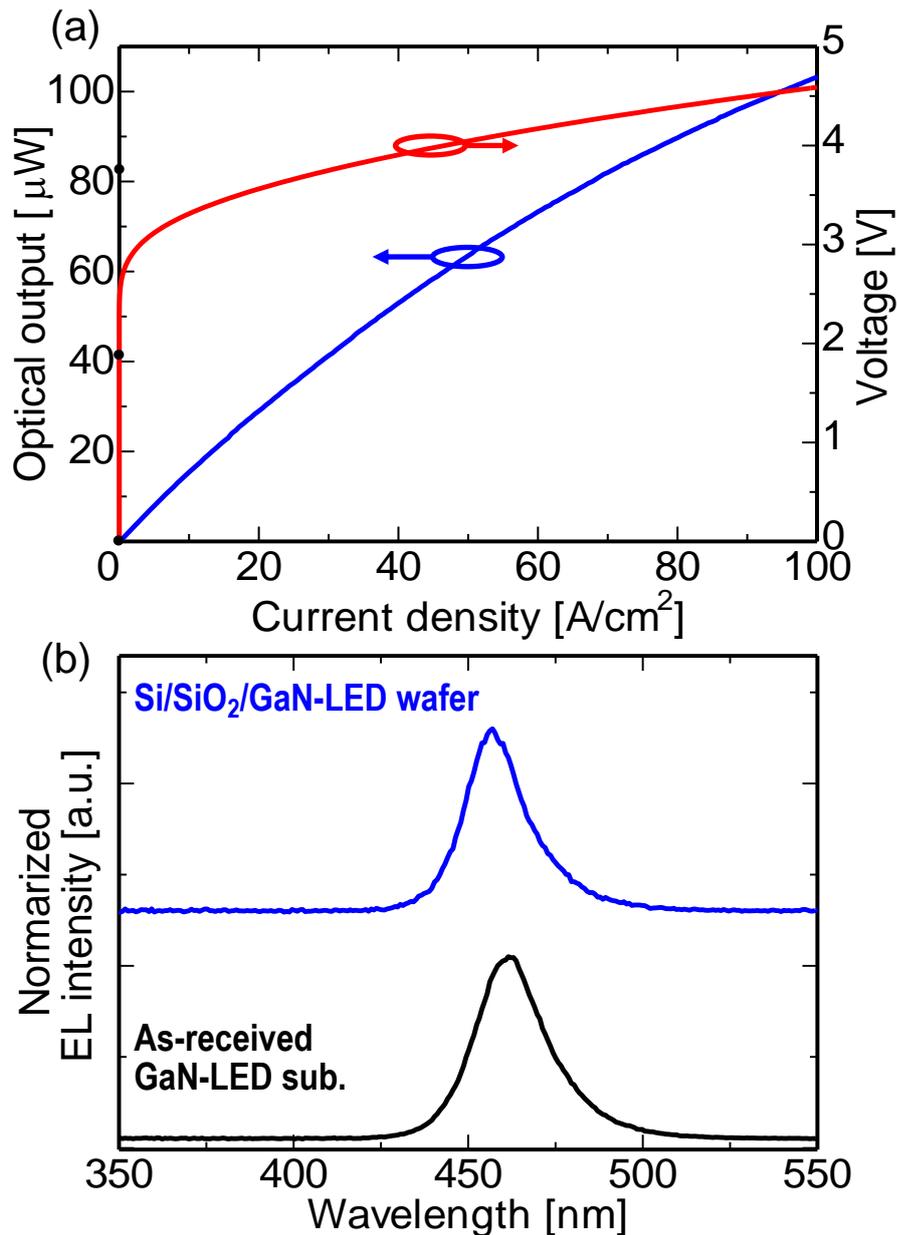


図 5.5 Si/SiO₂/GaN-LED 基板の上に集積した 30×30 μm² の GaN-μLED の(a)電流密度－電圧特性および電流密度－発光出力特性および(b) EL スペクトル

と比較すると、5 nm 程度の青色遷移に加えて、1.3~3%程度のピーク外部量子効率の低下が今回の作製において生じている。5.5.1 節にて示したように、900 °C 15 分間の熱処理によって室温 PL 測定における発光強度は～2 割程度低下する傾向となることが予想されるが、これを単純な内部量子効率の低下と見なすならば、得られた外部量子効率の 2 割程度の低下と一致する。いずれにしても、高温工程による影響を示唆するものと考えられる。

InGaN 系の量子井戸の場合、In 組成の不均一性に起因した低エネルギーの局在準位への励起子のエネルギー緩和により貫通転位等の非発光性再結合中心の影響が低減されるため、内部量子効率はある In 組成までは向上する傾向となる。900 °C 15 分間の熱処理によって InGaN/GaN MQW 面内で原子・分子の熱拡散に起因した局所的な組

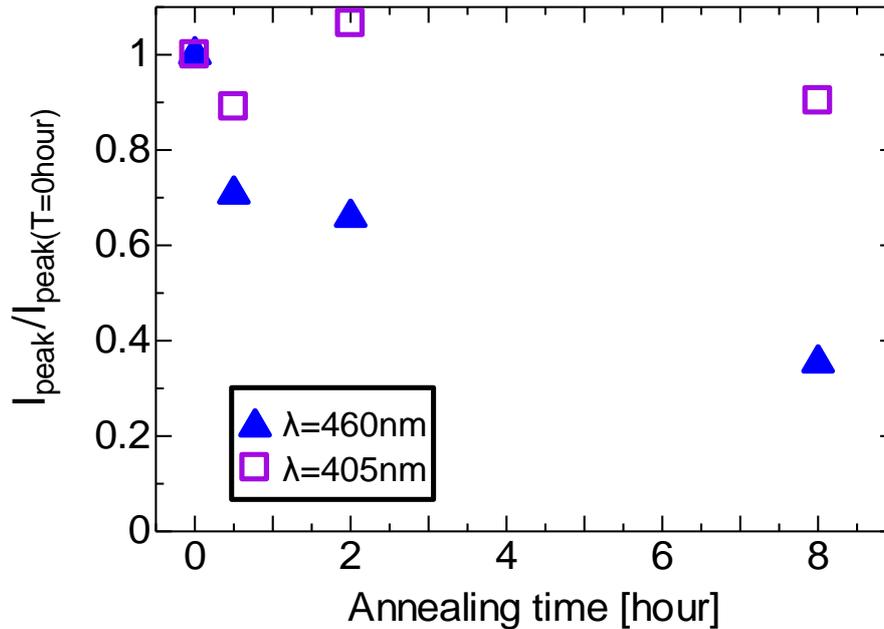


図 5.6 波長の異なる GaN-LED 基板を用いて熱処理を行った際のピーク PL 強度の熱処理時間依存性

成変化が生じたと仮定すると、In 組成の不均一性に起因した低エネルギーの局在準位の揺らぎが解消あるいは In 組成が高い部分から熱的にダメージを受けることが予想されるため、青色遷移とピーク外部量子効率の低下は両方とも熱工程による影響であると推察される。単にこの影響を回避することを考えた場合、工程熱履歴の縮小、あるいは GaN-LED の短波化（低 In 組成化）が挙げられる。そこで、波長 405 nm の GaN-LED 基板を用意し、4.5.1 節で波長 460 nm の GaN-LED 基板に対して行った熱耐性の評価を行った。得られた PL スペクトルの内、未処理の GaN-LED 基板のピーク PL 強度を熱処理時間 0 時間の時のデータとし、各熱処理時間でのピーク強度を規格化してプロットしたものを図 5.6 に示す。波長 405 nm の GaN-LED 基板の場合、熱処理時間に対してピーク強度はほとんど変化していない。このことから、工程熱履歴の拡大が見込まれる。特に工程時間が長くなるドライ酸化工程の導入が可能となることや、各 well 層の作製も視野に入ることから、波長 405 nm の GaN-LED 基板を用いれば CMOS 混載も現実的なものと考えることが出来る。

5.3.2 動特性

各デバイスの動特性は、矩形波パルスを用いた入出力応答特性を測定によって評価を行った。高周波プローバシステムを用いて TEG の Si-nMOSFET のパルス入出力応答特性を評価するために構成した測定系の概要を図 5.7 に示す。測定系は基本的に SMA ケーブルを用いて構成した。ファンクションジェネレータは NF 製 WF1943, オシロスコープはテクトロニクス製 TDS3034B (300MHz 帯域) を用いた。図 5.8 に 1MHz 時の入出力応答波形を示す。ドレイン電流の立ち上がりおよび立ち下がり付近に高周波の発振波形が観測された。W 製の探針を使用したプローバシステムの場合、インピーダンス整合を厳密にとることは難しい。そのため、高入力インピーダンスのゲート部分からの反射によってリングング現象が生じることが回避できない。それを踏まえると観測された発振波形は測定系由来のリングング現象に起因したものと推察される。入出力応答波形の追従性に注目すると、1MHz においてもオン/オフの追従性は良好であると言える。

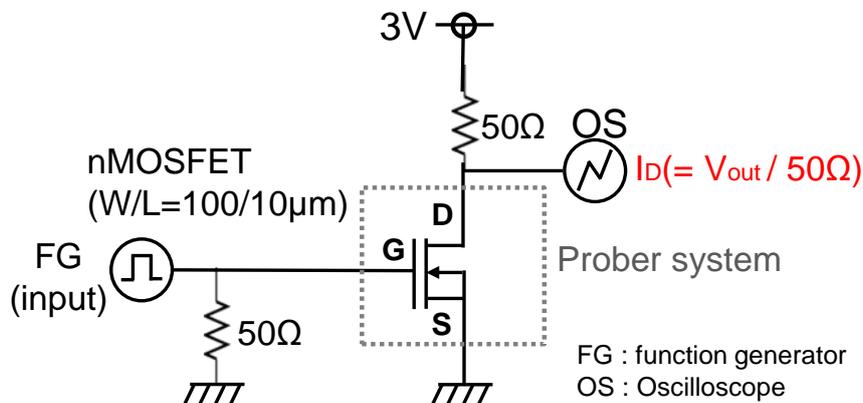


図 5.7 プローバシステムを用いた Si-nMOSFET のパルス駆動系の構成

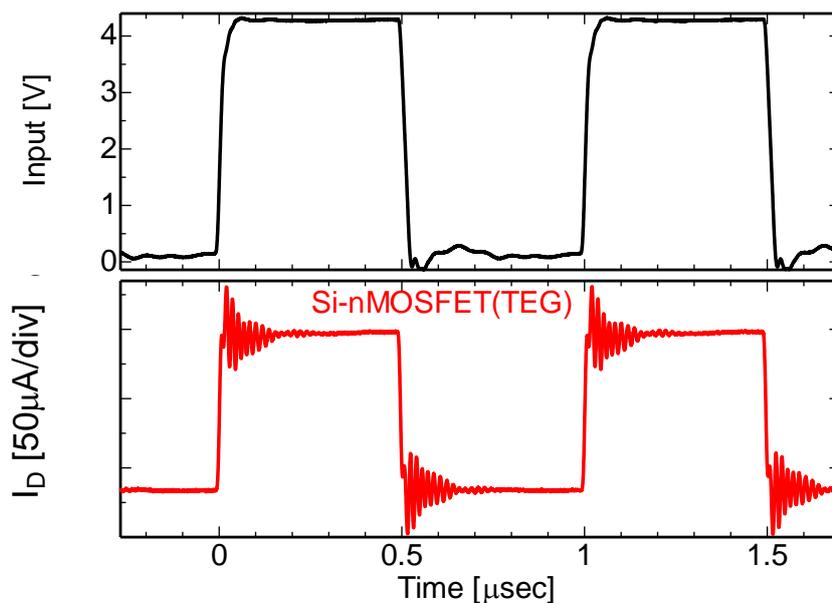


図 5.8 1MHz における TEG の Si-nMOSFET の矩形波パルス入力時の入出力応答波形

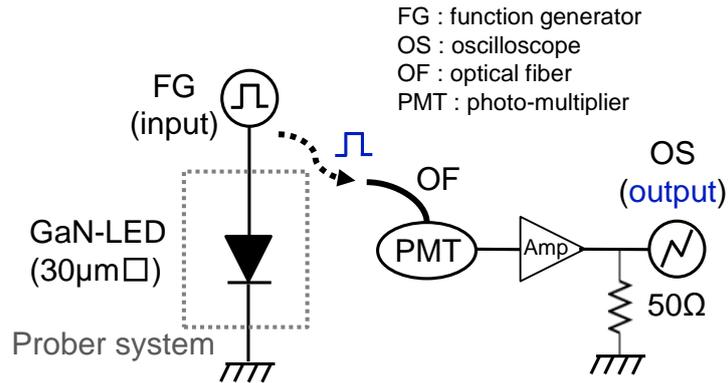


図 5.9 プローバシステムを用いた GaN- μ LED のパルス駆動系の構成

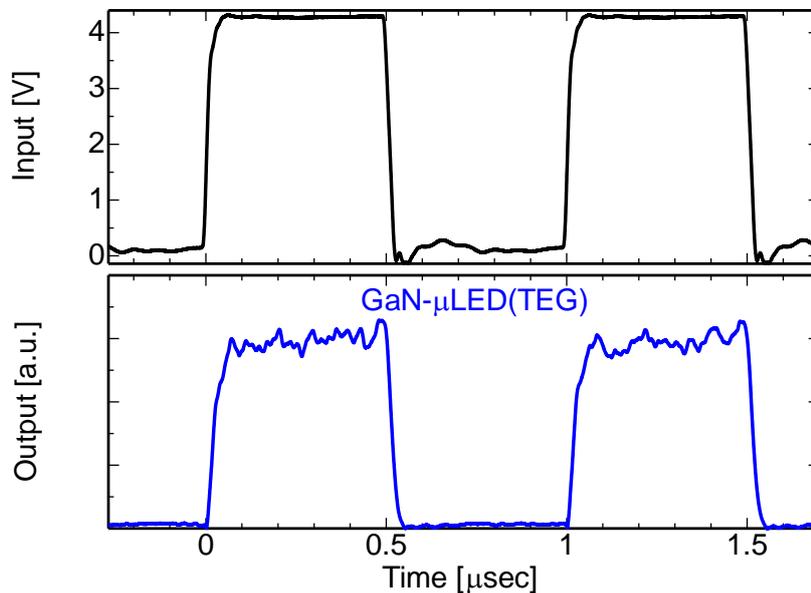


図 5.10 1MHz における TEG の GaN- μ LED の矩形波パルス入力時の入出力応答波形

次に、TEG の GaN- μ LED のパルス入出力応答特性を評価するために構成した測定系の概要を図 5.9 に示す。光電子増倍管 (PMT: photo-multiplier) は浜松ホトニクス製 H10721 シリーズ、広帯域増幅器 (wide bandwidth amplifier unit) は浜松ホトニクス製 C6438-01 を使用した。この駆動系では、変調された GaN- μ LED の光出力は光ファイバーを通して PMT によって検出される。図 5.10 に 1MHz 時の GaN- μ LED の矩形波パルス入力時の入出力応答波形を示す。立ち上がりおよび立ち下がり付近で LED の容量成分による過渡応答が僅かに観測されたが、Si-nMOSFET の入出力応答特性と同様に追従性は良好であることが確認できた。

次に、Si/SiO₂/GaN-LED 基板上に集積した GaN- μ LED 用駆動回路のパルス入出力応答特性を評価するために構成した測定系の概要を図 5.11 に示す。この測定系において、ファンクションジェネレータからの方波信号は Si-nMOSFET のゲートに入力され、変調された GaN- μ LED の光出力は光ファイバーを通して PMT によって検出される。

駆動時の様子は図 5.2 にて既に示した。図 5.12 および 5.13 に 1 MHz および 10 MHz 時の GaN-LED 駆動回路の矩形波パルス入力時の入出力応答波形を示す。青は Si-nMOSFET のゲートへ入力信号、赤が GaN- μ LED から出力された光出力波形を示している。各周波数の入力信号に同期した出力信号が得られた。その一方で、出力波形の立ち上がり立ち下がり付近に約 100 ns の時定数の過渡応答が見られた。一つの要因としては、図 5.8 に示した TEG の Si-nMOSFET の入出力応答波形で観測された発振部の包絡線の時定数が 100 ns 程度であることから、測定系起因の問題が考えられる。W 探針によるプロービングがインピーダンス整合を取れない原因であるため、試作したデバイスに関してより高い周波数帯域の動特性を評価するためにはデバイス自身のパッケージングが必要であり、この技術の確立は今後の課題である。別の要因としては、図 5.1(f)に示したデバイス構造起因の問題である。パルス駆動時の各層の電位を考えた場合、Si デバイス層のボディは常に接地状態で、ドレインと n 電極は共通であることから n-GaN の電位は動的に変化する。したがって、駆動回路の動作においては大面積の中間絶縁層が容量性負荷として機能している可能性が高い。このことから、GaN- μ LED 用駆動回路を構成する場合にはソース側に μ LED を接続し n-GaN を接地状態とする等の対策が必要になると考えられる。

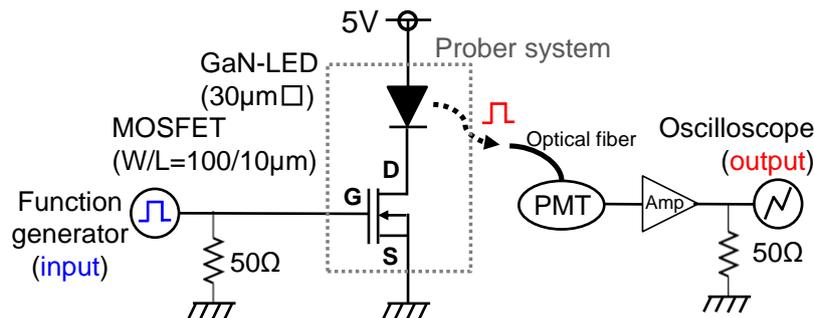


図 5.11 プローバシステムを用いた GaN-LED 駆動回路のパルス駆動系の構成

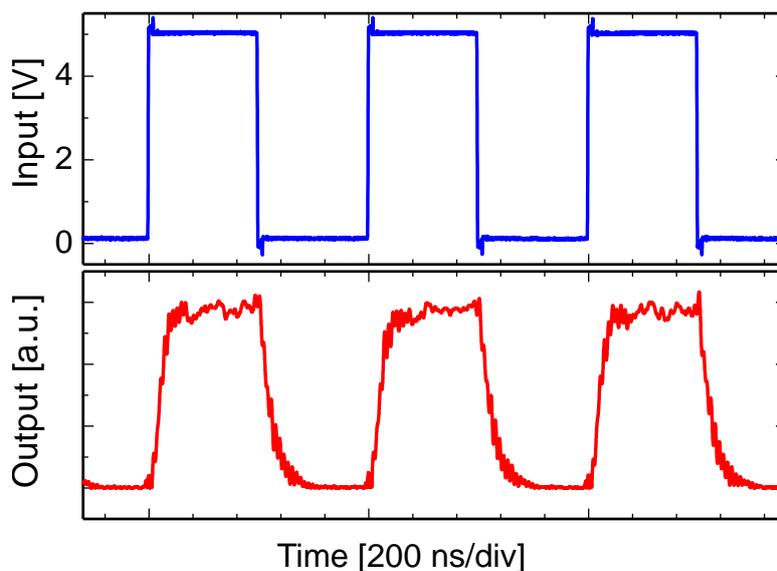


図 5.12 1MHz における GaN-LED 駆動回路の矩形波パルス入力時の入出力応答波形

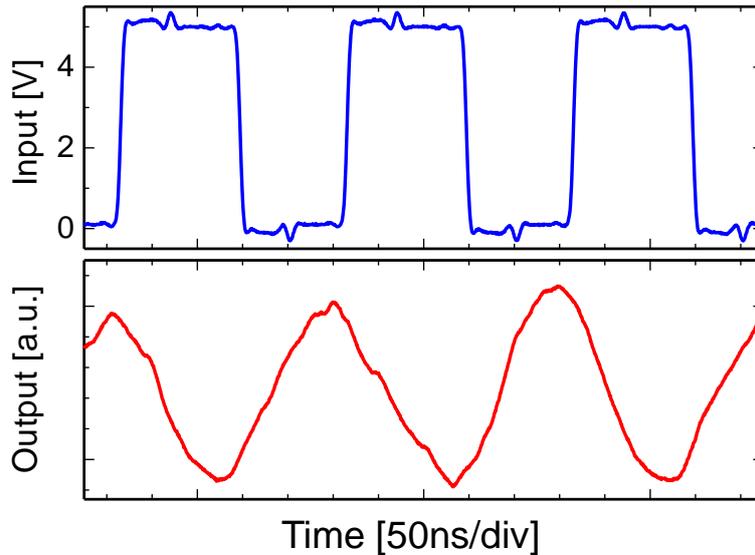


図 5.13 10MHz における GaN-LED 駆動回路の矩形波パルス入力時の入出力応答波形

5.4 結言

本章では、5 章にて定めた GaN-LED 層の許容熱履歴内での Si/SiO₂/GaN-LED 基板を用いた GaN- μ LED と Si-MOSFET のモノリシック集積工程の設計および実証を行った。

許容熱履歴 900 °C 30 分未満を満たす 900 °C 15 分間の工程設計を行い、モノリシック集積を実施した結果、Si/SiO₂/GaN-LED 基板上への Si-nMOSFET および GaN- μ LED の作製に成功した。作製した Si-nMOSFET を用いた GaN- μ LED の駆動を行い、明瞭な発光像と意図せぬ発光箇所が存在しないことが確認された。ゲート長 10 μ m ゲート幅 100 μ m の Si-nMOSFET の静特性では、立ち上がり電圧が 0.8 V、 $V_{DS}=5V$ のときの相互コンダクタンスが 0.62 mS/mm と見積もられた。30 \times 30 μ m² の GaN- μ LED の電気・発光特性を評価した結果、立ち上がり電圧は約 3 V、ピーク外部量子効率率は約 6.7 % となった。また、EL 測定の結果から、発光スペクトルのピーク波長は 457 nm で半値幅は約 22 nm であった。プローブシステムを用いたパルス駆動評価系を構築し、Si-nMOSFET、GaN- μ LED、GaN- μ LED と Si-nMOSFET が接続した GaN- μ LED 駆動回路の動特性を評価した。その結果、GaN- μ LED 用駆動回路の動作帯域は 10 MHz 以上にまで達していることが分かった。以上の結果から、Si/SiO₂/GaN-LED 基板を用いた集積回路および発光デバイスの高密度光電子集積回路の実現に向けて第一歩目となる技術が実証された。

引用文献

- [1] Y. Furukawa, H. Yonezu, Y. Morisaki, S.Y. Moon, S. Ishiji, and A. Wakahara, *Jpn. J. Appl. Phys.* **45**, L920 (2006).
- [2] K. Yamane, K. Noguchi, S. Tanaka, Y. Furukawa, H. Okada, H. Yonezu, and A. Wakahara, *Appl. Phys. Express* **3**, 074201 (2010).
- [3] F. Secco d' Aragona, *J. Electrochem. Soc.* **119**, 948 (1972).
- [4] 中島健次, 渡辺行彦, 吉田友幸, 光嶋康一, 豊田中央研究所 *R&D レビュー* **35**, 51 (2000).

第6章 短波長光源に適するポリマー光導波路および集積化工程の開発

6.1 序言

本研究では窒化物半導体，特に GaN 系材料を主軸とするモノリシック光電子集積回路 (optoelectronic integrated circuit : OEIC) を提案しており，第3章では GaN 系微小発光ダイオード (GaN- μ light emitting diode : GaN- μ LED) の集積化技術に関する開発を行った．第1章にて述べたように，集積化光源からの光線は空間方向や水平方向に主として出力されるが，光の応用や光路制御の観点では導波路デバイスの集積を考える必要がある．また，紫～緑色領域での光電子融合システムの実現に適した導波路材料としては，シクロオレフィンポリマー (cyclo-olefin polymer : COP) が有用であることも述べた．

そこで本章では，COP 導波路を GaN- μ LED に対してモノリシック集積するべくまず，GaN- μ LED 上の COP 導波路の基本構造における基本的な光結合効率を有限時間領域差分 (finite-difference time-domain : FDTD) 法によって解析する．その後，スピコーティング法を用いた COP 膜の基本的な作製方法を検討する．続いて，GaN- μ LED への COP 導波路のモノリシック集積工程を考案し，その実証を行う．

6.2 有限時間領域差分法による導波路デバイスの基礎解析

まず，日本ゼオン株式会社製の COP (ZEONEX[®] 480R) に関して公開されているスペックシート上の屈折率 ($n \doteq 1.53$) [1]を用いて，GaN- μ LED 上に集積した COP 導波路の光結合効率を2次元の FDTD 法により解析する．FDTD 法の詳細は2章にて説明した．通常の光学系の場合レーザーがよく用いられることから近似光源体としては平面波がよく利用されるが，本研究では GaN- μ LED を用いることから点光源を利用した．解析波長は 460 nm，空間メッシュサイズは 20 nm，各モニタ点¹では電界成分 E_y とポインティングベクトル (実部) を観測対象とした．

まず，GaN- μ LED 上に COP 導波路が形成されているとしたモデルをに対する E_y の計算結果を図 6.1 示す．このモデルでは，GaN 上に 400 nm 厚さの ITO を設け，その直上および SiO_2 層上に厚さ 30 μm の COP 導波路が組み立てられている．COP 層の厚さは，ダイシングソーによる斜めミラー構造 [2]の導入を前提として， μLED のサイズが直径 30 μm であることから幾何学的に決定した．点光源に関しては，2個以上配置した場合，干渉の影響で入力のパインティングベクトルを正確に解析することが出来なかったため，本節の解析では一貫して ITO/GaN 界面から 1 μm 下に光源を1個設置した．

¹ モニタ点の幅は COP 導波路の厚さに合わせて入力地点出力地点ともに 30 μm とした．解析結果は全て任意単位として扱った．

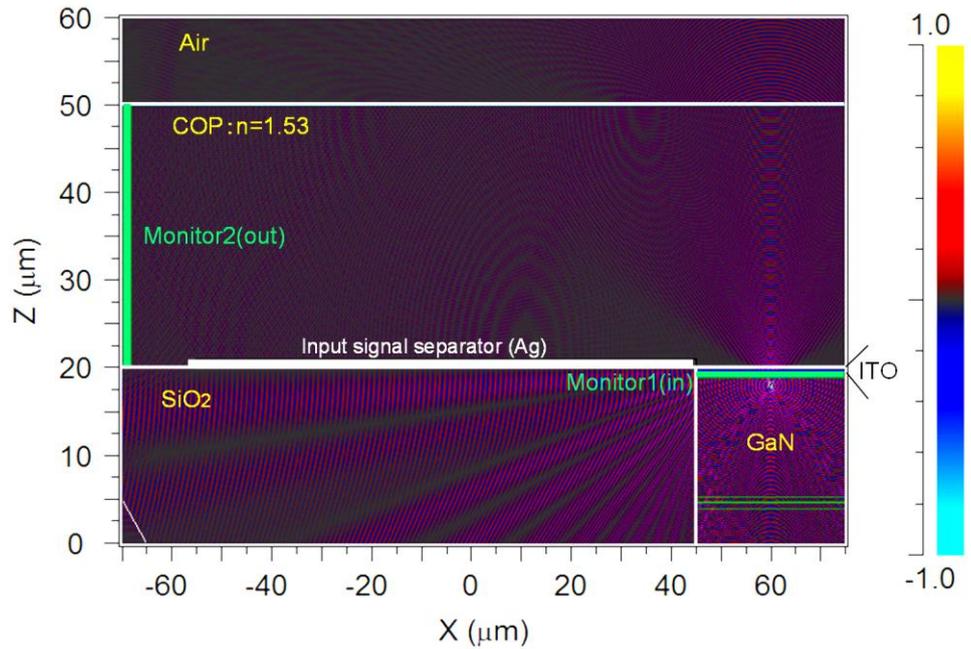


図 6.1 GaN 上に設置した COP 導波路における電界成分 E_y の FDTD 計算結果

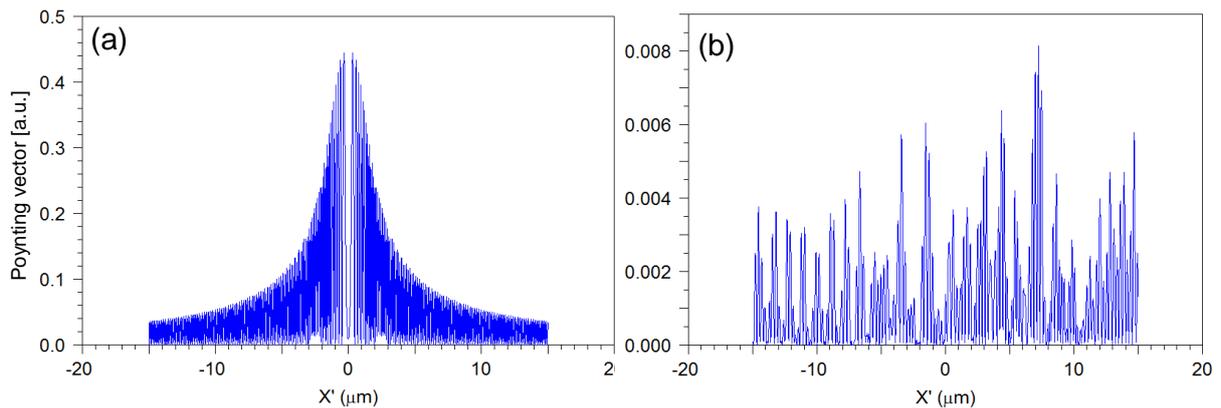


図 6.2 (a)点光源から COP 導波路に入力されるポインティングベクトル, (b) COP 導波路を約 $120 \mu\text{m}$ 伝搬した先でのポインティングベクトル (図 6.1 の Monitor2 に対応)

モニタ位置は点光源の 800 nm 上 (入力地点: Monitor1) と COP 導波路を約 $120 \mu\text{m}$ 進んだ点 (出力地点: Monitor2) に設けた. また, 点光源からの波面が直接出力地点に届くことを回避するために, COP 導波路下部に厚さ $1 \mu\text{m}$ の Ag を設けた. 各界面での反射による入力の変衰が観測されたことから, 構造体を設けないモデルで観測した入力値を用いて光結合効率を概算した. 図 6.2(a)に構造体を設けなかった際の入力地点での, 図 6.2(b)に図 6.1 のモデルにおける出力地点でのポインティングベクトルのモニタ内分布を示す. 各結果に関して, モニタ幅内でポインティングベクトル S を積算したところ, 入力地点で $S_{in} = 1.490$, 出力地点で $S_{out} = 0.499$ となったことから, その比で求めた光結合効率は 3.36% となった. 光結合効率としては低いが, GaN- μLED から COP 導波路方向に出射した光に対して光路変換機構が存在しないモデルであるから, この解析結果に関しては改善の余地が残されている. そこで次に, 改善案につ

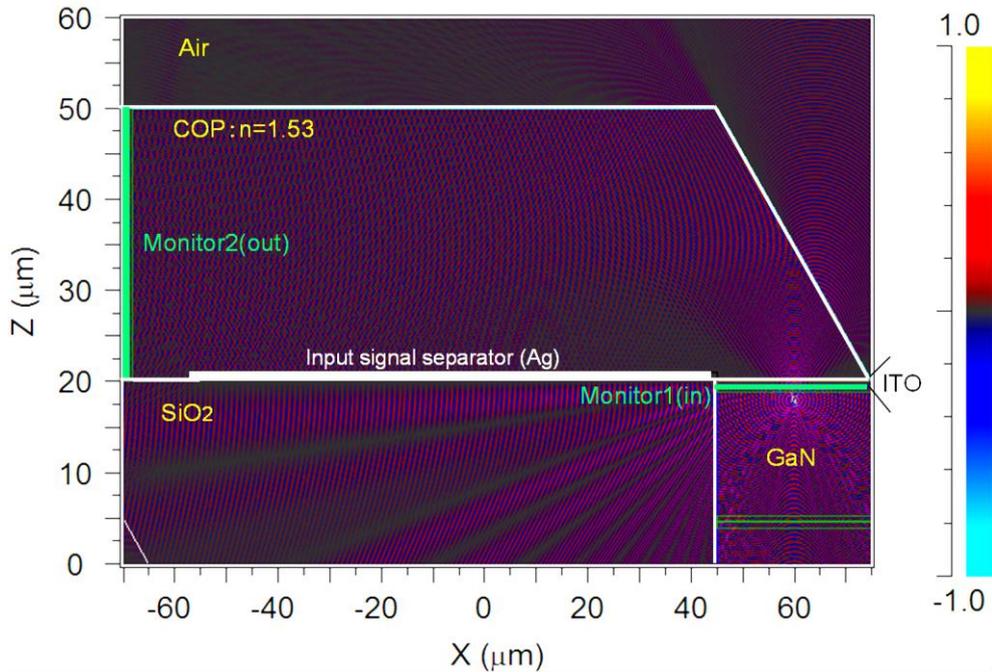


図 6.3 GaN 上の COP 導波路層部分に斜めミラー構造を導入した場合における電界成分 E_y の FDTD 計算結果

いて検討を行った。

光結合効率の改善案として、GaN- μ LED 上の COP 導波路に対して斜めミラー構造 [2]を導入した場合の FDTD 計算を行った。解析モデルを含む E_y の FDTD 計算結果を図 6.3 に示す。図 6.1 に示したような単純に COP 導波路を設けた場合に比べ、光が導波路導波路方向に曲げられている様子が明らかに見て取れる。このとき、出力地点でのポインティングベクトルは $S_{out} = 1.73$ となり、光結合効率は 11.7% となった。また、斜めミラー構造に対して高反射率膜として厚さ 500 nm の Ag を設けた状態で計算結果を図 6.4 に示す。このとき、出力地点で $S_{out} = 2.44$ となり、結合効率は 16.4% となった。点光源からの波面が直接出力地点に届くことを回避するため設けた Ag 薄膜が無い場合、1% 程度結合効率が低下した。これは、COP 導波路層/SiO₂ 界面および Ag の反射率の違いに起因したもので、点光源から直接来る成分よりも導波路層上面で反射した光が内部反射して伝搬してくる成分の方が多いこと意味している。シングルモードレーザー光路をファイバー導波路間で高効率結合させる目的で、回折格子結合器 (grating coupler) を光路変換器に用いる研究が行われている。Takenaka ら [3] は SiO₂/Si 基板上にウェハ接合で形成した InGaAsP 層に対し回折格子結合器を作製し 38% の結合効率を達成している。また、Arai・Nishiyama らのグループは 3 次元光回路のための水素化アモルファス Si を用いた回折格子結合器を提案しており、対向設置で 22% [4]、Au ミラーによる挟み込み構造 [5] によって 83% におよぶ結合効率を達成している。一般的に光電子融合分野では空間的コヒーレンスの高いレーザー光の利用を前提とする場合が多いため、光結合効率の向上や伝搬モードの制御が点光源に比べ

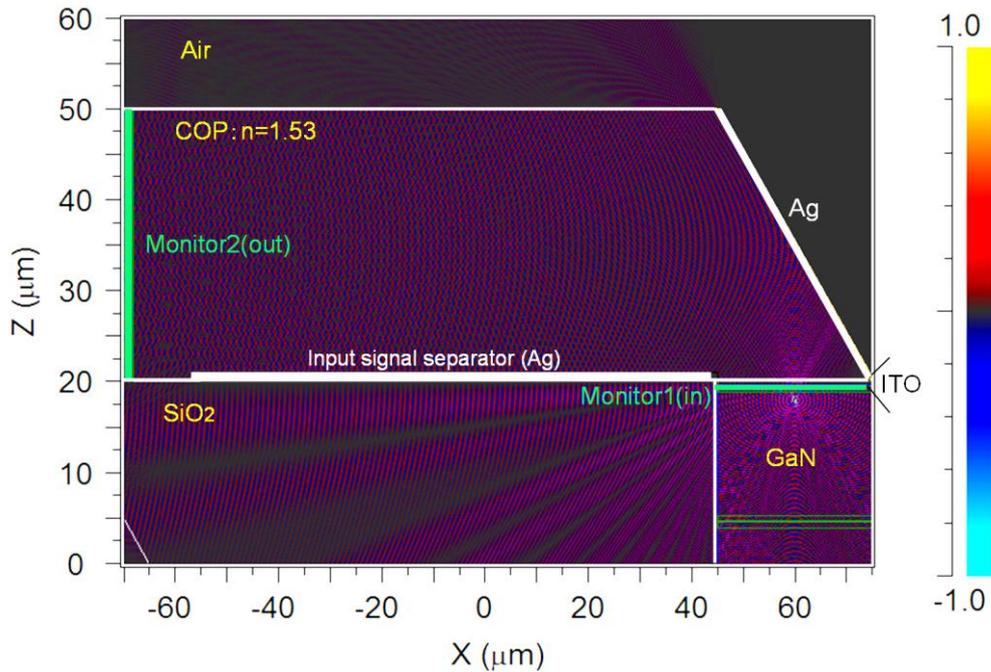


図 6.4 GaN 上の COP 導波路層部分に Ag 薄膜付き斜めミラー構造を導入した場合における電界成分 E_y の FDTD 計算結果

て容易である。それらを踏まえ、点光源を想定した光結合効率であることを考慮すれば、COP 導波路層へのミラー構造導入で 16.4% という光結合効率は決して低く無いと考えられる。

16.4% という光結合効率を更に向上させようと考えた場合、導波路よりもむしろ光源側への要請が強くなる。これは、 μ LED の特性上点光源を仮定する他ないためであり、球面状に広がる波面を集光するような制御機構を導入しない限り光結合効率の向上は実現し得ないことを意味している。効率向上のための一つの手法として、液晶ディスプレイ向けに利用されるナノインプリント技術を応用したマイクロレンズアレイ [6] の導入が考えられる。

以上の結果から、GaN- μ LED 上に単に COP 導波路を作製する場合に比べて、Ag 付きのミラー構造を導入した場合でポインティングベクトルを基にした検討で最大約 5 倍の結合効率の向上が確認出来た。したがって、COP 導波路と GaN- μ LED をモノリシック集積しようと考えた場合、結合効率の観点からミラー構造のような光路変換あるいは集光機構の設計が将来的に重要になると考えられる。また、斜めミラー構造を導入する場合には幾何学的に GaN- μ LED の寸法と同程度の COP 膜厚が必要となることから、COP 膜の作製においては、数十マイクロメートル程度の COP 膜を作製可能、と点が一つの指標となることが分かった。また、実際のデバイス構造では、GaN 層の屈折率が COP 層よりも約 1.0 程度高いため、基本モードは GaN 層に存在することがビーム伝搬法を用いた計算により分かっている。したがって、短距離の光配線のような場合では下部クラッドに Ag のような高反射率金属を設ける等の放射モードの抑制

機構が必要になると考えられる。いずれにしても、GaN- μ LED 上に作製する COP 導波路の結合効率を大筋理解することが出来たため、次節では実際に COP 導波路のモノリシック集積を目指した COP 導波路の基本的な作製条件の検討を行った。

6.3 シクロオレフィンポリマー膜の基礎的な作製条件の検討

6.3.1 シクロオレフィンポリマー溶液および成膜方法の検討

前節では GaN- μ LED と COP 導波路の光結合構造を解析し、単に COP 導波路を GaN- μ LED 上に設置した場合でも \sim 3%程度の光結合効率が得られることが分かった。COP 導波路を作製するためには、COP 層を各種基板上に作製するための方法の確立が必要である。そこで本研究では最も簡便な薄膜形成手法の一つでもあるスピニング法を採用した COP 膜作製技術の開発を試みた。本節では実際に、スピニング法を用いた基板上への COP 膜の基本的な成膜条件を探るべく、塗布用 COP 溶液の作製方法とスピニング条件の探索、加えて成膜した COP 膜の表面平坦性および透過スペクトルの評価を行った。日本ゼオン株式会社製 COP (型式: ZEONEX[®] 480R) は固相のビーズ形状であることから、スピニングを行うためには COP 溶液の作製が必要である。公開されている ZEONEX に関するデータ [1] から、リモネン (limonene: C₁₀H₁₆) への溶解が期待出来るため、本研究ではまずリモネンを用いた ZEONEX[®] 480R の溶解実験を行った。

図 6.5 に ZEONEX[®]480R の溶解実験に関する実際の外観を示す。回転子を投入したガラス瓶に対してリモネンおよび ZEONEX[®]480R を投入し、ホットスターラーにて加熱を行いながら攪拌することにより COP 溶液の作製を行った。事前の予備実験として加熱せずに攪拌を行った結果、目視レベルでビーズが溶解したことを確認するのに数日間の攪拌を要する事が分かった。その一方、ホットスターラーを用いて加熱しながら攪拌を行った場合では、数時間でビーズが溶解することが分かった。この時設定した加熱温度は 80 °C である。ZEONEX[®]480R の溶解実験を行った結果、図 6.5 右に示すような粘性の COP 溶液を作製することが出来た。作製した COP 溶液を基板に塗布して光学顕微鏡で観察した時、図 6.6 左に示すような斑状のコントラストが観察される場合がある。左写真はガラス基板に 20 wt% と 30 wt% の COP 溶液を塗布した後状態を示しており、溶解時間はどちらも 2 時間である。これに対して、孔径 220 nm のシリンジフィルタを用いて塗布を行った結果を図 6.6 右に示す。フィルターなしの場合で観察されていた斑状のコントラストが消失しているのが確認された。このことから、フィルターを用いない場合に観察された斑状のコントラストは ZEONEX[®]480R ビーズの溶け残りであることが分かった。それを踏まえて溶解時間を 8 時間に変更して COP 溶液を作製した結果、シリンジフィルタを用いなくとも斑状のコントラストが消失することが確認された。このことから、COP 溶液の溶解時間としては 80 °C で 8 時間以上をかけること推奨する。

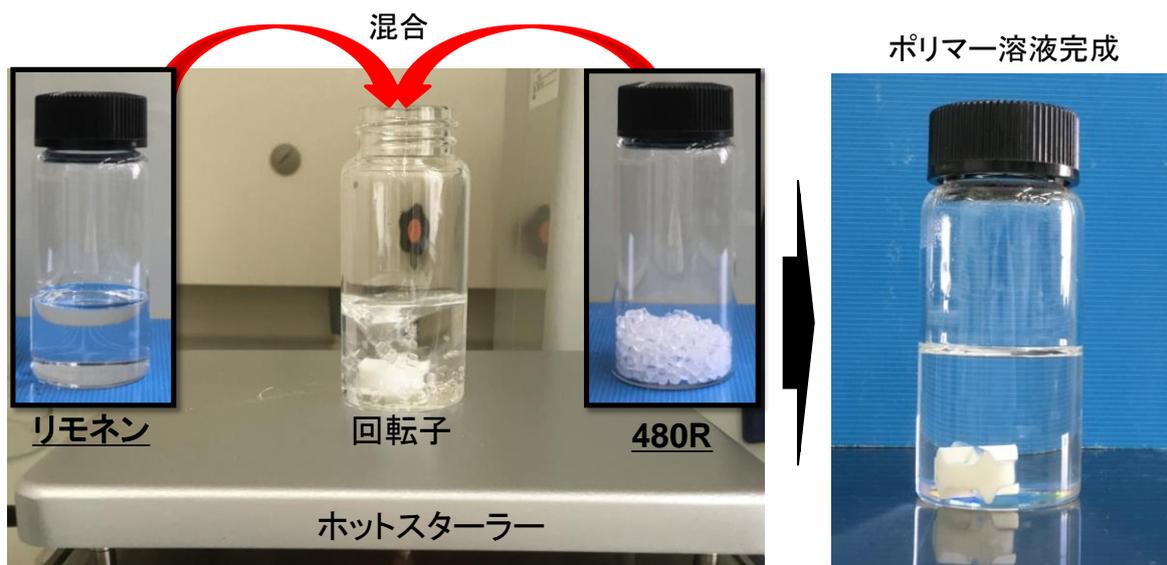


図 6.5 リモネンを用いた ZEONEX[®]480 の溶解実験および溶解後の COP 溶液の外観

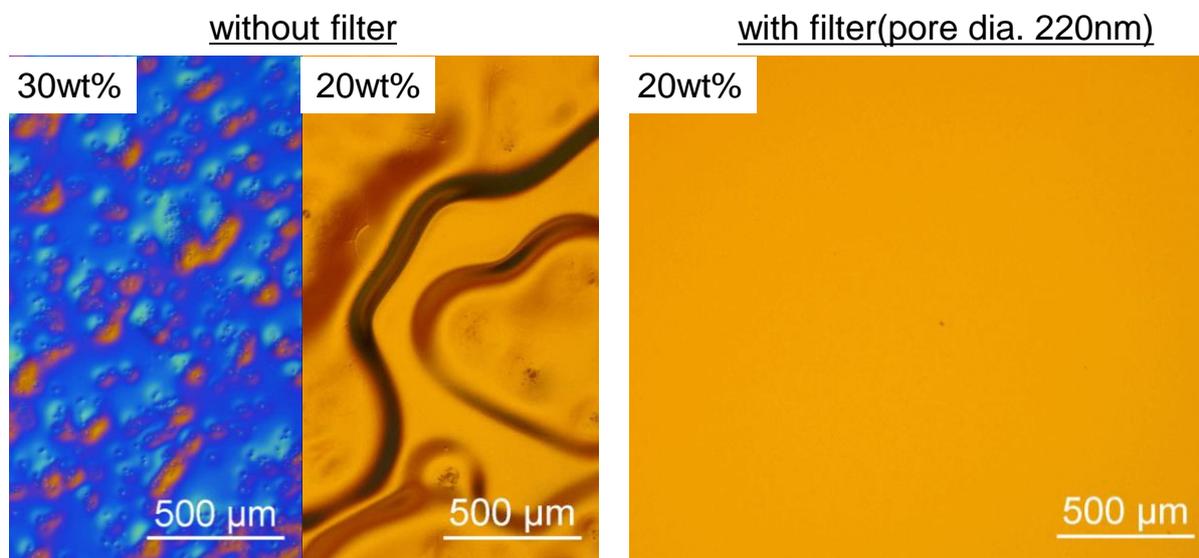


図 6.6 ガラス基板上にスピコーターを用いて成膜した COP 層表面の光学顕微鏡写真(左：シリジフィルタ不使用，右：孔径 220 nm シリジフィルタ使用時)

次に、作製した COP 溶液を用いて実際にスピコーティング実験を行い、成膜された膜厚の評価を行った。まず、リモネンに対して混合する ZEONEX[®] 480R の質量濃度を 10 ~ 30 wt% と変化させた COP 溶液を作製し、Si 基板にスピコーターを用いた塗布を行った。この時の回転数は 1st を 1000 rpm (10 秒間) に、2nd を 2000 ~ 4000 rpm (1 分間) に設定した。塗布した後に 85 °C で 5 分間ベーキングを行い、光干渉式膜厚測定によって膜厚を求めた。光干渉式膜厚測定の際の COP 層の屈折率は 1.53 に設定し、触針式段差計による測定結果との整合を確認した上で実験を進めた。図 6.7 に ZEONEX[®] 480R の質量濃度の異なる COP 溶液を用いて成膜した COP 層膜厚の回転速度依存性を示す。ZEONEX[®] 480R の質量濃度と回転速度を制御する事によって COP

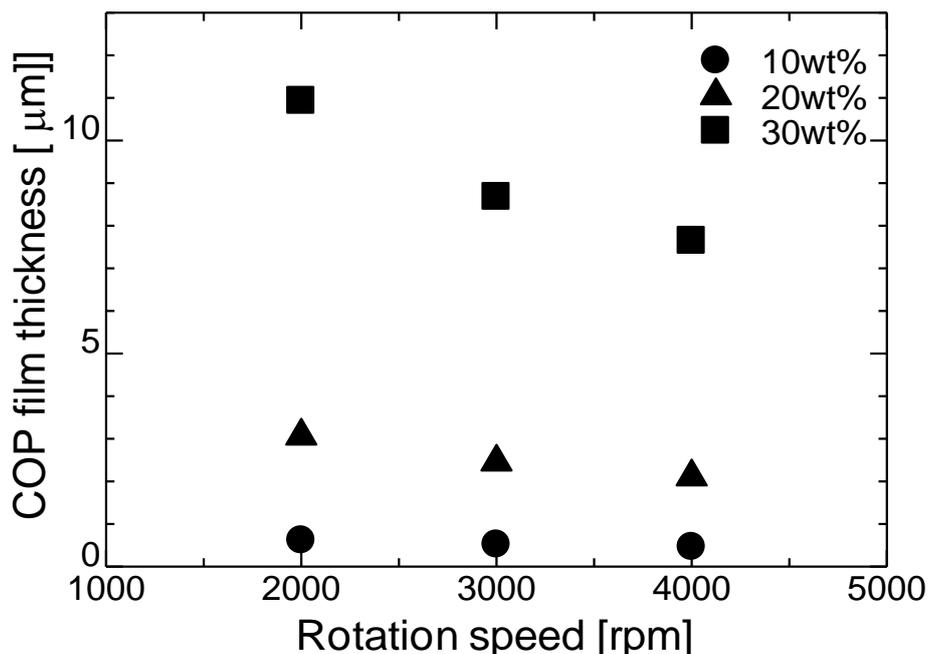


図 6.7 COP 溶液中の ZEONEX[®]480R の質量濃度を変化させた際のスピコーティング法で形成した COP 膜厚の回転数依存性. 実験の使用した光干渉式膜厚計の測定限界が 20 ~30 μm 程度であるため, 光干渉式膜厚計の測定精度が担保されている範囲内のデータを示した.

層の膜厚が制御出来る事が分かった. また, 30 wt% の COP 溶液を 2000 rpm の回転速度で塗布することにより, 最大で 11 μm の COP 膜厚を成膜出来ることが分かった. 6.2 節における導波路構造の解析結果から, 斜めミラー構造の導入に対しては数十マイクロメートル程度の COP 膜厚を達成する, というのが COP 膜の作製における一つの指標であることを述べた. これに関しては, 30 wt% 濃度の COP 溶液を用いて複数回の塗布を行うことにより所望の膜厚は達成可能であると言える.

次に, リモネンへの溶解を用いた COP 膜の形成工程が ZEONEX[®]480R の透過スペクトルに影響を及ぼしていないかを確認するために, 作製した COP 膜に対して分光光度計を用いた透過スペクトル測定を行った. 評価のために, ガラス基板上に COP 溶液を重ねて塗布する事で膜厚を 0.8 mm とした COP 膜を作製し, ガラス基板を参照基板とすることにより透過スペクトルを計測した. 分光光度計による COP 膜の透過スペクトルの測定結果を図 6.8 に示す. ZEONEX[®]480R に関して公開されている資料 [1] から, ZEONEX[®]480R の透過スペクトルにおいては可視光域ではほぼ全域で透過率が平坦で, 波長 350 nm を境界にそれ以下の波長で透過率が低下するとされている. 図 6.8 を見ると, 可視光全域でほぼ平坦で波長 350 nm 以下で透過率が低下していることが見て取れることから, リモネンを用いた COP 溶液による COP 膜作製工程による透過率への影響は無いことが確認された.

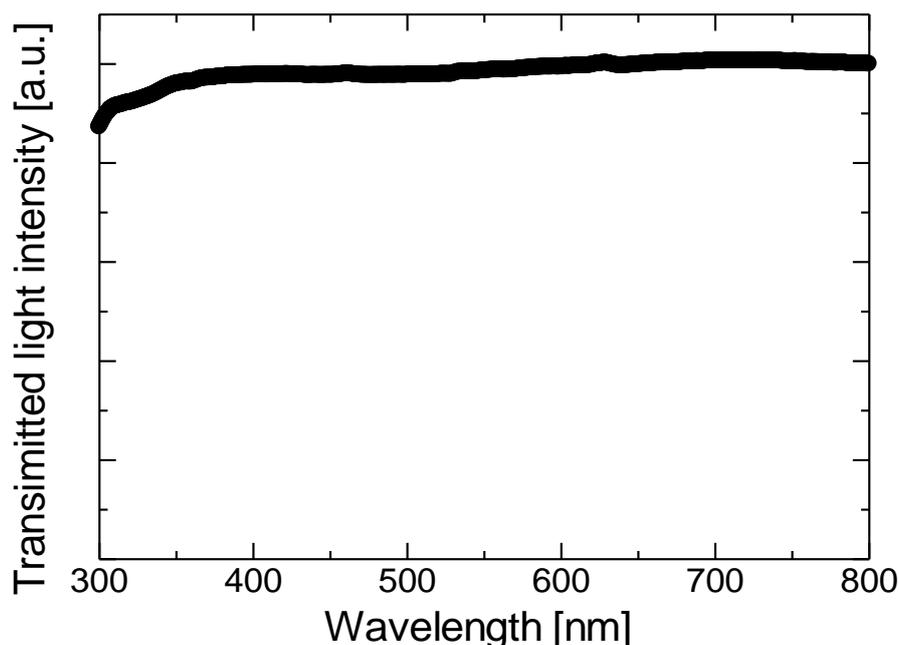


図 6.8 0.8 mm 厚の COP 膜の透過スペクトル

次に、スピコーティング法によって作製した COP 膜の表面平坦性の評価を行った。まず、濃度を 10 ~ 30 wt% まで変化させた COP 溶液を用意し、Si 基板上にスピコーティングを行った。この時、回転速度を 1000 ~ 3000 rpm まで変化させ、塗布後のベーキング温度（ベーキング時間 5 分）に関しても 85 ~ 180 °C まで変化させた試料を作製した。作製した試料に関して、走査領域を $5 \times 5 \mu\text{m}^2$ と設定し AFM 測定を行った。表 6.1 ~ 表 6.3 に、各条件で作製した COP 膜表面の自乗平均面粗さ RMS を示す。全作製条件に渡って RMS は 0.3 ~ 0.5 nm の範囲内に分布することが分かった。また、特筆すべき RMS の増減傾向は観測されなかったことから、本研究で行った COP 膜の作製工程では極めて平坦な膜が作製可能であることが分かった。図 6.9 に回転速度 2000 rpm、濃度 30 wt%、ベーキング温度 85 °C の条件で Si 基板上に成膜した COP 膜表面の AFM 像を示す。走査領域内で直径 200 nm 高さ 3 nm 程度の粒が確認出来るが、基本的には平坦な表面であると考えられる。Bradley ら [7] は酸化チタン (TiO_2) を用いた赤色域の導波路伝搬損失として、RMS = 0.4 nm のアモルファス TiO_2 の場合で 1.4 dB/cm、RMS = 2.7 nm の多結晶 TiO_2 の場合で >20 dB/cm となったことを報告している。また、Fang ら [8] は RMS = 0.46 nm の多結晶 Si/SiON 導波路構造により 1.5 μm 帯で伝搬損失が 6.45 ± 0.3 dB/cm となったことを報告している。Payne ら [9] による導波路表面の凹凸構造がもたらす散乱損失の理論的解析によると、面粗さの二乗で損失は増大化することから良好な表面平坦性は伝搬損失の面で望ましく、上記報告例からもその傾向が伺える。したがって、本研究で作製した COP 膜表面の RMS が 0.3 ~ 0.5 nm であったことは、散乱損失の面で見ただけの場合期待出来る程度には優れていると考えられる。

表 6.1 ZEONEX[®]480R の濃度を変化させた際の COP 膜表面の自乗平均面粗さ
(回転速度 3000 rpm, ベーキング温度 85 °C)

Concentration [wt%]	10	20	30
RMS [nm]	0.45	0.42	0.33

表 6.2 塗布時の回転速度を変化させた際の COP 膜表面の自乗平均面粗さ
(濃度 30 wt%, ベーキング温度 85 °C)

Rotation speed [rpm]	2000	3000	4000
RMS [nm]	0.32	0.33	0.31

表 6.3 塗布後のベーキング温度を変化させた際の COP 膜表面の自乗平均面粗さ
(回転速度 3000 rpm, 濃度 30 wt%)

Prebake temp. [degC]	85	130	180
RMS [nm]	0.34	0.32	0.35

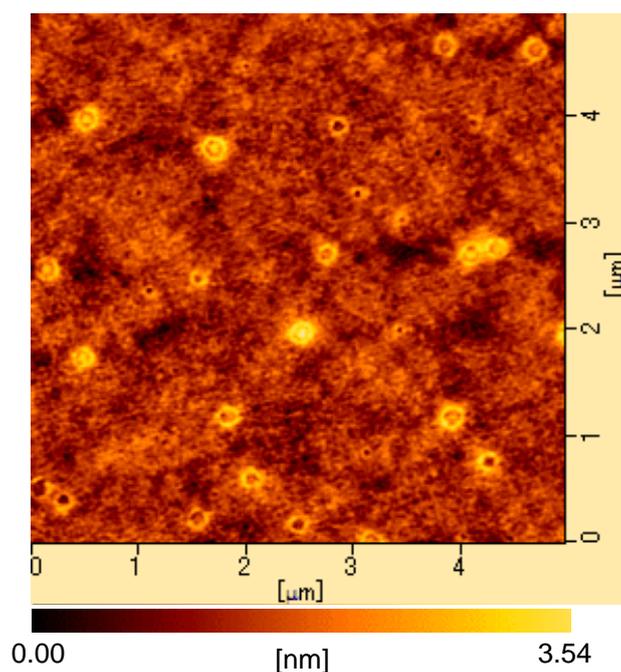


図 6.9 回転速度 2000 rpm, 濃度 30 wt%, ベーキング温度 85 °C の条件で Si 基板上に成膜した COP 膜表面の AFM 像 (走査領域 $5 \times 5 \mu\text{m}^2$)

ZEONEX[®] 480R のガラス転移温度は 135~140 °C であることが分かっており, ZEONEX[®] 480R を溶解させるリモネンの沸点は 176 °C であることから, COP 溶液塗布後のベーキング温度によっては非晶質部のリフロー現象 [10]や溶媒であるリモネンの揮発速度によって表面状態が変質する可能性がある. そこで, ベーキング時間は

5分に固定で、ベーキング温度を85～290℃まで変化させた際のCOP膜表面の平坦性をAFMにより評価した。使用したCOP溶液の濃度は30 wt%で、塗布時の回転速度は3000 rpmに設定した。AFM測定した際の各温度におけるRMSを図6.10に示す。結果から、ZEONEX[®] 480Rのガラス転移温度およびリモネンの沸点となる170～180℃の前後を含め、85～290℃のベーキング温度範囲内でRMSが顕著に増加すること温度は存在しなかった。270℃以上でベーキングした場合、RMSに顕著な変化は見られなかったものの、図6.10に挿入した写真に示したようにCOP膜が目視レベルで黄色に変化した。そのため、270℃以上はベーキング温度として適用すべき条件であると考えにくい。次に、ZEONEX[®] 480Rのガラス転移温度およびリモネンの沸点前後の表面状態に着目した。110, 130, 150, 220℃でベーキングした際のAFM像を図6.11に示す。85℃でベーキングを行った際の結果である図6.9と比較すると、110℃ではほとんど変化が無く、130℃で粒内に黒点が見て取れる。150℃では黒点の存在がより顕著となり、220℃では黒点が消滅しているのが見て取れる。この傾向に関しては、高分子の流動性はガラス転移温度以上で向上する [10]ことが分かっていることから、次のようなメカニズムに起因したものであると考えられる。(1)～140℃：観測された黒点に対応する貫通して膜内方向からリモネンが徐々に揮発し、(2)～176℃：ZEONEX[®] 480Rの流動性の向上により貫通穴が拡大、(3)>176℃：リモネンの揮発が完了後、ZEONEX[®] 480Rの流動により貫通穴が封止される。したがって、COP膜形成のためのベーキング温度がリモネンの沸点以下に設定せざるを得ない場合、残留リモネンによる光学特性への影響が懸念されるため、その評価は今後の課題である。

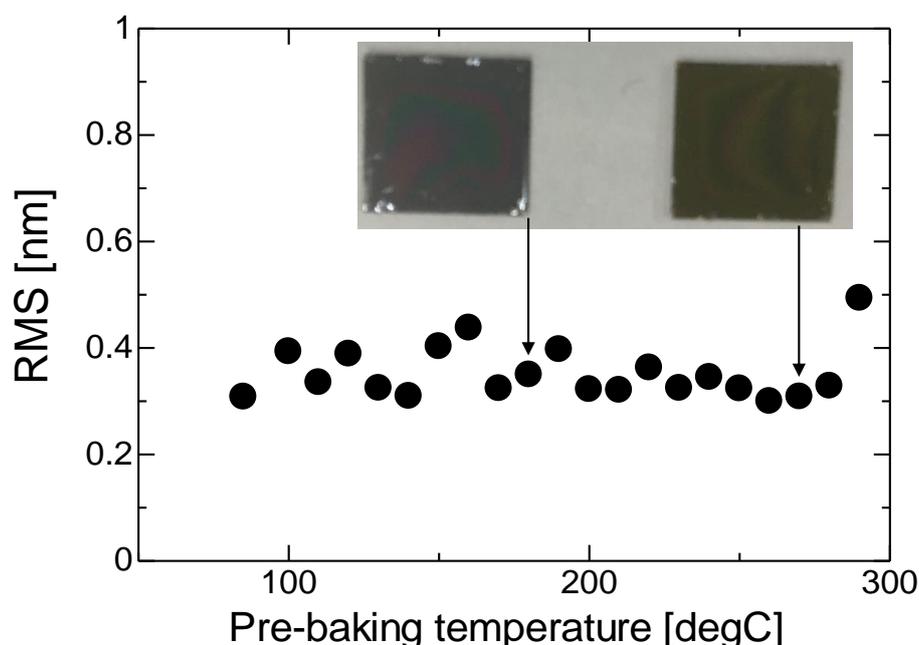


図6.10 COP溶液塗布後のベーキング温度を変化させた際のCOP層表面の自乗平均面粗さと180℃および270℃でベーキングした後のカメラ写真

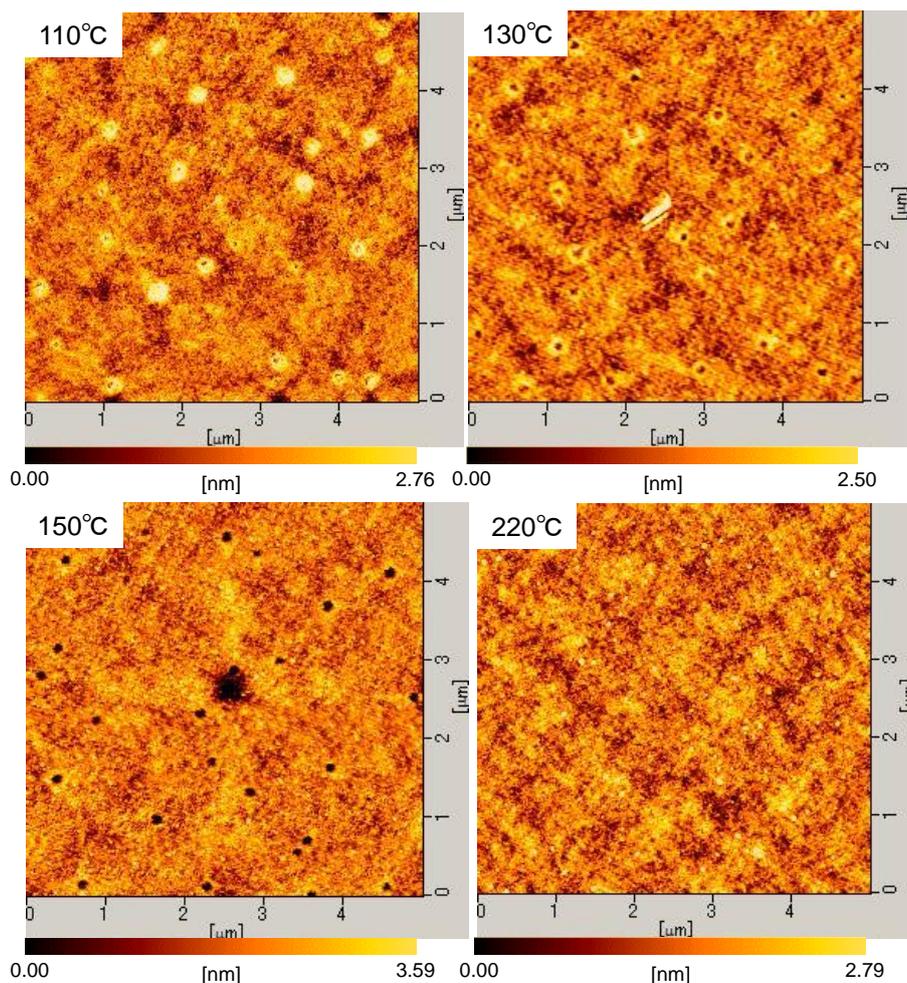


図 6.11 COP 溶液塗布後のベーキング温度を変化させた際の表面モフォロジ

6.3.2 シクロオレフィンポリマー導波路の作製工程の検討

次に、COP 層を用いた導波路作製工程の検討を行った。COP 導波路の作製手順は次の通りである。(1)Si 基板上にプラズマ援用化学気相堆積 (PECVD: 堆積条件は 2 章表 2.2 参照) によって厚さ $1\mu\text{m}$ の SiO_2 を堆積した基板を用意し、濃度 30 wt% の COP 溶液をスピンドーターによって数回重ねて塗布した (図 6.12(a))。この時、COP 層の膜厚は $30\mu\text{m}$ となるように塗布回数を決めた。次に、AZ5214E を用いたリフトオフ法により導波路形状の 70nm 厚の Ni メタルマスクを COP 層上に形成し (図 6.12(b))、容量結合型 O_2 アッシング装置によって COP 層のエッチングを行った。その後、HCl によって Ni を除去することによって導波路形状 (幅 $30\mu\text{m}$ 、導波路長 6mm) を SiO_2/Si 基板上に作製した (図 6.12(c))。最終的に、導波路端に合わせてレーザーダイシング装置によって Si 基板をカットすることによって導波光観察用試料を作製した。ドライエッチングによる導波路構造の作製工程において、キャパシタンス結合型の O_2 アッシング装置を用いた場合、基板温度の上昇と熱膨張係数差起因と思しき皺が蒸着金属および COP 層に導入されることが分かった。この問題に関して、プロセス時間の分割による基板温度上昇の回避とリモートプラズマ型 O_2 アッシング装置を用いた基

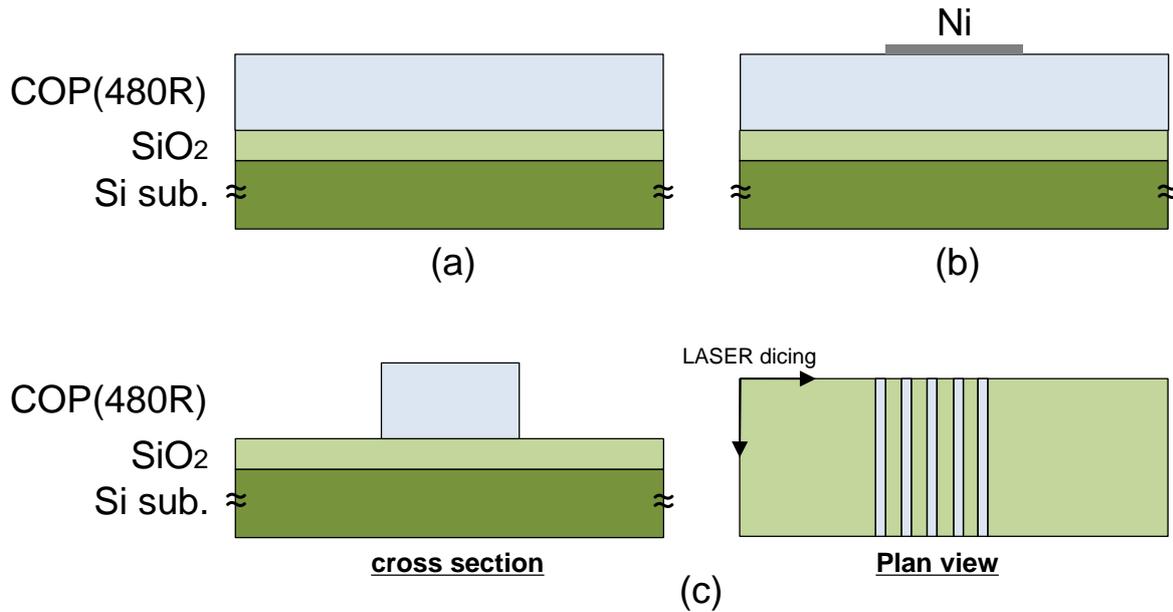


図 6.12 COP 導波路の作製工程の概略. (a)SiO₂/Si 基板への COP 溶液の塗布, (b)リフトオフ法による Ni メタルマスクの形成, (c)O₂アッシング装置による COP 層のドライエッチングおよび HCl による Ni メタルマスクの除去 (左) と導波光観察用試料の平面模式図

板温度上昇の回避を狙った加工実験を行い、両実験共にその有効性が確認された。リモートプラズマ型 O₂ アッシング装置を用いた場合、エッチング開始から終了までチャンバー内圧力が変化しないため、実験条件の再現性の観点で望ましいと考えられる。そこで本研究では、導波路構造作製のドライエッチングに関してリモートプラズマ型 O₂ アッシング装置を用いることとした。

作製した導波光観察用試料に関して、導波路評価装置を用いて導波の様子を観察した。導波路評価装置に関しては 2 章 2.4.3 節にて説明を行った。使用したレーザーの波長は 633 nm で、導波路内から導波してきたレーザー光は導波路端面からの発光像として CCD カメラにより観測した。レーザーの光軸と作製した導波路観察用試料の位置的关系に関する概略を図 6.13 上に示した。図 6.13 下にレーザー光の非入力時および入力時の導波路端面の観察像を示す。結果から、厚さ 30 μm の COP 導波路を伝搬してきた赤色光を導波路端面から観測することが出来た。このことから、先に述べた工程手順によって COP 導波路を作製することが可能であることが確認された。そこで次に、実際に GaN-μLED 上への COP 導波路のモノリシック集積工程の考案と実施に関わる検討を行った。

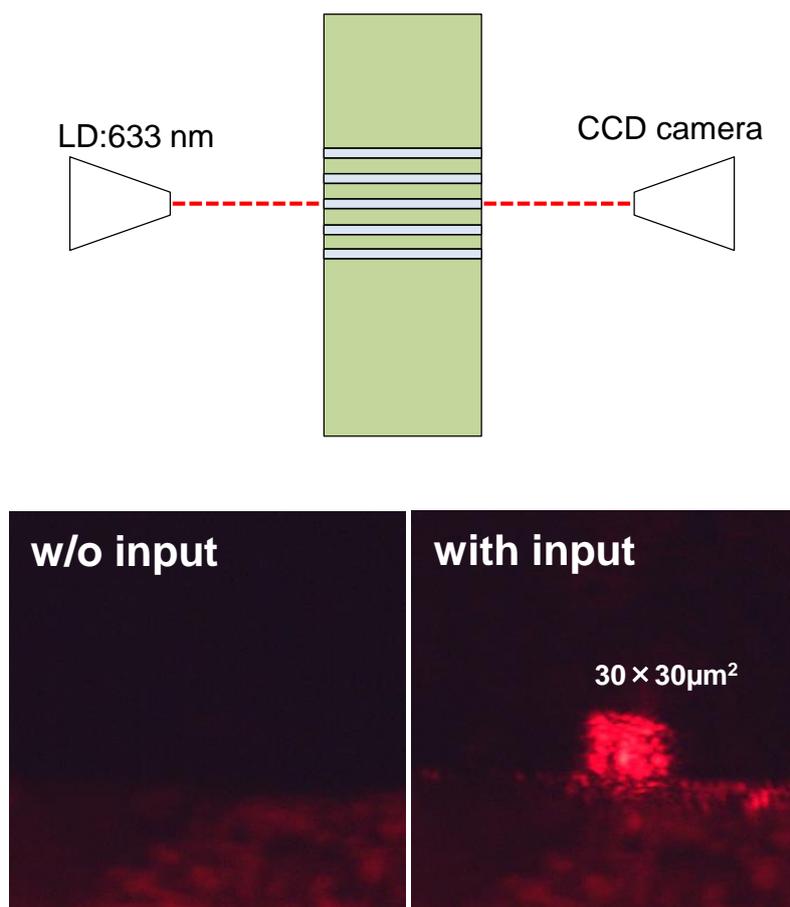


図 6.13 導波路評価装置における試料と光学系の位置関係の概略（上）と導波路評価装置により観察した COP 導波路端面（設計値： $30 \times 30 \mu\text{m}$ ）

6.4 シクロオレフィンポリマー導波路および GaN 系微小発光ダイオードのモノリシック集積工程の検討

波長 460 nm の GaN-LED 基板の使用を前提として考案した COP 導波路の集積手順は次の通りである。(1)LED 基板を有機洗浄した後、Cl 系 ICP-RIE（条件は 2 節表 2.1 参照）により GaN- μ LED の素子分離を行った（図 6.14(a)）。この時、GaN- μ LED のメササイズは $50 \times 50 \mu\text{m}$ とし、デザインルールは $5 \mu\text{m}$ とした。次に、ICP-RIE により露出させた n-GaN に対して AZ5214E を用いたリフトオフ法により Ti/Al/Ti/Au 構造の n 電極を形成した（図 6.14(b)）。その後、PECVD により SiO_2 を 300 nm 堆積し（条件は 2 節表 2.2 参照）、BHF 溶液によって p-GaN 領域にコンタクトホールを開口した（図 6.14(c)）。次に、同じリフトオフ法によって厚さ 400 nm の ITO パターンを形成し、酸素雰囲気下で 500°C 5 分間の熱処理を行った（図 6.14(d)）。この時の熱処理は n 電極の熱処理を兼ねている。 700°C 程度で n 電極の熱処理を行った場合、n 電極表面が合金化の過程で光学顕微鏡レベルの表面荒れが発生するため、その直上箇所での導波路散乱損失の増加が懸念される。そこで、熱処理は低温の p 電極熱処理条件で兼ねることとした。次に、n 電極のコンタクトホールを BHF によって開口した後、電極引き出しパッドとして Ti/Au パターンをリフトオフ法によって形成した（図 6.14(e)）。次に、

COP 膜の密着性の向上を目的としてシランカップリング剤 (Sigma-Aldrich 社製 3-Mercaptopropyl trimethoxysilane : 3-MPTMS) をスピナーにより塗布し, 85 °C にて5分間ベーキングした. 3-MPTMS 層の膜厚は2~3 μm 程度であることを確認した. その後に ZEONEX[®] 480R を 30 wt% の濃度で溶解させた COP 溶液を 2nd 2000rpm で塗布し, 85 °C で5分間ベーキングを行った. 続いて, リフトオフ法によって厚さ 70 nm の Ni メタルマスクを COP 層上に形成した (図 6.14(f)). 導波路幅は 50 μm , 導波路長さは 2 mm, 4 mm および 6mm のレイアウトを設けた. リモートプラズマ型 O₂ アッシング装置によって COP 層のドライエッチングを行った後, HCl によって Ni メタルマスクを除去する事によって GaN- μ LED 上に導波路構造を形成した (図 6.14(g)). 図 6.14(e)~(g)の右側には, 各断面模式図に対応する光学顕微鏡写真を示した.

図 6.15(a)に実際に作製した COP 導波路と GaN- μ LED のモノリシック集積デバイスの顕微鏡写真を示す. 各矢印で示された幅が導波路幅に相当しており, 黒色の点線で示したのが COP 導波路の外郭である. この時の集積されている導波路長は 2 mm である. 図 6.15(b)に GaN- μ LED に 5V を印加して駆動させた際の GaN- μ LED および COP 導波路端近傍の顕微鏡写真を示す. GaN- μ LED からの青色発光が COP 導波路端面より出力されている様子を観測出来ている. 一方で, 他の COP 導波路端面からも発光が確認出来ることから, GaN-LED に集積した COP 導波路以外にも光結合してしまっていることが分かった. この原因としてまず考えられるのは, GaN 層を伝搬した光が導波路端面から漏れているということである. 6.2 節で述べたように本構造では基本的に導波モードは最も屈折率の高い GaN 層に立つものの, GaN 層の膜厚は約 6 μm と厚いために多モードスラブ導波路として見なすことが出来る. そのため, GaN 層内の高次モードの中には導波路端面に結合して空間に放射されるものが存在すると考えられる. 次点では, シランカップリング剤によって形成された共通の厚いクラッド層 (3-MPTMS 層 : $n = 1.44$) の存在が考えられる. このデバイス構造では, 3-MPTMS 層は厚さ 1 μm 以上で上部クラッド側は空気による光の閉じ込めが働いたスラブ導波路と見なすことが出来る. そのため, GaN- μ LED から 3-MPTMS 層を介して漏れた成分が COP 導波路に光結合することにより, 集積した COP 導波路外の端面からも発光が観測されてしまったものと考えられる. シランカップリング剤自体は密着性の構造を期待して導入したものであるが, その効果に関しては定量的な評価を行う術が無いために検証出来ていない. したがって解決策としては, 密着性の向上効果の検証を含む 3-MPTMS 層の必要性の検討に加えて, シランカップリング剤によるヘキサメチルジシラザン (HDMS: hexamethyldisilazane) 処理条件を再検討する必要があると考えられる.

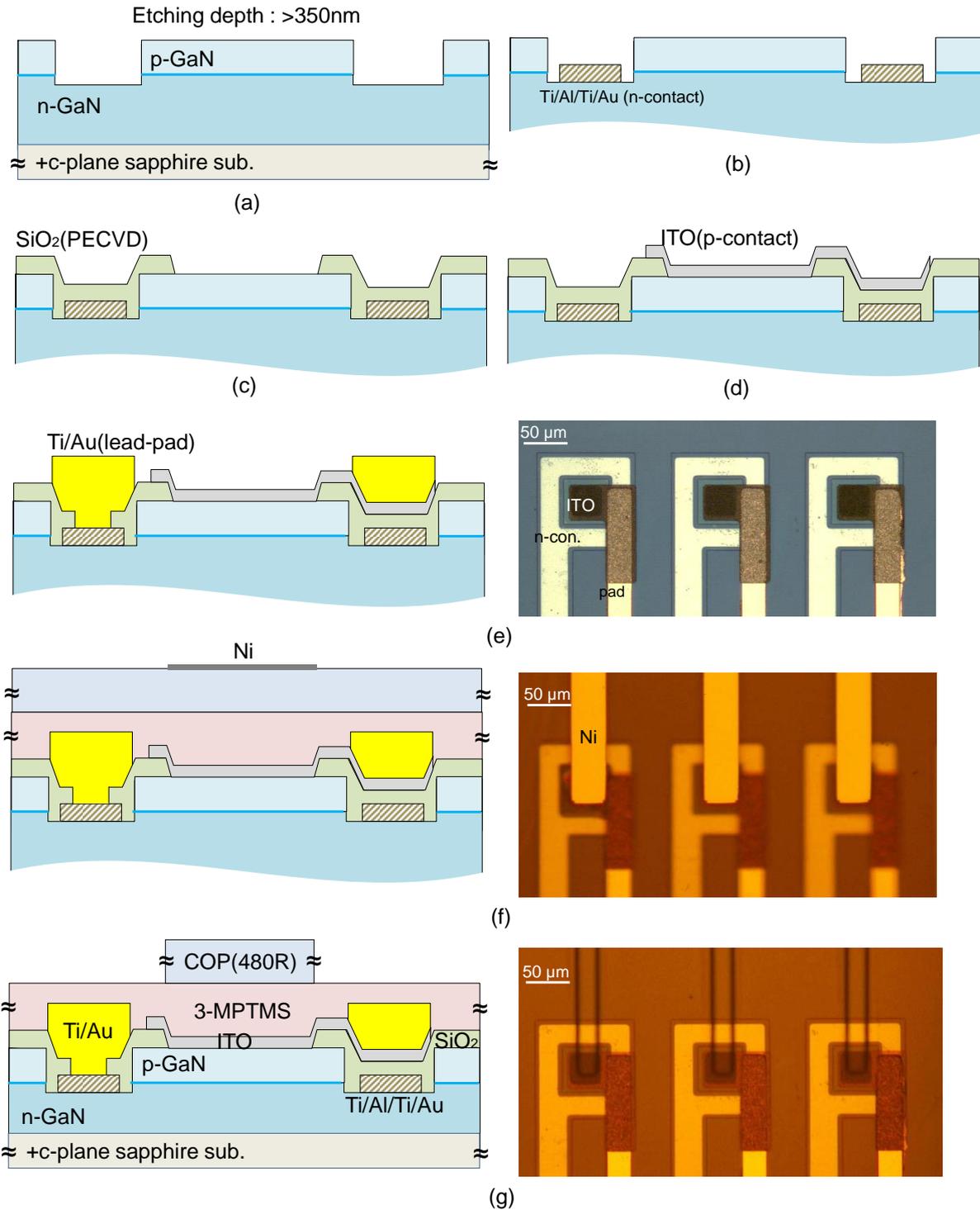


図 6.14 COP 導波路と GaN- μ LED のモノリシック集積デバイスの作製手順. (a) Cl 系 ICP-RIE による GaN- μ LED の素子分離, (b) リフトオフ法による n 電極形成(Ti/Al/Ti/Au), (c) PECVD による SiO₂ 堆積と BHF によるコンタクトホールの開孔, (d) リフトオフ法による p 電極形成 (ITO), (e) リフトオフ法による電極引き出しパッド形成 (Ti/Au) , (f) COP の密着性向上のための 3-MPTMS 層と COP 層の塗布とリフトオフ法による Ni メタルマスクの形成, (g) O₂ アッシングによる COP のドライエッチングと HCl による Ni 除去. (e)~(g)終了毎の光学顕微鏡写真を各項目右側に併記した.

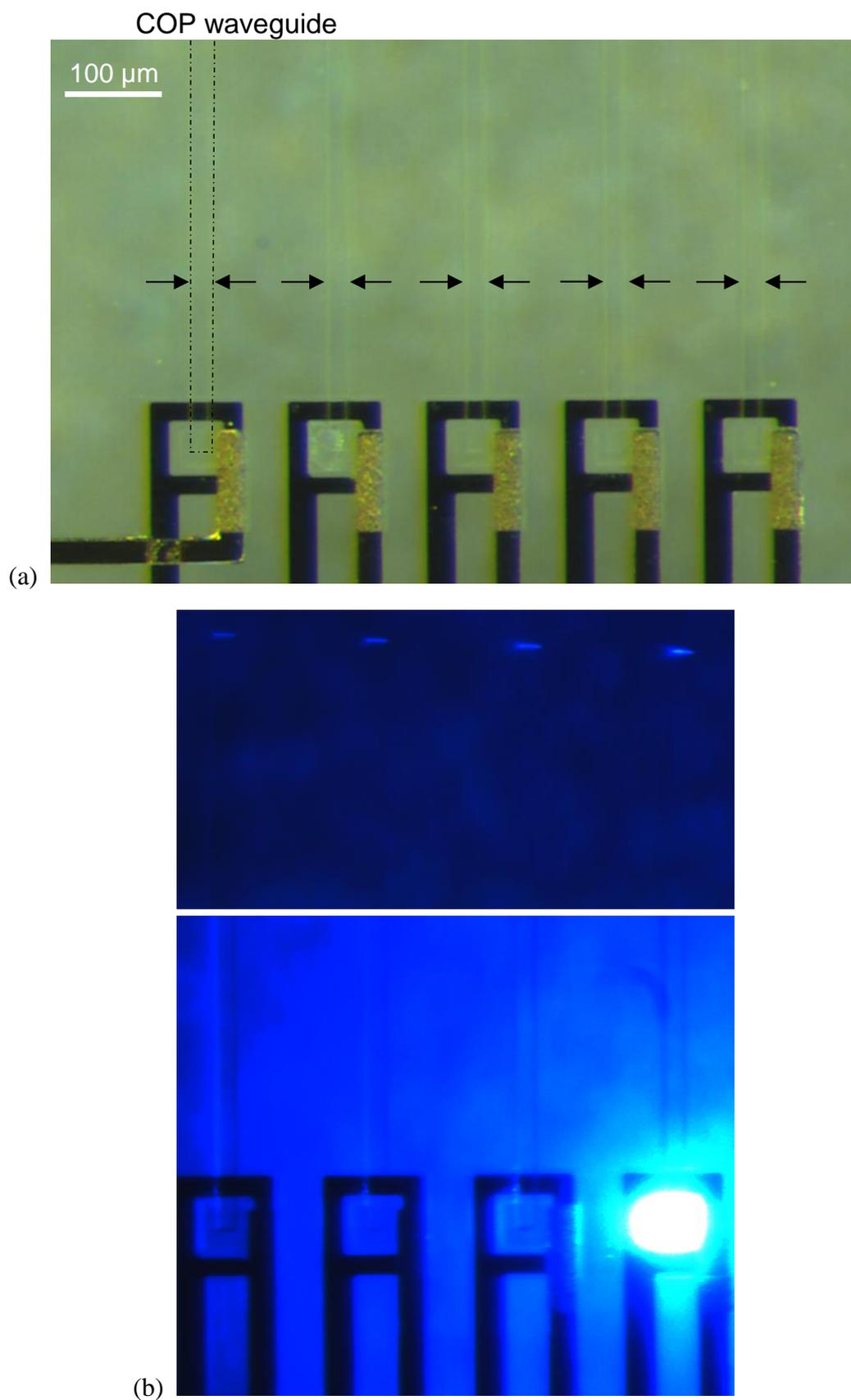


図 6.15 (a)COP 導波路と GaN- μ LED のモノリシック集積デバイスの顕微鏡写真と (b)GaN- μ LED 駆動時の COP 導波路端面近傍 (導波路長 2 mm) の顕微鏡写真

6.5 結言

本章では、GaN- μ LED と COP 導波路のモノリシック集積を実現するべく、COP 膜の作製方法および導波路構造の作製方法を検討し、モノリシック集積工程の考案および実証までを行った。

まず、GaN- μ LED と COP 導波路の光結合構造に着目し、2次元 FDTD 法を用いた点光源配置モデルにおける光結合効率の計算を行った。GaN- μ LED 上に単純に COP 導波路を配置したモデルでは光結合効率が 3.36% となり、GaN- μ LED 上の COP 導波路に斜めミラー構造を導入したモデルでは光結合効率が 11.7%、斜めミラー構造に Ag 薄膜を設けたモデルでは光結合効率が 16.4% となることが分かった。この結果から、本研究で達成すべき COP 膜厚は、斜めミラー構造の導入を視野に入れると GaN- μ LED のサイズと同程度であることが分かった。

次に、スピンコーティング法による基板上への COP 膜作製方法の検討を行った。入手した COP (ZEONEX[®] 480R) を溶媒となるリモネンに対する質量濃度を調整して溶解させることにより、粘度の異なる COP 溶液を作製する方法を確立した。10~30 wt% の COP 溶液を用いて Si 基板上にスピンコーティングにより COP 膜を作製し膜厚を評価した結果、30 wt% の COP 溶液を 2000 rpm の回転速度で塗布することによって最大 11 μ m の COP 膜厚を達成することが出来た。このことから、数十マイクロメートルサイズの GaN- μ LED 上に斜めミラー構造を導入するための COP 膜厚は達成可能であることが分かった。作製した COP 膜の表面平坦性および透過スペクトルを評価した結果、表面平坦性に関しては自乗平均面粗さで 0.3~0.5 nm、透過スペクトルに関しては ZEONEX[®] 480R の仕様と一致する全可視光域で平坦な特性が得られた。COP 膜に対して O₂ アッシャーを用いたドライエッチングによる COP 導波路の作製を行い、導波路評価装置において 633 nm のレーザー光の伝搬を観測した。

最後に、GaN- μ LED 上への COP 導波路のモノリシック集積工程を考案し、実際にデバイスの試作を行った。COP 膜の形成および導波路作製工程を GaN- μ LED の作製の後工程とすることにより、GaN- μ LED 上に COP 導波路を集積することが可能であることを証明した。GaN- μ LED を 5V にて駆動した際の導波路端面を観測した結果、導波路端から明瞭な青色発光を観測することが出来た。この結果から、GaN- μ LED と COP 導波路のモノリシック集積の原型を実現することが出来た。

以上の成果により、GaN- μ LED と COP 導波路を組み合わせた紫~緑色領域の新たな光電子融合デバイスの創出が期待出来る。4章および5章にて述べた Si 集積回路と GaN- μ LED のモノリシック集積技術と本成果を組み合わせることが出来れば、真の定義としてのチップ内光配線を実現する要素技術の一つになると考えられる。

引用文献

- [1] 日本ゼオン株式会社 ZEONEX 関連公開資料, <http://www.zeon.co.jp/content/200133136>, 最終アクセス確認 2016/11/30.
- [2] 吉村了行, 疋田真, 碓氷光男, 金子明正, 都丸暁, 今村三郎, 信学技報 **96**, 43 (1996).
- [3] M. Takenaka, M. Yokoyama, M. Sugiyama, Y. Nakano, and S. Takagi, Appl. Phys. Express **6**, 042501 (2013).
- [4] J. Kang, Y. Atsumi, M. Oda, T. Amemiya, N. Nishiyama, and S. Arai, Jpn. J. Appl. Phys. **51**, 120203 (2012).
- [5] J. H. Kang, Y. Atsumi, Y. Hayashi, J. Suzuki, Y. Kuno, T. Amemiya, N. Nishiyama, and S. Arai, Appl. Phys. Express **7**, 032202 (2014).
- [6] 平井義彦 編, ナノインプリントの基礎と技術開発・応用展開, フロンティア出版 (2006).
- [7] J. D. B. Bradley, C. C. Evans, J. T. Choy, O. Reshef, P. B. Dotare, F. Parsy, K. C. Phillips, M. L. Oncar, and E. Mazur, Opt. Express **20**, 23821 (2012).
- [8] Q. Fang, J. F. Song, S. H. Tao, M. B. Yu, G. Q. Lo, and D. L. Kwong, Opt. Express **16**, 6425 (2008).
- [9] F. P. Payne, J. P. R. Lacey, Opt. Quantum Electron. **26**, 977 (1994).
- [10] 戸嶋直樹, 遠藤剛, 山本隆一 著, "機能高分子材料の科学", 朝倉書店 (1998).

第7章 総括

Si 大規模集積回路 (LSI) の発明に端を発した計算機性能の劇的な進歩や、光通信技術の発明に端を発する高速大容量インターネットインフラの成熟など、Si エレクトロニクスと光エレクトロニクスは両輪となって今日の高度情報化社会を支えている。一方で、Si エレクトロニクスにおける微細化技術の進展による高機能化の延長線上では技術的・市場的な成長に陰りが見え始めたこともあり、異種デバイス集積技術や異種部品実装技術、更にはチップ外のシステムとの統合を考えるに至るまで Si テクノロジーの方向性は多様化し始めている。Si-LSI と融合することによって高機能なデバイスおよびシステムを実現することが出来る技術分野の中においても、光エレクトロニクスほど多様性と高付加価値性に富んだ技術は多くない。一つの応用分野の例としては、発光デバイスを LSI 内に高密度に配置することによって実現され得る 3次元光接続型の超並列演算システムが挙げられ、既存の光配線技術の延長線上にはない優れた情報処理能力を達成する可能性を秘めている。

発光デバイスを Si-LSI 内に高密度に配置するためには、発光材料と Si をウェハレベルで一体化した後に発光デバイスと集積回路を一貫形成によって作製するモノリシック型の光電子集積回路 (OEIC) 技術の開発が必要不可欠である。本研究グループはこれまでに、Si 基板上への高品質 III-V 族化合物半導体の結晶成長技術を用いたモノリシック OEIC の原型を実証してきた。一方で、発光デバイスおよび Si 集積回路の動作上の信頼性を補償するためには各層間の電氣的絶縁が重要であり、結晶成長技術以外の異種材料積層構造作製技術の確立が必要となることが明らかとなった。

上記の問題に対する解決策としては、近年活発な研究開発が行われているウェハ接合技術を用いて層間絶縁膜を挿入した Si/SiO₂/III-V 構造が現実的な策である。本研究では発光デバイス層材料として、優れた発光特性および熱的・化学的安定性に加えてアプリケーションとしての多様性も富む窒化物半導体 (GaN 系) を新たに採用した Si/SiO₂/GaN-LED 構造を提案した。また、光路制御のための基本要素として光導波路がモノリシック OEIC に必要になると考え、可視光全域で優れた透過性をしめすシクロオレフィンポリマー (COP) を用いた導波路作製技術を確立すべき要素技術として位置付けた。以上を踏まえて本研究では、ウェハ接合を用いた異種材料積層構造作製技術とモノリシック光電子集積回路作製技術の開発に加え、その要素技術としての GaN 系発光デバイスの集積化技術および COP 導波路の作製技術の開発を目的とした。

以下に各章にて議論した内容を総括する。

第1章 序論—光電子集積回路と窒化物半導体技術

第1章では、技術的な背景の異なる Si エレクトロニクスと光エレクトロニクスを分野横断的な視点から俯瞰し、Si 集積回路に対して光デバイスを導入する必要性を異種デバイス融合技術の重要性も踏まえ概説した。また、本研究にて提案する窒化物半導体を用いたモノリシック OEIC に関して、その新規性および学術的・産業的な意義

を説明した。加えて、必要な要素技術および必要になると予想される周辺技術の整理を行い、本研究で開発を行った技術毎・間の位置づけを述べた。

第2章 窒化物半導体デバイスおよび光電子集積回路作製技術と評価技術

第2章では、本研究において使用した窒化物半導体発光デバイスの作製装置群および光電子集積回路関連装置群に関して、基本となる作製条件および使用指針を踏まえた説明を行った。また、各種評価技術に加えて、第4章にて説明するポリマー導波路作製装置群と解析・評価手法に関しても説明を行った。

第3章 窒化物半導体微小発光ダイオードの集積化技術の開発

第3章では、Si/SiO₂/GaN構造を用いたモノリシック OEICの基盤技術となる GaN系微小発光ダイオード (GaN-μLED) の集積化技術に着目し、LSI内に GaN-μLEDを取り込む場合に議論すべき集積化工程全体の整合性に関わる技術課題を検証した。

第一に、従来の GaN-μLED の作製方法における Ag 単一構造の p 電極形成工程と集積化工程の整合性を検討した。プラズマ援用化学気相堆積 (PECVD) 前後において直径 300 μm の GaN-μLED 直列抵抗が 225% 増加する問題に対し、p-GaN 上の Ag の凝集現象による p 電極の熱的不安定性について考察を行い、凝集現象を抑える多層構造とした Ni/Ag/Ni p 電極構造によって PECVD 後の直列抵抗の増加を 7% まで抑制出来ることを明らかとした。

第二に、GaN-μLED の電気・発光特性のサイズ依存性を明らかにするべく、LED の直径が 300 μm から 5 μm までの GaN-μLED 群を作製した。μLED の直列抵抗をサイズ間で比較した結果、p 電極の低抵抗化のための熱処理において μLED のサイズ間で最適熱処理時間が異なることが分かった。これは、p 電極金属による輻射光吸収による吸熱成分とメサ径に依存する放熱成分が μLED を微細化するに従って変化するためであると考えられた。発光特性のサイズ依存性を検討した結果、μLED の微細化による外部量子効率の低下が、LED 径が 40 μm 以下で顕著になることが分かった。この結果について、他要因との可能性の考察も踏まえた上で μLED の素子分離工程でメサ構造側壁に導入するプラズマダメージを仮定したモデルを提案し、約 300 nm のプラズマダメージ層が存在した場合に外部量子効率の低下に関する結果と近い傾向となることを示した。

第三に、GaN-μLED の集積化のための絶縁膜堆積手法として PECVD および減圧化学気相堆積 (LPCVD) という 2 つの手法による p-GaN 表面への影響を評価した。LPCVD を用いた場合では、PECVD を用いて SiO₂ 堆積を行った後の p 電極のコンタクト抵抗よりも 50 % 程度低減出来ることが分かった。加えて、ウェハ接合に要求される表面平坦性についても、PECVD ではコンタクト抵抗と表面平坦性がトレードオフの関係となったのに対し、LPCVD では優れた表面平坦性と p 電極のコンタクト抵抗が同時に達成出来ることが分かった。また、LPCVD による SiO₂ 堆積後の p-GaN を王水によって表面処理することにより、処理前のコンタクト抵抗 $1.81 \times 10^3 \Omega \cdot \text{cm}^2$ は処理後で

$0.88 \times 10^{-3} \Omega \cdot \text{cm}^2$ まで改善することが分かった。これは、LPCVD中にp-GaN表面に形成されたGaOxが王水によって除去された効果であることが分かった。

第四に、LSI内に高密度にGaN- μ LEDを集積する際に信頼性の観点で必要となる予想されるプレーナ型GaN-LEDの試作を行った。ここでは、チャネリング現象を利用した高浸透のSiイオン注入技術とNH₃雰囲気によるイオン注入損傷回復熱処理条件の基本条件を探索し、深さ方向にSi濃度を均一とするボックスプロファイルの形成と1000°C以上のNH₃雰囲気熱処理によってp-GaN層をn-GaN化可能であることを明らかにした。また、プレーナ型GaN-LEDの作製工程を考案し、プレーナ型GaN-LEDの原型を実現した。

以上の結果から、GaN- μ LEDの集積化技術における要素部分の大枠は確立することが出来たと考えられ、これらの技術の開発の過程で得た知見はSi-LSI内へ高密度にGaN- μ LEDを集積する際に有用になるものと考えられる。

第4章 表面活性化ウェハ接合を用いたSi/SiO₂/GaN-LED基板の作製

第4章では、GaN系発光デバイスとSi-LSIのモノリシック集積を実現するための核となるウェハ接合を用いた異種材料積層構造の作製方法を検討した。自乗平均面粗さ(RMS)が0.38 nmのn-GaN/Sapphire基板とRMS=1.2 nmのGaN-LED基板に対してSi基板を表面化ウェハ接合によって張り合わせた際の空隙面積を評価した結果、RMSが高い場合でも接合荷重を調整することによって空隙を減らすことが可能であることが分かった。接合荷重の印加によるGaN表面への転位の導入等の影響を評価するために、2700 N/cm²の荷重により接合したSi/SiO₂/n-GaN構造に対してAuショットキーバリアダイオードを作製し、評価を行った。その結果、n-GaN上に通常形成される障壁高さと同程度の0.85~0.88eVとなり、理想因子および生成再結合電流にも顕著な劣化は見られなかった。このことから、ウェハ接合を含めたSi/SiO₂/GaN構造の作製工程によってはGaN表面への物理的損傷は発生しないことが分かった。またこの結果から、表面活性化ウェハ接合にて行われるプラズマ処理に関して、LPCVDにより堆積したSiO₂がGaN表面の保護膜として機能していることが確認された。

SOI基板とSiO₂/GaN-LED基板を接合することにより作製したSi/SiO₂/GaN-LED基板に関して、断面透過顕微鏡(断面TEM)像では積層欠陥や転位は観測されなかった一方で、Siデバイス層のSi004回折X線ロックアップカーブの半値全幅(XRC-FWHM)は理論値よりも100 arcsec程度高くなっていることが分かった。また、CMP加工によって接合前の表面平坦性をRMSで1.32 nmから0.21 nmまで向上させたSiO₂/GaN-LED基板を接合に用いることにより、XRC-FWHMは理論値にまで改善されることが分かった。この表面平坦性の違いによるFWHMの変化は、接合界面の凹凸と空隙の補償条件をSiデバイス層の結晶軸の傾斜と関連付けたモデルによって定性的に解釈できることを示した。

第5章 Si/SiO₂/GaN-LED 基板を用いたモノリシック光電子集積回路の単位回路試作

第5章では、第4章にて開発した Si/SiO₂/GaN-LED 基板とその熱耐性を基に GaN- μ LED と Si-nMOSFET のモノリシック集積工程を実証するべく、単位回路となる GaN- μ LED 用駆動回路の試作を行った。波長 460 nm の InGaN/GaN MQW の 900 °C 30 分以内という許容熱履歴から、Si-nMOSFET における合計熱履歴がそれに収まるようにモノリシック集積工程の温度条件を調整し、Si/SiO₂/GaN-LED 基板上への GaN- μ LED および Si-nMOSFET のモノリシック集積を実施した。Si/SiO₂/GaN-LED 基板上に作製した Si-nMOSFET による GaN- μ LED の駆動を確認した。このとき、 μ LED 部分以外の発光箇所は観測されなかった。また、工程終了後の Si デバイス層に対して断面 TEM 観察および Secco エッチングによるエッチピッドの観測を行った結果、工程終了後においても Si 層内に積層結果や転位は観測されなかった。GaN- μ LED 用駆動回路の動特性を評価した結果、10 MHz 以上の変調帯域を確認することが出来た。これは現行の測定系の周波数帯域に律速している可能性があるため、より高周波の動特性評価を正確に行うためには、試作したデバイスのパッケージング技術を今後確立していく必要がある。結果としては、過去に試作された高品質 Si/III-V-N/Si 構造上の回路の動作周波数よりも 3 桁程度向上しており、Si/SiO₂/GaN-LED 基板を用いたモノリシック集積の有効性を実験的に証明した。

第6章 短波長光源に適するポリマー光導波路および集積化工程の開発

第6章では、短波長光源となる GaN- μ LED 上への COP 導波路のモノリシック集積工程を確立すべく、その基本的な構造解析・設計と試作に関する検討を行った。時間領域差分法による GaN- μ LED 上の COP 導波路構造における光結合効率を解析に求めた結果、単純に作製したモデルで光結合効率は 3.36% となり、Ag 薄膜付き斜めミラー構造を μ LED 上に作製したモデルでは光結合効率が 16.4% まで向上することを確認した。入手した COP(ZEONEX[®] 480R) をリモネンに 30 wt% の濃度で溶解させた COP 溶液をスピコート法によって任意基板上に塗布することによって、数十マイクロメートル程度まで COP 膜の膜厚を制御可能であることが確認出来た。また、成膜した COP 層をドライエッチングによって導波路状に加工することによって COP 導波路を実際に作製した結果、波長 633 nm のレーザー光の伝搬を確認した。この COP 導波路作製工程を GaN- μ LED の作製工程に組み込み LED/導波路集積デバイスを試作した結果 GaN- μ LED からの光を長さ 2 mm の COP 導波路内の導波を確認した。

以上各章の概要を述べた。3~5 章では、GaN 系発光デバイスを用いたモノリシック OEIC の実現に向けて、ウェハ接合を用いた Si/SiO₂/GaN-LED 構造の作製方法から本構造を用いた GaN- μ LED と Si-nMOSFET のモノリシック集積工程までを開発し、モノリシック OEIC の基本回路となり得る GaN- μ LED 用駆動回路の実証に至った。本技術を今後も更に深化させることにより、GaN 系 OEIC が実現されることに期待する。また、本論文で実証した異種材料積層技術と集積工程の設計指針を応用することで、

磁性材料や誘電体材料等の取扱いも可能となることから、本論文で纏めた技術が奇抜で新たなアイデアの創出に繋がることに期待する。一方で、GaN系モノリシックOEICの実現に向けて様々な課題を見出すことが出来た。GaN- μ LEDに関しては、3.3節で論じたプラズマダメージ起因の外部量子効率の低下の解決策を見出すことが高密度集積に向けた重要課題といえる。様々な応用分野、デバイス構造が考えられるが、 μ LEDをどこまで微細とするのかという点に関しては、大規模化・高密度化の観点と回折限界を鑑みるに直径1 μm 程度が一つの目安になると考えられる。したがって、サイズ依存性に関しては引き続き検討を行っていく必要がある。今後の指針としては、直径1 μm に迫る μ LEDの作製技術の開発に加えて、発光寿命測定によるプラズマダメージの定量評価と溶液処理によるプラズマダメージ層の除去などを検討していく必要があるものと考えられる。モノリシック集積工程に関しては、Si-MOSFETやMOSキャパシタの静特性やSIMS測定等を基としたSi/SiO₂/GaN-LED構造におけるデバイス作製条件の詳細な評価に加え、Si集積回路あるいはSiフォトダイオードを μ LEDの発光から遮光する構造の検討等、回路設計自由度に関わる課題に対する取組みも必要になる。後者に関しては、第4章で取り組んだ表面活性化ウェハ接合による異種材料積層構造の作製手法を用いて中間絶縁層材料の工夫や、配線層のレイアウトの工夫により対策が可能であると考えられる。GaN系OEICの応用分野の拡張という観点から見ると、6章で基礎検討を行ったCOP導波路技術の重要性は今後益々増していくものと予想される。この技術をSi/SiO₂/GaN-LED構造に適用することが出来れば、従来から議論されてきた単なる光配線応用のみならず、集積回路が得意とする記憶・演算・制御機能と光が持つ異種機能を有機的に融合した新しい光電子融合システムが実現されるものと期待される。

最後に、筆者が本論文を纏めるにあたり捉えたGaN系OEICという光電子融合分野における新たな側面が、後続の研究者の興味・好奇心を刺激すると同時に、研究を理解するための一助となることを切に願う。また、本研究の成果を一つの足掛かりにして、高密度光電子集積技術に関わる理解・研究規模が更なる発展を遂げることを願い、本論文を終える。

謝辞

本研究は、豊橋技術科学大学 若原 昭浩 教授の御指導を賜ることにより、ここに博士論文としてまとめるに至りました。先生には、この上ない研究環境を与えて頂き、研究活動・研究姿勢のすべてにおいて終始御助言を賜りました。ここに深甚なる感謝と御礼を申し上げます。豊橋技術科学大学 澤田 和明 教授，同大学 福田 光男 教授ならびに同大学 関口 寛人 准教授には、学位審査にあたり格別の御指導を賜り、本論文を深く吟味して頂きました。ここに謹んで深く感謝致します。

豊橋技術科学大学エレクトロニクス先端融合研究所兼電気・電子情報工学系 岡田浩 准教授には、日々の有益な御議論に加えて実験室の環境整備や運営に関わる御指導等、細やかな御配慮を賜りました。心より深く感謝致します。同大学 山根 啓輔 助教には、直接の御指導を頂き、日々の研究活動に関する相談に惜しみなく時間を割いて頂きました。先生の懇篤な御指導と配慮に満ちた御支援が、本論文を纏めるまでに至った筆者の成長要因であったと考えております。心より深く感謝申し上げます。

本研究を進めるにあたり、共同利用装置に関して種々の御便宜ならびに有益な御教示を頂きました集積電子システムコースの諸先生方に深く感謝いたします。また、実験および半導体製造工程等の遂行にあたり、多大なるご助言・ご協力を頂いた豊橋技術科学大学 足木 光昭 特命技術職員，同大学 高瀬 博之 技術職員，飛沢 健 技術職員に心より感謝いたします。修士課程2年から4年間に渡り学業・研究活動・価値観教育に関して数多くの学びの場を設けて頂いた豊橋技術科学大学テーラーメイド・バトンゾーン教育プログラムに厚く御礼を申し上げます。また、同プログラムにて御指導を頂いた豊橋技術科学大学 石田 誠 現特別顧問，同大学 石井 仁 元 TB 特任教授，同大学 柴崎 一郎 元 TB 特命教授に厚く御礼申し上げます。

本研究の遂行にあたり御協力頂いたボンドテック株式会社，信越化学工業株式会社，株式会社岡本工作機械製作所，斉藤光学株式会社の皆様に心より御礼申し上げます。諸手続きに際し御協力頂きました集積電子システム分野秘書 白井 弘子に御礼申し上げます。国際会議発表にあたり，海外渡航費を御支援頂いた公益財団法人 立松財団，公益財団法人 中部電気利用基礎研究振興財団に深く感謝致します。

本研究の遂行に当たり、その一部は高橋 賢二郎氏(3.4 節)、河井 康宏氏(3.5 節)、上月 誠也氏(3.5 節)、宇都宮 脩氏(4~5 章)、立原 佳樹氏(4.5 節)、中川 翔太氏(5 章)、新田 遼氏(6 章)の協力によって行われました。彼らの惜しみない協力があったからこそ本論文を纏めるに至ったのであり、また名誉ある学術表彰を頂くことが出来たのだと考えております。ここに厚く御礼申し上げます。

在学中、現 信州大学 浦上 法之 助教とは日々より学年の垣根を超えた交流と意見交換を行って頂きました。同氏の気さくな人柄に加え共に歩んだ有意義な日々が、筆者に持続的な内的動機を与え、辛い時に耐え忍ぶための志気を与えてくださりました。ここに厚く御礼申し上げます。電気・電子情報工学系の同期である、金澤 直輝氏、中村 和樹氏、鈴木 良輝氏の存在と彼らの先行的な活躍が、研究を進めていく上での大きな励みでありました。ここに深く感謝するとともに、今後の益々の御活躍をお祈り申し上げます。実験を進める上で協力関係となったHary Oktavianto氏、研究室 OB 近藤 正樹氏、飯島 光一郎氏、城ノ下 拓也氏、大谷 龍輝氏、田中 誠造氏、都築 龍一氏、永本 勇矢氏、伊藤 宏成氏、高田 明成氏、勝間田 智之氏、石丸 貴博氏、川上 恭平氏、金本 匡祥氏、佐藤 一貴氏、蛭田 恭仁氏には、多くの学びの機会を与えて頂きましたことを心より御礼申し上げます。また、本研究は飯島 光一郎氏の研究の後継にあたるものであり、飯島氏の研究成果があったからこそ纏めることが出来たと考えております。あらためて、飯島 光一郎氏に深く感謝致します。

実験では直接携わらないながらも、若原・岡田・関口研究室ならびに集積電子システムコースの学生諸氏の賑やかで温かな雰囲気は筆者の日常生活に彩りを与えて下さりました。今後の益々の発展を切に願うと共に、ここに深く感謝いたします。

研究外では、石部 達也氏、青木 康祐氏、木村 圭祐氏と興じた時間が健康的な精神のための一助となりました。また、未だ見ぬ労働社会の有様や集団の中での自らの在り方等、何気ない会話を通して様々な価値観に触れることが出来たことは、人格を錬磨していく、そして身の振り方を考えていく上で重要であったと感じております。ここに、心より御礼申し上げます。

最後に、あらゆる面で支えてくれた家族に心から深謝し、謝辞の結びとする。

平成 29 年 土山和晃

研究業績

1. 学術論文(査読付国際学術誌)

- (1) **K. Tsuchiyama**, K. Yamane, H. Sekiguchi, H. Okada and A. Wakahara, “Fabrication of Si/SiO₂/GaN structure by surface-activated bonding for monolithic integration of optoelectronic devices”, Japanese Journal of Applied Physics **55** (2016) 05FL01. (5pages)
- (2) **K. Tsuchiyama**, K. Yamane, S. Utsunomiya, H. Sekiguchi, H. Okada and A. Wakahara, “Monolithic integration of Si-MOSFET and GaN-LED using Si/SiO₂/GaN-LED wafer”, Applied Physics Express **9** (2016) 104101. (4pages)

2. 国際会議論文(査読付プロシーディング)

- (1) **K. Tsuchiyama**, H. Sekiguchi, H. Okada, and A. Wakahara, “Development of GaN Micro-LED Arrays for Life Chip Application”, International Symposium on Technology for Sustainability, proceeding, (2012) 00152. (4pages)

3. 国際会議

- (1) **K. Tsuchiyama**, H. Sekiguchi, H. Okada, A. Wakahara, “Development of GaN Micro-LED Arrays for Life Chip Application”, International Symposium on Technology for Sustainability, TA2-1, Bangkok, Thailand, November 21-24 (2012). (Oral presentation)
- (2) **K. Tsuchiyama**, H. Tahara, H. Sekiguchi, H. Okada, A. Wakahara, “Evaluation of optical property in various InGaN micro-LED size($\lambda=470\text{nm}$)”, ISPlasma2014/IC-PLANTS2014, 05aC04O, Nagoya, Japan, March 2-6 (2014). (Oral presentation)
- (3) **K. Tsuchiyama**, K. Yamane, H. Sekiguchi, H. Okada, A. Wakahara, “Fabrication of Si/SiO₂/GaN-LED wafer using surface activated bonding”, The 6th International Symposium on Growth of III-Nitrides, We-B6, Hamamatsu, Japan, November 8-13 (2015). (poster presentation)

- (4) **K. Tsuchiyama**, K. Yamane, S. Utsunomiya, H. Sekiguchi, H. Okada and A. Wakahara, “Monolithic integration of Si-MOSFETs and GaN- μ LEDs using Si/SiO₂/GaN-LED structure”, The 2016 European Materials Research Society Fall Meeting, I.5.2, Warsaw, Poland, September 19-22 (2016). (Oral presentation)

4. 国内研究会

- (1) **土山和晃**, 田原浩行, 関口寛人, 岡田浩, 若原昭浩, “GaN 微小 LED の光学特性のサイズ依存性”, 第 33 回電気材料シンポジウム, Fr1-7, ラフォーレ修善寺, 7月9日-11日, 2014年. (ポスター発表)
- (2) **土山和晃**, 山根啓輔, 関口寛人, 岡田浩, 若原昭浩, “表面活性化接合による Si/SiO₂/GaN-LED 基板の作製”, 第 34 回電気材料シンポジウム, Th3-24, ラフォーレ琵琶湖, 7月15日-17日, 2015年. (ポスター発表)
- (3) **土山和晃**, 山根啓輔, 関口寛人, 岡田浩, 若原昭浩, “光電子融合デバイスの実現に向けた表面活性化ウエハ接合による Si/SiO₂/GaN-LED 基板の作製”, 第 38 回光通信研究会, A-3, 富士Calm (富士吉田市), 8月8日-10日, 2015年. (口頭発表)
- (4) **土山和晃**, 宇都宮脩, 中川翔太, 山根啓輔, 関口寛人, 岡田浩, 若原昭浩, “超大規模光電子融合チップのための基板構造およびモノリシック集積型 GaN- μ LED 用駆動回路の開発”, 電子情報通信学会レーザー・量子エレクトロニクス研究会, 発表番号17番, 京都大学, 12月12-13日, 2016年. (口頭発表)

5. 国内学会

- (1) **土山和晃**, 関口寛人, 岡田浩, 若原昭浩, “光電子集積回路に向けた窒化ガリウム 128×128 マイクロ LED アレイの開発”, 電気関係学会東海支部連合大会, M2-8, 豊橋技術科学大学, 9月24日, 2012年. (口頭発表).
- (2) **土山和晃**, 関口寛人, 田原浩行, 岡田浩, 若原昭浩, “InGaN 微小 LED アレイの作製と電気・発光特性の評価”, 第 61 回応用物理学会春季学術講演会, 17a-E13-1, 青山学院大学 (相模原市), 3月17日, 2014年. (口頭発表)

- (3) 土山和晃, 田原浩行, 山根啓輔, 関口寛人, 岡田浩, 若原昭浩, "GaN テンプレート基板と Si 基板の常温ウェハ接合", 第 75 回応用物理学会秋季学術講演会, 18p-C5-14, 北海道大学, 9 月 18 日, 2014 年. (口頭発表) .
- (4) 土山和晃, 宇都宮脩, 山根啓輔, 関口寛人, 岡田浩, 若原昭浩, "Si/SiO₂/GaN 系 LED 基板上への微小 LED の作製", 第 62 回応用物理学会春季学術講演会, 13a-B1-10, 東海大学 (平塚市) , 3 月 13 日, 2015 年. (口頭発表)
- (5) 土山和晃, 宇都宮脩, 中川翔太, 山根啓輔, 関口寛人, 岡田浩, 若原昭浩, "Si/SiO₂/GaN-LED 構造を用いた Si-MOSFET および LED のモノリシック集積", 第 63 回応用物理学会春季学術講演会, 20p-H121-18, 東京工業大学 (大岡山) , 3 月 20 日, 2016 年. (口頭発表)
- (6) 宇都宮脩, 立原佳樹, 土山和晃, 山根 啓輔, 関口 寛人, 岡田 浩, 若原 昭浩, "MOS トランジスタ及び発光素子の一貫形成に向けた Si/SiO₂/GaN/ Sapphire 構造の熱耐性に関する調査", 第 63 回応用物理学会春季学術講演会, 22a-P6-12, 東京工業大学 (大岡山) , 3 月 19-22 日, 2016 年. (ポスター発表) .
- (7) 上月誠也, 土山和晃, 山根啓輔, 関口寛人, 岡田浩, 若原昭浩, "イオン注入技術を用いたプレーナ型 GaN-LED の作製", 第 63 回応用物理学会春季学術講演会, 22a-P6-13, 東京工業大学 (大岡山) , 3 月 19-22 日, 2016 年. (ポスター発表) .
- (8) [招待講演]土山和晃, 宇都宮脩, 中川翔太, 山根啓輔、関口寛人, 岡田浩, 若原昭浩, "GaN-LED を用いた高密度光電子集積回路基盤技術の開発", 第 77 回応用物理学会秋季学術講演会, 14p-A21-11, 朱鷺メッセ (新潟市) , 9 月 13-16 日, 2016 年. (口頭発表)
- (9) 新田遼, 土山和晃, 関口博人, 山根啓輔, 岡田浩, 若原昭浩, "チップ内光配線に向けた GaN- μ LED とポリマー導波路の一体集積化", 第 77 回応用物理学会秋季学術講演会, 16a-P5-1, 朱鷺メッセ (新潟市) , 9 月 13 -16 日, 2016 年. (ポスター発表)
- (10) 土山和晃, 関口博人, 新田遼, 安永弘樹, 山根啓輔, 岡田浩, 若原昭浩, "光電子集積回路の実現に向けた GaN- μ LED/PD とシクロオレフィン系ポリマー導波路のモノリシック集積に関する検討", 第 64 回応用物理学会秋季学術講演会, 16a-503-8, パシフィコ横浜, 3 月 14 -17 日, 2017 年. (口頭発表予定)

- (11) 中川翔太, 土山和晃, 宇都宮脩, 山根啓輔, 関口博人, 岡田浩, 若原昭浩, “Si/SiO₂/GaN-LED 基板を用いたモノリシック型 CMOS/LED 混載集積回路の作製”, 第 64 回応用物理学会秋季学術講演会, 16a-503-7, パシフィコ横浜, 3 月 14 -17 日, 2017 年. (口頭発表予定)

6. 学術表彰

- (1) 土山和晃, 宇都宮脩, 中川翔太, 山根啓輔, 関口寛人, 岡田浩, 若原昭浩, ”Si/SiO₂/GaN-LED 構造を用いた Si-MOSFET および LED のモノリシック集積”, 講演奨励賞, 第 63 回応用物理学会春季学術講演会, 東京工業大学 (大岡山), 3 月 19-22 日, 2016 年.
- (2) 上月誠也, 土山和晃 他, “イオン注入技術を用いたプレーナ型 GaN-LED の作製”, Poster Award, 第 63 回応用物理学会春季学術講演会, 東京工業大学 (大岡山), 3 月 19 日-22 日, 2016 年.

7. 研究助成

- (1) (財)立松財団, 海外調査研究助成, 20 万円, (2016).
- (2) (財)中部電気利用基礎研究振興財団, 国際交流助成, 14 万円, (2016).

8. 雑誌等掲載

- (1) オンラインマガジン Semiconductor Today 誌掲載, 12, October 2016.
“Integrating gallium nitride LED with silicon drive transistor”