

シリコンチップ内表面プラズモン配線に関する研究
(Study on surface plasmon interconnections on silicon chips)

2015年1月

博士（工学）

相原 卓磨

豊橋技術科学大学

シリコンチップ内表面プラズモン配線に関する研究

論文要旨

情報処理デバイスの更なる高性能化に向けて、半導体集積回路内への新規配線技術の導入が期待されている。特に、光の高速・大容量性および可干渉性を有し、ナノスケール領域に閉じ込められ、かつ金属細線を導波する表面プラズモンは、シリコンチップ内配線の新たな信号キャリアとして注目されている。そのため、表面プラズモンを信号キャリアとして利用するための導波路や検出器、発生器、変調器といったプラズモニックデバイスがこれまでに研究されてきた。しかしながら、実際に、それらプラズモニックデバイスが電子デバイスとチップ内にモノリシック集積された報告はない。また、光強度信号に対するプラズモニックデバイスの応答あるいは伝送特性に関して研究されてきたものの、伝送容量の大きなコヒーレント光信号に対する研究例は少ない。以上より、本研究では、表面プラズモンをコヒーレントキャリア波として利用したシリコンチップ内配線技術の確立を目的とした。

はじめに、電子デバイスとのモノリシック集積に適するシリコンベースの表面プラズモン検出器を実現した。本検出器は、シリコン基板とナノスケールのスリットが形成された金属薄膜のみで構成される。有限時間領域差分法に基づく電磁界解析の結果より、スリットをファブリ・ペロー型の共振器として用い、かつそのスリットを周期的に配列することで、励起する表面プラズモンの強度が高まることを明らかにした。作製した表面プラズモン検出器における光電流の偏光角依存性および入射光強度依存性を測定することにより、本検出器がシリコンに吸収されない光子エネルギー（0.8 eV）の表面プラズモンを検出していることを実証した。

次に、表面プラズモンを介したコヒーレント光信号の伝送可能性を明らかにした。作製した金薄膜導波路に表面プラズモンを励起し、表面プラズモンとして導波させた後の光のスペクトルを光ヘテロダイン法により観測した。ビートスペクトルの観測により、表面プラズモンを介した光周波数変調信号の伝送可能性を明らかにした。また、表面プラズモンは、伝送の過程で、その強度を減衰させるものの、スペクトル線幅、すなわちコヒーレンス性は一定に保たれることを明らかにした。

最後に、本研究で実現したプラズモニックデバイスを金属酸化膜半導体電界効果トランジスタ（MOSFET）とシリコンチップ上にモノリシック集積した。本集積回路において、100 μm の距離を導波した表面プラズモンにより MOSFET で構成される電子回路が直流および交流動作することを実証した。さらに、遅延自己ホモダイン法を用いて、表面プラズモンが集積回路内のコヒーレントキャリア波として利用できることを明らかにした。

以上の結果は、表面プラズモンを信号キャリアとして利用した高速大容量の新規情報処理デバイスの実現可能性を示している。

Study on surface plasmon interconnections on silicon chips

Abstract

The performance of microprocessors is limited by several problems such as signal delays and power consumption by the electrical wiring. Surface plasmon polaritons (SPPs), which are collective electron oscillations coupled to an electromagnetic field, have great potential as information carriers for use in on-chip interconnections because they propagate along the metal surface at optical frequencies, achieving nano-scale optical mode confinement beyond the diffraction limit. A wide range of plasmonic devices have been developed including emitters, waveguides, modulators and detectors. The signal response and transmission of plasmonic devices have also been studied. However, there have been no reports on the monolithic integration of plasmonic devices for use in on-chip interconnections in electrical circuits. In this study, silicon-based plasmonic devices are developed. These plasmonic devices are monolithically integrated with electrical circuits based on metal-oxide-semiconductor field-effect transistors (MOSFETs) on silicon substrates. The feasibility of an on-chip interconnection using SPPs as the coherent carrier waves is also demonstrated.

First, a novel silicon-based SPP detector is realized. The detector consists of a gold film with a nano-slit grating on a silicon substrate. It converts optical signals into electrical signals using a photocurrent. The structure of the nano-slit grating of the detector is optimized in terms of the slit depth and pitch by analytical calculations based on the finite-difference time-domain method to enhance the SPP intensity at the gold/silicon interface. The optimal structure resulted from the resonance effect of the SPP mode inside the slit, acting as a Fabry–Perot cavity and the in-phase interference of the SPP mode generated by each slit. SPP detection is verified in one of the detectors fabricated at a photon energy of 0.80 eV, which is below the bandgap energy of silicon, by observing the polarization dependence of the photocurrent. Detection of a signal with an optical frequency by the SPP detector is also demonstrated by applying the optical heterodyne method.

Next, an SPP waveguide consisting of a gold film with light/SPP couplers (coupling and decoupling gratings) on a quartz glass substrate is fabricated to confirm the coherent optical signal transmission through the SPPs. In this device, a laser beam excites the SPPs via the coupling grating and propagates along the gold surface as SPPs, before it is scattered toward free space via the decoupling grating. The beat spectrum between the light beams through the SPPs and the reference beam is observed using an optical heterodyne method. The observed beat spectrum indicates that the optical frequency-modulated signal can be transmitted through SPPs on a gold surface. As the propagation distance of the SPPs increased, the full width at half maximum values of the beat spectra were constant and the peak values of the beat spectra decreased. The retention of the coherence is also confirmed by analytical calculations based on the Drude model. From these results, the feasibility of coherent communication using SPPs as signal carriers is demonstrated.

Finally, monolithic integrated circuits composed of the developed SPP detector, waveguide and MOSFETs are fabricated on silicon substrates. Operation of the integrated plasmonic device using a laser beam with a free-space wavelength of 1550 nm is confirmed from the photoresponse of this device. In the monolithic integrated circuit, the photocurrent generated by the SPP detector drives the MOSFET-based electrical circuit after the SPPs carry the optical intensity signal propagated along the surface of the gold film. It is demonstrated that SPPs that propagate through the silicon-based circuits can be used as coherent carrier waves that carry high-capacity signals by observing the beat spectrum output from the electrical circuit.

These results indicate the feasibility of the on-chip SPP interconnections for high-speed and large-capacity data processing applications.

目次

1 序論	1
1.1 研究の背景.....	1
1.1.1 通信トラフィックの増大.....	1
1.1.2 情報処理デバイスの現状.....	1
1.1.3 高性能化に向けた技術動向.....	4
1.2 配線技術.....	8
1.2.1 電気配線における問題.....	8
1.2.2 各種配線の方式.....	9
1.2.3 光配線技術の現状と課題.....	10
1.3 本研究の目的.....	14
1.4 本研究の位置付け.....	16
1.5 本論文の構成.....	17
参考文献.....	19
2 表面プラズモン検出器の作製	23
2.1 緒言.....	23
2.2 プラズモニクス.....	24
2.2.1 表面プラズモンの理論.....	24
2.2.2 プラズモニクデバイスの研究動向.....	28
2.3 検出の原理.....	32
2.3.1 ショットキーダイオード.....	32
2.3.2 内部光電子放出効果.....	35
2.4 検出器の概要.....	38
2.4.1 検出器の動作原理および構造.....	38
2.4.2 検出器の材料.....	39
2.4.3 検出器の動作波長.....	41
2.4.4 検出器における表面プラズモンの励起構造.....	42
2.5 グレーディング構造の設計.....	43
2.5.1 計算モデルおよび条件.....	43
2.5.2 スリット深さの設計.....	46
2.5.3 スリット周期の設計.....	48
2.6 検出器の作製.....	52
2.7 検出器の特性.....	54

2.7.1	電流電圧特性.....	54
2.7.2	光電流の偏光角依存性.....	56
2.7.3	光電流の入射光強度依存性.....	58
2.7.4	光ビート信号の観測.....	60
2.7.5	光ヘテロダイン増幅.....	63
2.8	結言.....	64
	参考文献.....	65
3	表面プラズモンを介したコヒーレント光信号の伝送.....	69
3.1	緒言.....	69
3.2	コヒーレント光通信技術.....	70
3.2.1	光ファイバ通信の研究動向.....	70
3.2.2	コヒーレント光通信技術の特徴.....	71
3.2.3	表面プラズモンを介した信号伝達技術.....	73
3.3	光ヘテロダイン法の原理.....	76
3.3.1	基本原理.....	76
3.3.2	遅延自己ヘテロダイン法.....	76
3.4	素子構造の概要.....	80
3.5	グレーティング構造の設計.....	82
3.5.1	計算モデルおよび条件.....	82
3.5.2	励起用グレーティング構造の設計.....	83
3.5.3	散乱方向の制御.....	84
3.6	素子の作製.....	86
3.7	表面プラズモンの伝送特性.....	88
3.7.1	表面プラズモンの励起.....	88
3.7.2	光周波数変調信号の伝送特性.....	91
3.7.3	コヒーレンス性の伝送特性.....	95
3.8	結言.....	100
	参考文献.....	101
4	プラズモニクデバイスの集積化.....	103
4.1	緒言.....	103
4.2	光電子集積回路.....	104
4.2.1	光電子集積回路の概要.....	104
4.2.2	各種集積化方法の比較.....	105
4.2.3	プラズモニクデバイスの集積化.....	108

4.3	集積化プロセス.....	110
4.4	表面プラズモン検出器と電界効果トランジスタの集積化.....	111
4.4.1	集積回路の構成.....	111
4.4.2	信号の増幅特性.....	112
4.4.3	光強度変調信号による交流動作.....	118
4.5	表面プラズモン検出器と導波路の集積化.....	120
4.5.1	集積化構造.....	120
4.5.2	グレーティング構造の設計.....	121
4.5.3	デバイスの作製.....	125
4.5.4	デバイスの特性評価.....	126
4.6	表面プラズモン導波路付電界効果トランジスタ.....	128
4.6.1	集積回路の構成.....	128
4.6.2	信号の増幅特性.....	129
4.6.3	光強度変調信号による交流動作.....	130
4.6.4	コヒーレント光信号による交流動作.....	131
4.7	結言.....	133
	参考文献.....	134
5	総括.....	137
5.1	結論.....	137
5.2	今後の展望.....	139
5.3	今後の課題.....	140
	謝辞.....	141
	研究業績.....	143
	付録.....	151
A	デバイスの作製プロセス.....	151
B	表面プラズモン検出器の目標性能.....	160
C	ビートスペクトルの理論式.....	163
D	表面プラズモン配線の優位性.....	166
E	表面プラズモンの反射率.....	170
	参考文献.....	172

1 序論

1.1 研究の背景

1.1.1 通信トラフィックの増大

情報化社会の高度化を背景に、インターネットなどで取り扱われる情報量は増加の一途をたどっている。総務省は、日本のブロードバンドサービス契約者の総ダウンロードおよび総アップロードトラフィックは、1年でそれぞれ 35.6%および 25.2% (2012 年比) 増加したと推定している^[1]。また、携帯情報端末の利用者数の増加に伴い、移動通信トラフィックも著しく増加している^[2,3]。Cisco Systems 社は、世界の移動通信トラフィックは、2013 年からの 5 年間で 11 倍増加し、2018 年には月間 15.9 エクサバイトに達すると予測している^[4]。さらに、ビッグデータを利用したビジネスあるいは研究活動が活発化している背景^[5,6]からも、今後益々通信トラフィックが増大すると予測できる。

情報化社会を支える技術として、情報の伝送技術、蓄積技術、そして 1.1.2 項で述べる処理技術が挙げられる。情報の伝送技術においては、光ファイバを用いた光回線方式の導入により情報の伝送容量および伝送距離を飛躍的に向上させてきた^[7,8]。また、面内から垂直磁気記録方式への転換は、テラビット級面記録密度のハードディスクドライブの実現をもたらした。この情報記録媒体は、今日のクラウドコンピューティングシステムを支えている。

1.1.2 情報処理デバイスの現状

(1) マイクロプロセッサの処理性能

マイクロプロセッサ (MPU : Micro-Processing Unit) に代表される半導体集積回路は、今日の産業および家庭用電子機器における高度な情報処理を可能としている。これまで、半導体集積回路の高性能化は、主にスケーリング則に従った素子の微細化および集積密度の向上により達成されてきた。集積回路を構成する金属酸化膜半導体電界効果トランジスタ (MOSFET : Metal-Oxide-Semiconductor Field-Effect Transistor) のサイズは、過去約 30 年にわたり 3 年で約 0.7 倍という一定の割合で微細化されてきた^[9]。同時に、1 チップ上に搭載される素子の数は、約 1.5 年に 2 倍の割合で指数関数的に増大してきた^[9]。最先端半導体に関する世界最大の国際会議 ISSCC (International Solid-State Circuits Conference) 2014 では、プロセスルール 22 nm、配線層数 9 層、コア数 15 個、動作周波数 3.8 GHz、消費電力 150 W のプロセッサ Xeon が発表されている^[10]。また、MPU を多数組み込んだスーパーコンピュータの処理性能は、現在、ペタフロップス級に達している^[11]。

(2) 高性能化の課題

半導体集積回路の更なる高性能化に対しては、(1) 微細加工、(2) 長期信頼性、(3) ソフトエラー、(4) 素子特性のばらつきに関する課題を解決する必要がある^[9]。(1) の課題は、コストや精度を考慮したプロセス技術および装置の高度化、リーク電流を抑えた実効的ゲート絶縁膜の薄膜化、短チャネル特性の劣化や寄生抵抗および接合リーク電流を抑えたソース・ドレインの微細化、消費電力とトレードオフの関係にあるサブスレッショルド電流の低減、そして 1.2.1 項で述べる配線の微細化を包含する。(2) は、素子の微細化とともに困難さが増す課題であり、電界で加速された電子がゲート酸化膜に侵入しトランジスタの特性を劣化させるホットキャリア効果、p 型 MOSFET のゲートに負バイアスを加えることで特性が時間的に変化する現象 (NBTI : Negative Bias Temperature Instability)、ゲート絶縁膜に電圧を印加し続けるとある時点で絶縁破壊が生じる現象 (TDDB : Teme-Dependent Dielectric Breakdown) などの信頼性に関わる課題を含む。(3) のソフトエラーは、外乱によってトランジスタが突発的誤動作を起こす現象であり、外乱としては、パッケージやはんだに含まれる微量の不安定元素が崩壊することで放出される α 線、宇宙から照射される高エネルギーの中性子線、ボロン同位体と低エネルギー中性子の反応によって放出される α 線が挙げられる。(4) のばらつきは、素子が微細化されることで特に顕著になる問題であり、製造装置の特性が時間的あるいは空間的に変化的によって生じるばらつき、素子の特性が配置された図形パターンの疎密、形状、位置関係に依存して変化するために生じるばらつき、ゲート絶縁膜の原子レベルの凹凸など形状のマイクロなゆらぎに由来するばらつきがある。

表 1.1 各スケーリング則におけるデバイス特性の変化^[12]

	Constant Voltage	Constant Field	Quadratic Root
Scaling Length	$1/k$	$1/k$	$1/k$
Power Supply	1	$1/k$	$1/k^{0.25}$
Frequency	k^2	k	$k^{1.75}$
AC Power/Gate	1	$1/k^2$	$1/k^{0.5}$
AC Power/Chip	k^2	1	$k^{1.5}$

また、上述したサブスレッショルド電流の増加やデバイス特性のばらつきに起因して、2000 年以降、低電圧化のスケーリングは鈍化している^[12]。電源電圧は、1980 年代は 5 V 一定の定電圧スケーリング、1990 年代は電源電圧が加工寸法に比例して減少していく定電界スケーリング、2000 年代になると電源電圧が加工寸法の微細化係数 k の 1/4 乗に反比例する 1/4 乗則になっている。表 1.1 に、各スケーリング則における動作周波数、ゲートおよびチップあたりのダイナミック電力の変化を示す。1/4 乗則のスケーリング

においては、動作周波数は $k^{1.75}$ に比例して増加するものの、単位チップあたりのダイナミック電力もまた増加する。消費電力が 100 W を超えると通常の冷却で動作させることが困難となり^[11]、これは、MPU のクロック周波数を律速する要因となる^[13]。事実、MPU のクロック周波数は、2005 年頃から頭打ちとなっている^[13]。

(3) メニーコア化の性能飽和

MPU のクロック周波数上昇の終焉とともに、軽量・単純・低消費電力のコアを多数チップ内に内包するメニーコアプロセッサが登場した^[11]。これにより、1 チップあたりの処理性能を向上させている。しかし、実際にはアムダールの法則 (Amdahl's law) が示すように、並列化不可能な部分があるため速度向上には限界がある^[11]。加えて、コア間でのデータ転送も速度制限の要因となる。

1.1.3 高性能化に向けた技術動向

Moore の法則に従ったスケーリングにより、半導体集積回路の性能は向上した。しかしながら、MOSFET のゲート長が 9 nm 以下になる時点では、従来のスケーリングによる性能向上が困難となる。そのため、従来のスケーリングを推し進めるアプローチ (More Moore) に加え、Beyond CMOS と More than Moore と呼ばれるアプローチが提唱されている。以下では、それらのアプローチについて述べる。

(1) More Moore

1.1.2 項で述べた課題を克服しながら微細化を推し進め、半導体集積回路技術の更なる発展を目指すアプローチは、More Moore と呼ばれる。すなわち、動作原理は基本的に従来の FET と同じであり、構造や材料、プロセスなどを改良するアプローチである。More Moore に属する代表的な新規デバイスを表 1.2 に示す^{19,14,20}。カーボンナノチューブやグラフェンはキャリアの移動度が高く、オン電流を高くでき、電源電圧の低減が可能となるため、デバイスの低消費電力化ひいては高速化に有効である。ただし、グラフェンはバンドギャップが存在しないため、オフ電流が極めて大きくなる。実用化に向けた課題は、オフ電流の低減とともに、シリコン基板上に高品質のそれらを形成する技術の確立と言える。ナノワイヤは、量子閉じ込めによる振る舞い、すなわち 1 次元的な伝導を示すことで、2 次元的な MOSFET で現れる短チャネル効果を緩和できる可能性を持つ。また、サイズが均一なナノワイヤを自己組織化プロセスで形成可能となれば、ばらつきの問題を抱えるトップダウンプロセスの限界を超えることができる。化合物半導体あるいはゲルマニウムは、シリコンと比較して移動度が高いため、チャネルの置き換え材料として期待できる。課題は、シリコン上への集積化および微細化などが挙げられる。トンネル FET は、ゲート付逆バイアス pin 接合デバイスであり、通常 MOSFET よりも急峻なスイッチング特性を示すことが期待されている。高性能なトンネル FET の実現には、ゲート制御性などが重要となる。それには、低バンドギャップ材料ヘテロ構造が有用であり、その形成技術の確立が課題となる。また、トランジスタの構造として、ゲートを複数持つ Fin-FET や SOI (Silicon on Insulator) 基板上の MOSFET も注目されている。

表 1.2 More Moore に属する新規デバイス^[9,14-20]

Device	Advantages	Challenges
Carbone nanotube FET	<ul style="list-style-type: none"> - High mobility of charge carriers of 79000 cm²/Vs - Potential to minimize the subthreshold slope 	<ul style="list-style-type: none"> - Control of bandgap energy - Positioning of the nanotubes in required locations and directions - Control of the number of nanotube wall - Control of charge carrier type and concentration - Deposition of a gate dielectric - Formation of low resistance electrical contacts
Graphene nanoribbon FET	<ul style="list-style-type: none"> - Extremely high carrier mobility of 120000 cm²/Vs (240 K) - Promise of patterning graphene nanoribbons using conventional top down processes - High current densities - Superior FET performance 	<ul style="list-style-type: none"> - Control of bandgap energy - Obtaining smooth edges
Nanowire FET	<ul style="list-style-type: none"> - Reduction of short channel effects by quantum confinement effect - Self-organization 	<ul style="list-style-type: none"> - Bottom-up fabrication - Positioning of the nanotubes in required locations and directions
III-V channel replacement device	<ul style="list-style-type: none"> - Excellent bulk electron and hole mobilities of 80000 and 1250 cm²/Vs (InSb) - High piezoresistance coefficient 	<ul style="list-style-type: none"> - High quality and thin gate dielectrics - Damage-free low resistivity junctions - Hetero-integration on silicon substrates
Ge channel replacement device	<ul style="list-style-type: none"> - Excellent bulk electron mobility of 3900 cm²/Vs 	<ul style="list-style-type: none"> - Reduction of equivalent oxide thickness - Gate-length scaling to and below 20 nm - Development of lower-resistivity diffusion layers with lower-resistivity metal contacts
Tunnel FET	<ul style="list-style-type: none"> - Abrupt On/Off transition - Low subthreshold swing 	<ul style="list-style-type: none"> - Formation on advanced silicon platforms - Compact modeling

(2) Beyond CMOS

一方、微細化により半導体集積回路技術の更なる発展を目指すアプローチとは別に、相補型金属酸化膜半導体（CMOS : Complementary Metal Oxide Semiconductor）回路の限界を超えた新規情報処理デバイスの実現を目指すアプローチがある。このアプローチは、CMOS を超えるという意味で **Beyond CMOS** と呼ばれる^[9]。**Beyond CMOS** デバイスの状態変数としては、CMOS 回路で扱われる電荷の他に、スピン状態、分子状態、強相関電子状態、位相状態、量子状態、磁気単一量子磁束、機械的変位などが考えられている。**Beyond CMOS** に属する代表的な新規デバイスを表 1.3 に示す^[9,14,21-26]。スピン MOSFET は、ソースとドレインに強磁性体を用いられ、ソースとドレインの磁化状態を平行あるいは反平行に変化させることによって、電流を変化させるなどの機能を持つ。磁化状態により電流のオンオフを制御できるため不揮発性メモリとしての機能も併せ持つ。したがって、ロジックとメモリ間の配線が不要となる。その他のスピンを利用したロジックデバイスとして、スピン波デバイス、ナノ磁性ロジック、バイレイヤー疑似スピン電界効果トランジスタがある。**NEMS**（Nano Electro Mechanical Systems）を利用したスイッチは、固体の梁の変位に基づいて動作するデバイスである。ゼロリークとゼロサブシュレッショルド電流が最大の特徴である。原子スイッチは、電界により原子の動きを制御しオンオフ動作を行うデバイスである。高いオン/オフ比、低いオン抵抗、不揮発性、低消費電力を有する 3 端子原子スイッチが開発されている^[23]。**Mott FET** は、電界や光、熱により誘起される強相関電子系の相変化（**Mott 転移**）を利用したスイッチである。強相関電子系材料である VO_2 を利用した **Mott FET** において、サブナノ秒のスイッチングの可能性が示されている^[27]。**エキシトニック FET** は、ゲート電界によりエキシトニック絶縁状態（オフ状態）を制御するスイッチである。すなわち、ドレイン電流をバンドギャップの形成により制御している。ナノフォトニックスイッチは、近接場光による物質の励起エネルギー移動を利用したスイッチである。通常の FET と比較して、**CuCl** を用いたナノフォトニックスイッチは、消費電力が $1/10^5$ 以下になると試算されている^[28]。**プラズモニックスイッチ**は、表面プラズモン（**SP : Surface Plasmon**）の干渉や非線形光学効果を利用したスイッチであり、光の回折限界以下の領域でのスイッチングが可能となる。

表 1.3 Beyond CMOS に属する新規デバイス^[9,14,21-26]

Device	Advantages	Challenges
Spin MOSFET	- Low power consumption - Ability of non-volatile memory	- Integration of spin devices - Spin generation on low power
NEMS switch	- Zero leak and subthreshold swing - Ability of non-volatile memory - Availability on inexpensive substrates	- Stability of nano-scale contacts - Suppression of sticking - Seal-up of switches
Atomic switch	- High On/Off ratio - Low On resistance - Low power consumption - Ability of non-volatile memory	- Switching speed - Durability and uniformity of switches
Mott FET Nano-magnetic logic	- High speed switching time	- Fundamental understanding of interface between gate oxide and functional oxide films - Local change of band structure
Excitonic FET	- Low voltage operation	- Room temperature operation
Nano-photonic switch	- Low power consumption - High speed - Small size	- Room temperature operation - Integration of nanophotonic devices
Plasmonic switch	- High speed - Small size	- Loss reduction - Integration of plasmonic devices

(3) More than Moore

微細化とは別に、センシングなどの新しい機能を備えたデバイスを集積回路に組み込むことにより、集積回路の多様化を目指すアプローチは **More than Moore** と呼ばれる^[29]。すなわち、個々のデバイス性能を変えることなく、チップ上にアナログ回路、メモリ、MEMS (Micro Electro Mechanical Systems) デバイス、光デバイス、RF (Radio Frequency) デバイス、パワーデバイス、バイオセンサ、スピントロニクスデバイスなどの異種のデバイスを搭載することにより、1チップあるいは1パッケージあたりの性能を向上させるアプローチである。光配線は、この **More than Moore** に属する^[29]。光配線に関しては、1.2.3 項で述べる。また、**More than Moore** を代表する技術の一つとして、3次元集積化技術が挙げられる。この技術は、2次元平面上で実現されていたチップを縦方向に積層し、そのチップ単体の性能を変えることなく全体の性能あるいは機能を向上させる技術である。例えば、1チップを4つに分割し縦に積層した場合、配線長は約1/2となるため、ビットレートの向上そして消費電力の低減が可能となる^[30]。この技術的な課題は、チップ間の信号の接続であり、金属細線を使ったワイヤボンディングの他に、光や無線による接続方法が提案されている^[30]。

1.2 配線技術

1.2.1 電気配線における問題

電荷を状態変数とした回路では、デバイスを相互に接続するために主として金属をベースとした電気配線が用いられている。CMOS 回路においても電気配線が用いられているが、現在、配線の微細化に伴い (1) 配線遅延、(2) 消費電力、(3) クロストーク、(4) エレクトロマイグレーションに関する問題が顕在化している。以下では、それらの問題について述べる。

(1) 配線遅延

配線の単位長さあたりの抵抗を r 、単位長さあたりの容量を c 、配線長を l で表すと、配線における遅延時間は $t_d=rc l^2$ で近似できる^[31]。したがって、回路の高速化のためには、配線の抵抗および容量を下げるのが望ましい。そのため、低抵抗な銅配線の利用、および配線まわりの層間絶縁膜の低誘電率化 (Low- κ 配線) あるいはエアギャップ化が進められてきた^[32]。しかしながら、図 1.1 に示すように、微細化によりトランジスタの遅延時間は減少する一方で、配線における遅延時間は必ずしも減少しない^[33]。その理由として、配線の断面積を $1/k^2$ 、長さを $1/k$ に縮小しても抵抗が k 倍増加すること、配線幅が電子の平均自由行程以下になると表面での散乱が支配的になり抵抗率が増加する^[34,35]こと、微細化すると配線間隔が短くなり配線間容量が増加する^[36]ことが挙げられる。配線遅延の影響が特に顕著に現れるグローバル配線においては、リピータバッファを設けているが、遅延の削減効果には限界がある上に、リピータの挿入は消費電力の増加を引き起こすため根本的な解決にはならない^[37]。また、抵抗を下げるために配線サイズを大きくする逆スケーリングを行っているが、それは集積密度を低下させる。

(2) 消費電力

電気配線の微細化に伴い、電力を消費する配線密度が増加するため、単位面積当たりの消費電力は増加する (図 1.2)^[38]。プロセスルール 130 nm の時点では、MPU の電力の約 50% が配線部分で消費され、その比率は 80% 程度まで拡大すると予測されている^[39]。消費電力は、クロック速度の向上を制限するため、配線における消費電力の低減が急務の課題と言える。

(3) クロストーク

電気配線の微細化に伴い、隣接する配線に電圧変動を与えるクロストークの問題が顕在化する。例えば、幅 100 nm、配線間隔 150 nm の銅配線において、長さ 700 nm だけ配線が隣接することで、他方の配線にスイッチング電圧の 25% の電圧変動を与える^[40]。配線の微細化に伴い、このクロストークが生じる長さは短くなる。したがって、微細化

により配線長が制限される。

(4) エレクトロマイグレーション

配線が微細化すると、電流密度が増加するため、エレクトロマイグレーションの問題が顕在化する。エレクトロマイグレーションとは、電流が配線を通る際に、電子と金属原子との相互作用で金属原子が移動する現象である^[41]。この原子の移動量が大きくなると、配線中に空隙が形成されて断線に至る。また、移動した金属原子が蓄積した箇所にはヒロックと呼ばれる突起が形成され、隣接する配線との短絡故障を引き起こす。電流密度が 2 MA/cm^2 を超えると、銅配線を上回るエレクトロマイグレーション耐性の配線が必要となる^[42]。現在は、銅への絶縁膜キャップ技術によりエレクトロマイグレーション耐性を向上させているが、2017年までには限界に達すると予測されている^[43]。

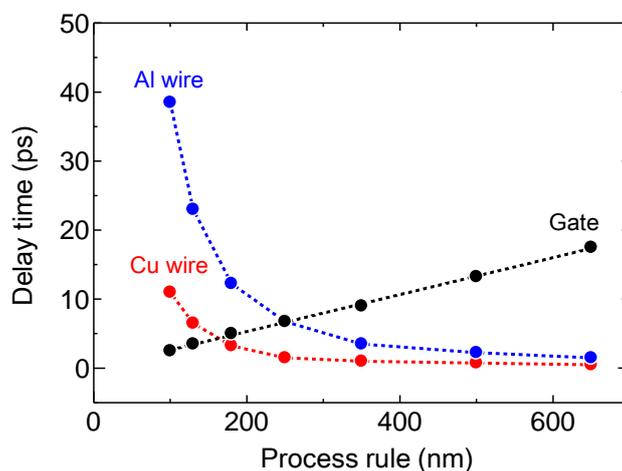


図 1.1 配線遅延時間とプロセスルールの関係 (配線長 : $43 \mu\text{m}$)

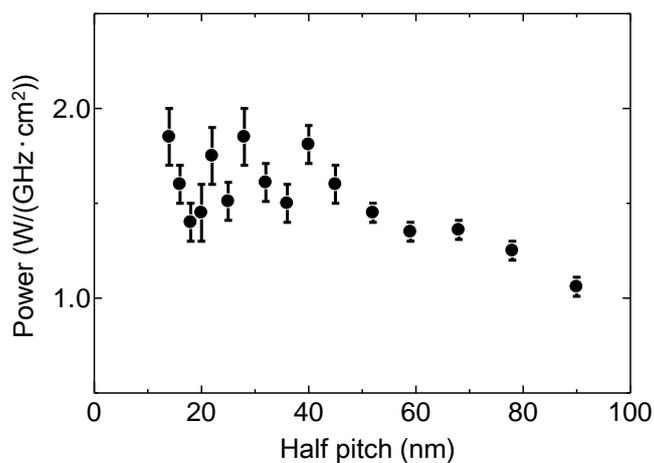


図 1.2 消費電力と配線ハーフピッチの関係

1.2.2 各種配線の方式

上述した配線の問題を克服するため、3次元集積化やエアギャップ化などに加え、新規の配線方式が検討されている。表 1.4 に、新規配線方式の利点と課題をまとめる^[44]。カーボンナノチューブ (CNT : Carbon Nanotube) は、高い導電性とエレクトロマイグレーション耐性を有しており、マイクロメートルオーダーの電子の平均自由行程^[42]、および 1 GA/cm^2 の電流伝導能力^[45]が確認されている。CNT を回路に組み込むためには集積技術および信頼性に関わる課題を解決する必要がある。グラフェンナノリボン (GNR : Graphene Nanoribbon) は、CNT と同様の性質を有しており、任意の基板上への高品質なグラフェンシートの合成などが課題である。光配線は、光の高速性、広帯域性、可干渉性を利用でき、大容量な情報伝送が可能である。加えて、1.1.3 項に示した光 (近接場光や表面プラズモンを含む) を利用した新規情報処理デバイスとの互換性も高いと考えられる。光配線に関しては、1.2.3 項で詳しく述べる。無線配線を用いると、電気接続が不要になるため、異なる機能や材料のチップの集積が可能となる。アンテナサイズの縮小や基板での吸収損失の低減が課題である。スピントロニクスは、揮発性を有し、低消費電力化、高速化、高密度集積化が可能な点であるが、これらはスピンのスピンベースのデバイスの入出力に使われた場合に実現する^[46]。したがって、スピン配線は、その他のスピンデバイスと集積化されることで機能を発揮する。低温で抵抗がゼロになる超伝導体は、抵抗と容量に起因した遅延に対して効果を発揮する。しかし、冷却方法や臨界電流密度に対する課題を解決する必要がある。

表 1.4 新規配線方式の利点と課題^[43]

Interconnect type	Advantages	Challenges
Carbon Nanotube (CNT) Interconnect	<ul style="list-style-type: none"> - Large electron mean free paths - Mechanical strength - High thermal conductivity - Large current carrying capacity 	<ul style="list-style-type: none"> - Achieving a high-density integration - Selective grown - Directional growth - Achieving low-resistance contacts - Achieving defect-free CNTs - Low-temperature growth
Graphene Nanoribbon (GNR) Interconnect	<ul style="list-style-type: none"> - Large electron mean free paths - Mechanical strength - High thermal conductivity 	<ul style="list-style-type: none"> - Wafer-level syntheses - Patterning GNRs with smooth edges - Edge functionalization or doping - Achieving low-resistance contacts
Optical Interconnect	<ul style="list-style-type: none"> - High bandwidth - Low power per bit - Long distance communication - Low skew and jitter 	<ul style="list-style-type: none"> - Integration of optical devices on silicon - Achieving low-energy cost - Achieving low-fabrication cost - Achieving high-density integration
Wireless Interconnect	<ul style="list-style-type: none"> - High bandwidth - Parallel channel 	<ul style="list-style-type: none"> - Reducing antenna size - Reducing absorption loss
Spin-based Interconnect	<ul style="list-style-type: none"> - Low power consumption 	<ul style="list-style-type: none"> - High spin injection efficiency - Development of spin-based devices
Superconductor (SC) Interconnect	<ul style="list-style-type: none"> - Zero resistance 	<ul style="list-style-type: none"> - Cryogenic cooling - Integration of silicon - Improvement of critical current densities - Limitation of signal propagation speed \sqrt{LC}

1.2.3 光配線技術の現状と課題

1.2.2 項で述べた通り、既存の電気配線の問題を解決するための方法の一つとして光配線技術が挙げられている。本項では、はじめに、光通信技術におけるチップ内光配線の位置付けを述べる。その後、光配線技術の利点、および現状と課題を概括する。

(1) チップ内光配線の位置付け

光通信技術を伝送距離で分類すると、中・長距離回線（幹線・メトロ網）、短距離回線（アクセス網）、ボード間光配線、チップ間光配線、そしてチップ内光配線に分けられる^[47]。長距離回線では、低損失石英ファイバやエルビウム添加ファイバアンプ、波長多重化技術などが主要な役割を果たしてきた。この光通信技術は、FTTH（Fiber to the Home）に代表されるアクセス通信網にも導入され、また、LAN（Local Area Network）などの高速ネットワーク装置の装置間インターコネクトなどにも適用の範囲が拡大している^[47]。例として、サーバにおけるストレージへのアクセス時間の遅れを解消した富士ゼロックス社の Giga Express^[48]や、家電機器におけるインターフェースの高速化を目的とした Intel 社の Thunderbolt^[29]が挙げられる。さらに、光配線技術はチップ内に適用されつつある。これはチップ内のコア間あるいはコア内における信号伝送を光で行う技術である。本研究で取り扱う光配線は、このチップ内光配線に分類される。

(2) 利点

チップ内光配線技術の利点を以下にまとめる^[49]。

- 光配線の損失が電気配線の損失より低い場合、低消費電力化が可能
- 配線間クロストークノイズが小さく、また外来ノイズに対する耐性も高いため設計が容易
- 伝送容量が大きく、配線層数やピン数の削減が可能
- 電気的なインピーダンス整合が不要であり、チップ内からチップ間までシームレスな接続が比較的容易
- 信号遅延およびばらつきが小さいため、高速・高性能化が可能

(3) 現状

集積回路上に光回路を構築するために、光導波路や光源、検出器、変調器などの様々な光デバイスが研究されている^[50]。特に、既存の CMOS プロセスを用いて光デバイスを作製する技術、いわゆる、シリコンフォトニクスが注目されている。既存のプロセス技術を利用できるため、量産時の大幅な低コスト化が可能となる^[49]。シリコンフォトニクスの実用化に向けて、IBM、Intel、Oracle、HP、NEC といったコンピュータ関連メーカーが独自の構想で基盤技術の開発に注力している^[51]。また、日本においては、内閣府最

先端研究開発支援プログラム「フォトニクス・エレクトロニクス融合システム基盤技術開発」が平成 22 年より発足するなど、研究開発が活発化している。

現在、チップ内光配線は、要素となる光デバイスの研究およびデバイスの集積化段階であり、実用化には至っていない。表 1.5 に、研究段階にある主な光デバイスの種類を示す。光導波路の損失は、表面粗さの影響を受けるが、導波路コア側壁の酸化工程による平坦化などにより、0.8 dB/cm の伝搬損失を実現している^[50]。また、光変調器との一体化が容易なリブ型^[53]およびスロット型^[54]、反射防止の機能を持つグレーティング型^[55]の導波路も報告されている。一方、フォトリソニック結晶 (PhC : Photonic Crystal) の線欠陥を利用した PhC 導波路は、全反射ではなく多重散乱により光閉じ込めを行っているため、導波路の曲げによる損失を抑えることができる。また、PhC は高い Q 値の光閉じ込めを可能とするため、光メモリといった特殊な用途に適する。表面プラズモンを利用した導波路は、光の回折限界を超えた高い光閉じ込め性能を発揮する。表面プラズモンを利用した光デバイス (プラズモニックデバイスと呼ばれる) に関しては、2.2 節で述べる。光変調器においては、キャリアプラズマ効果を用いたデータレート 40 Gbit/s の光変調が実現されている^[56]。光源においては、間接遷移型半導体のシリコンの発光効率を向上させるために、シリコンのナノ構造化や希土類添加などが試みられている。また、シリコン上のゲルマニウムの量子ドットを用いた LED (Light Emitting Diode) が報告されている^[57]。一方、構造欠陥の無い III-V-N 混晶 (発光素子) をシリコン基板上に成長させるアプローチもある^[58]。ゲルマニウムをシリコンに直接エピタキシャル成長して作製された光検出器では、受光感度 0.97 A/W、帯域周波数 36 GHz の性能が実現している^[59]。また、直接ボンディング技術を用いて、InP ベースのマイクロディスクレーザと検出器、シリコン導波路を集積化し、SOI 基板上での光配線を実現している^[60]。

表 1.5 光配線用の光デバイスの種類

Device	Types
Waveguide	Wire Rib Slot Photonic crystal Grating Plasmonic
Modulator	Carrier Control Electroabsorption Thermo-optic effect Kerr-effect
Emitter	Low-dimensional Si Si/SiGe Nanostructure Er-doped Si Ge-on-Si Stimulated Raman
Detector	Ge-on-Si Damaged Si Two-photon absorption Schottky

(4) 課題

チップ内光配線技術の発展に向けて、以下の課題が挙げられる。

- 光デバイスと電子デバイスのサイズ整合
- 光デバイス構造の簡易化
- 光配線化による製造コスト増大の抑制
- 通信容量の拡大

半導体集積回路のプロセスルールが 10 nm に向かっているのに対し、光デバイスの基本寸法は光の波長より大きいため、例えば、ローカル配線部への光技術の導入は現実的ではない。すなわち、チップ内での光配線の適用範囲は、光デバイスのサイズに制約される。一方、チップ内における配線数は、配線長が短くなるにつれて増大する傾向にある^[61]。したがって、光配線の適用範囲を拡大し、光配線の有用性を最大限に発揮させるためには、光の回折限界以下の領域に集積が可能なナノスケールの光デバイスが必要であると言える。これには、2.2 節で述べる通り、光の回折限界の制約を受けない表面プラズモンの利用が適している^[62-65]。

4.2.2 項で述べる通り、光デバイスと電子デバイスの集積方法には、同一基板上に回路を形成するモノリシック集積^[66]と、複数の基板を用いて回路を構成するハイブリッド集積がある。後者は一般に、製造コストや速度の面で劣る^[50]。一方前者は、各デバイスの接続における寄生成分が小さいため、後者と比べて高速動作が可能である。また、既存の CMOS プロセス技術を用いて集積が可能となれば、製造における大幅な低コスト化が可能となる^[49]。このモノリシック集積を実現するためには、構造が簡易であり、かつ CMOS 回路と互換性の高いシリコンベースの光デバイスが必要となる。

3.2 節で述べる通り、光の波としての性質、すなわちコヒーレンス性を利用することにより、高感度・大容量通信が可能となる。低損失石英光ファイバを用いた長距離光通信システムにおいては、このコヒーレント光通信技術が実用化されている。チップ内光配線においてもコヒーレント光通信技術が適用された場合、長距離光通信システムと同様に、強度変調/直接検波 (IM/DD : Intensity Modulation/Direct Detection) 方式を上回る高性能化が期待できる。したがって、チップ内光配線技術の永続的な発展に向け、コヒーレント光通信の利用が必要と言える。

1.3 本研究の目的

以上より、本研究では、表面プラズモンをコヒーレントキャリア波として利用したチップ内光配線の実現可能性を明らかにすることを目的とした。特に、(1) 電子デバイスとモノリシック集積が容易なシリコンベースのプラズモニックデバイスの実現、(2) 表面プラズモンを介したコヒーレント光信号の伝送可能性の実証、(3) プラズモニックデバイスと電子デバイスとのモノリシック集積技術の確立を目的とした。

本研究では、はじめに、表面プラズモンを電氣的に検出可能な新規表面プラズモン検出器の実現を目指した。検出構造として、シリコン基板上へのモノリシック集積化が容易な、金属薄膜とシリコンのみで構成されるショットキーダイオード構造を選定した。また、表面プラズモン検出器に用いたグレーティング構造を、時間領域差分法に基づく電磁界解析により設計した。本検出器を用いて、シリコンに吸収されないエネルギー帯の表面プラズモンの検出、ならびに表面プラズモンを介した光周波数信号の検出の可能性を検討した。

次に、表面プラズモンを介したコヒーレント光信号の伝送可能性を検討した。本検討のために、表面プラズモン導波路を作製した。本導波路には、表面プラズモンを導波させる金薄膜上に、表面プラズモンの励起用および伝搬光として取り出すためのグレーティング構造を設け、光ヘテロダイン法を用いて、表面プラズモンを介した光周波数信号の伝送可能性を検討した。また、表面プラズモンとして伝搬した距離と表面プラズモンのスペクトル線幅（コヒーレンス性）の関係を明らかにした。なお、スペクトル線幅の評価方法として、高分解能かつ周波数安定性の高い遅延自己ヘテロダイン法を用いた。

さらに、本研究で実現したプラズモニックデバイスと MOSFET で構成されるモノリシック集積回路の実現を目指した。そのため、表面プラズモン検出器および導波路と MOSFET がモノリシックに集積可能な作製プロセスを検討し、作製した集積回路を用いて、直流および交流動作の実証を行った。また、遅延自己ホモダイン法を用いて、表面プラズモンのコヒーレンス性を利用したチップ内光配線の実現可能性を明らかにした。

本研究で構想しているデバイスについて図 1.3 の模式図を用いて述べる。MPU 内部において配線長が比較的長いグローバル配線には、伝搬損失の低い光導波路（シリコン細線導波路やフォトニック結晶導波路などを指す）を用いる。光の可干渉性により、光導波路を交差させて配置できるため配線層は一層に収まる。これにより、電気配線を用いた場合の配線層数の増大が抑制される。光電変換部における信号遅延を最小限に抑えるために、その変換はトランジスタと隣接した微小領域で行う。これを実現するために、表面プラズモン導波路を用いて光信号を微小領域に閉じ込める。表面プラズモン導波路は金属をベースとしているため、従来の電気配線と同様の微細加工技術（ダマシ加工などを指す）を用いてその導波路を形成できる。また、金属をベースとした表面プラズ

モン導波路は、電気配線としても併用できるため、両者の特徴を相補的に機能させたハイブリッド配線が可能となる。また、表面プラズモンにおいても可干渉性を有するため、表面プラズモン導波路を交差させて配置できる。加えて、表面プラズモン発生器をトランジスタと隣接して配置し、導波路と結合することで表面プラズモンを介したローカル配線が可能となる。なお、表面プラズモンを変調する方法として、直接変調と外部変調の両者が想定されるが、表面プラズモン発生器および外部変調器の性能を、変調速度や効率、サイズなどの観点から比較し、いずれかを選定する必要がある。

トランジスタ単体の動作周波数^[67]がテラヘルツオーダに達しつつあるのに対し、回路全体の動作周波数は数ギガヘルツオーダで頭打ちとなっている。この主要因として、電気配線における発熱や信号遅延などが挙げられる。これらの問題を光および表面プラズモン配線を用いることにより解決し、情報処理デバイスの高性能化に対するブレークスルーを与えることが本研究の主たる目的である。電気配線と比較した表面プラズモン配線の優位性については、付録Dにまとめられている。

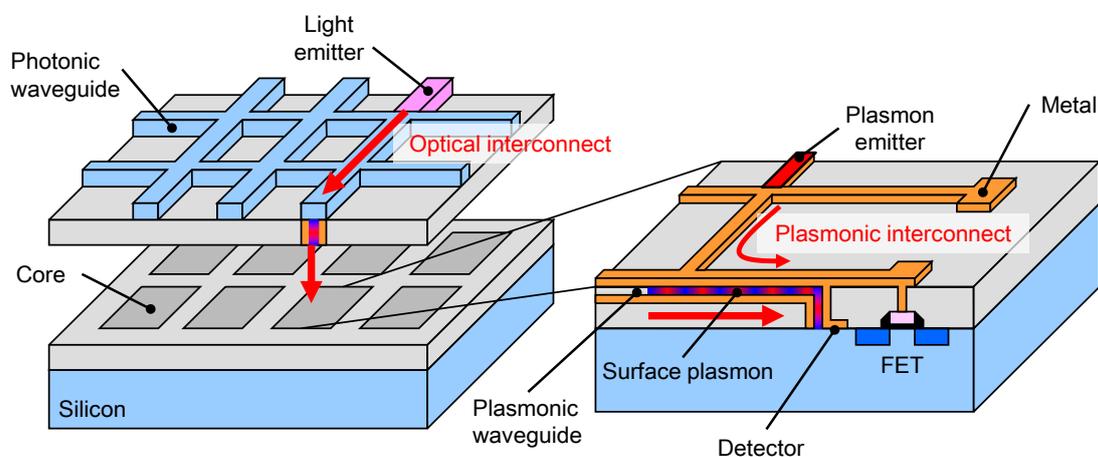


図 1.3 本研究で構想しているデバイスの模式図

1.4 本研究の位置付け

これまで述べた内容を図 1.4 にまとめる。半導体集積回路が実用化されて以降、主にスケーリング則に基づきながら、その高性能化が達成されてきた。しかしながら、現在、サブスレッショルド電流の増加や素子特性のばらつき、配線遅延などの問題により情報処理デバイスの高性能化が制限されている。これを打開すべく、**More than Moore** や **Beyond CMOS** といったアプローチが提唱され、各方面で研究が活発化している。チップ内光配線技術は、**More Than Moore** に属する新技術であり、電気配線が抱える問題を解決する有用な手段の一つとして期待されている。現在、チップ内光配線を実現するための要素デバイスや集積化に関する研究が行われている。本研究では、このチップ内光配線を取り扱っている。特に、光の回折限界の制約を受けず、高い光閉じ込めを可能とする表面プラズモンを利用した。また、通信容量の拡大を目指し、チップ内光配線におけるコヒーレント光通信技術の利用可能性を検討した。

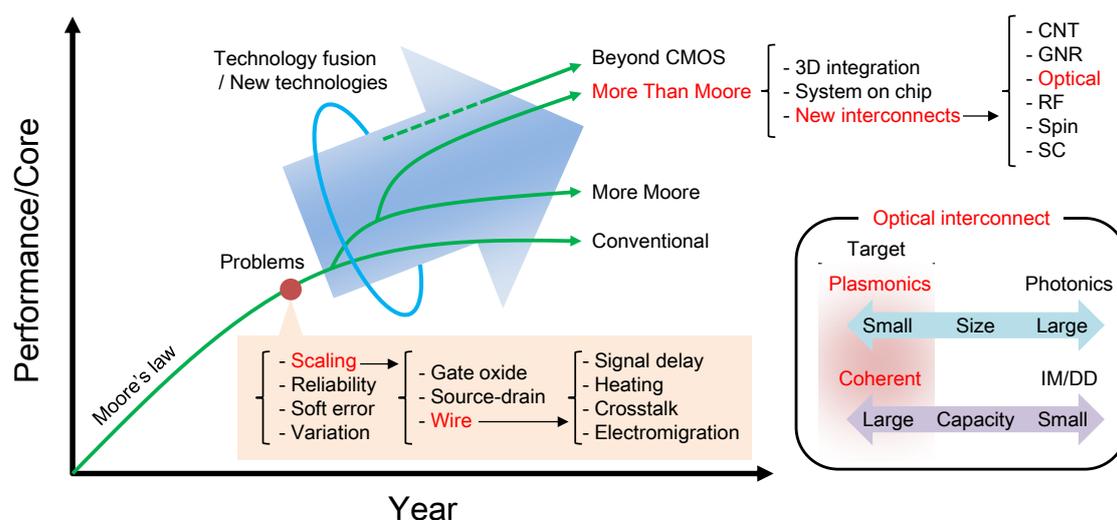


図 1.4 本研究の位置付け

1.5 本論文の構成

本論文を構成する各章の関連を図 1.5 に示す。また、図 1.6 に、光配線を実現するためのプラズモニックデバイスの構成を示し、各章との対応を明らかにする。本論文は、5 章により構成され、その内容は以下の通りである。

第 2 章では、本研究で実現した新規構造の表面プラズモン検出器について述べる。はじめに、表面プラズモンの理論やショットキーダイオードによる光の検出原理について述べる。その後、プラズモニックデバイスの研究動向について解説し、本研究の位置付けを明らかにする。また、本研究で実現した表面プラズモン検出器の構造や材料の選定理由について説明する。次に、本検出器に用いたグレーティング構造の電磁界解析結果について述べる。最後に、本研究で明らかにした、シリコンに吸収されないエネルギー帯の表面プラズモンの検出、ならびに表面プラズモンを介した光周波数信号の検出の可能性について述べる。なお、本検出器は、第 4 章で述べる集積回路の構成要素デバイスの一つとして用いられる。また、本章で明らかにした光周波数信号の検出可能性は、第 4 章のコヒーレント光信号による集積回路の動作実証の結果を裏付ける。

第 3 章では、表面プラズモンを介したコヒーレント光信号の伝送可能性について述べる。はじめに、コヒーレント光通信技術の特徴を述べ、本技術をチップ内光配線に適用する意義について言及する。また、光のコヒーレンス性の評価に用いた遅延自己ヘテロダイナミクス法の原理、および評価に用いた素子の構造について説明する。次に、本評価用素子構造における電磁界解析結果について述べる。その後、本研究で明らかにした表面プラズモンを介した光周波数信号の伝送可能性、および表面プラズモンのコヒーレンス性の伝送特性について述べる。本章で明らかにした表面プラズモンを介したコヒーレント光信号の伝送可能性は、第 4 章のコヒーレント光信号による集積回路の動作実証の結果を裏付ける。

第 4 章では、プラズモニックデバイスの集積化について述べる。はじめに、光デバイスと電子デバイスを集積した回路、すなわち光電子集積回路の研究動向について述べる。また、プラズモニックデバイスの集積化に関する研究動向について述べ、本研究の位置付けを明らかにする。次に、本研究で実現したプラズモニックデバイスと MOSFET の集積化プロセスについて説明する。その後、表面プラズモン検出器と導波路および MOSFET で構成される集積回路の動作特性について述べる。最後に、コヒーレント光信号による集積回路の動作実証の結果について述べる。

第 5 章では、本研究で得られた結果を要約する。

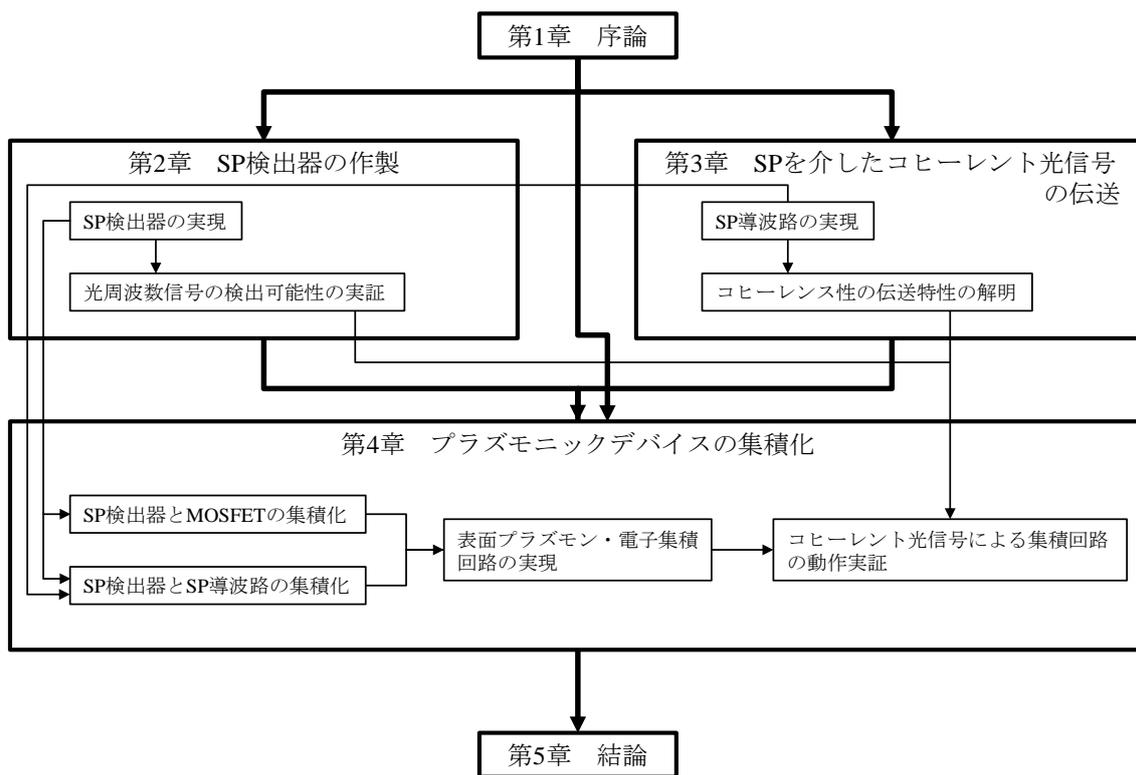


図 1.5 本論文の構成

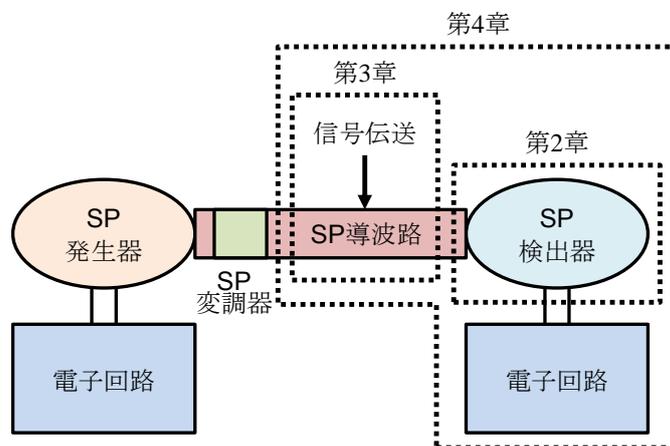


図 1.6 プラズモニックデバイスの構成

参考文献

- [1] 総務省：“我が国のインターネットにおけるトラヒックの集計・試算（2013年11月時点の集計結果の公表）”，総務省（2014）
- [2] 総務省：“我が国の移動通信トラヒックの現状”，総務省（2013）
- [3] B. Swanson and G. Gilder：“Estimating the Exaflood”，Discovery Institute（2008）
- [4] Cisco Visual Networking Index：“Global Mobile Data Traffic Forecast Update, 2013–2018”，Technical report, Cisco（2014）
- [5] 野村総研研究所：ビッグデータ革命 無数のつぶやきと位置情報から生まれる日本型イノベーションの新潮流，アスキー・メディアワークス（2012）
- [6] M. Hilbert：“Big data for development: From Information- to Knowledge Societies”，Social Science Research Network（2013）
- [7] L. C. Kimerling：“Silicon microphotronics”，Appl. Surf. Sci., **159**, 8（2000）
- [8] 鈴木 扇太, 宮本 裕, 富澤 将人, 坂野 寿和, 村田 浩一, 美野 真司, 柴山 充文, 渋谷 真, 福知 清, 尾中 寛, 星田 剛司, 小牧 浩輔, 水落 隆司, 久保 和夫, 宮田 好邦, 神尾 享秀：光通信ネットワークの大容量化に向けたデジタルコヒーレント信号処理技術の研究開発，電子情報通信学会誌, **95**, 1100-1116（2012）
- [9] 平本 俊郎：半導体デバイスシリーズ 1 集積ナノデバイス（電子書籍版），丸善出版株式会社（2009）
- [10] S. Rusu, H. Muljono, D. Ayers, S. Tam, W. Chen, A. Martin, S. Li, S. Vora, R. Varada, and E. Wang：“5.4 Ivytown: A 22nm 15-core enterprise Xeon® processor family”，ISSCC Dig. Tech. Papers, 102-103（2014）
- [11] 小柳 義夫, 中村 宏, 佐藤 三久, 松岡 聡：岩波講座 計算科学 別巻 スーパーコンピュータ, 岩波書店（2014）
- [12] 石橋 孝一郎：“低電圧・低電力 LSI 技術の最新動向”，電子情報通信学会論文誌 C, **J97-C**, 9-16（2014）
- [13] A. Danowitz, K. Kelley, J. Mao, J. P. Stevenson, and M. Horowitz：“CPU DB: Recording Microprocessor History”，Association for Computing Machinery（2012）
- [14] ITRS：ITRS 2011 Edition (JEITA 訳) Emerging Research Devices（2011）
- [15] P. L. McEuen：“Nanotechnology: Carbon-based electronics”，Nature, **393**, 15-17（1998）
- [16] Y. Wu, Y.-M. Lin, A. A. Bol, K. A. Jenkins, F. Xia, D. B. Farmer, Y. Zhu, and P. Avouris：“High-frequency, scaled graphene transistors on diamond-like carbon”，Nature, **472**, 74-78（2011）
- [17] H. Yan, H. S. Choe, S. Nam, Y. Hu, S. Das, J. F. Klemic, and J. C. Ellenbogen：“Programmable nanowire circuits for nanoprocessors”，Nature, **470**, 240-244（2011）
- [18] L. Xia, J. B. Boos, B. R. Bennett, M. G. Ancona, and J. A. Alamo：“Hole mobility enhancement in In_{0.41}Ga_{0.59}Sb quantum-well field-effect transistors”，Appl. Phys. Lett., **98**, 053505/1-053505/3（2011）
- [19] R. Pillarisetty：“Academic and industry research progress in germanium nanodevices”，Nature, **479**, 324-328（2011）
- [20] A. C. Seabaugh and Q. Zhang：“Low-Voltage Tunnel Transistors for Beyond CMOS Logic”，Proceedings of the IEEE, **98**, 2095-2110（2010）
- [21] S. Sugahara and M. Tanaka：“A spin metal-oxide-semiconductor field-effect transistor using half-metallic-ferromagnet contacts for the source and drain”，Appl. Phys. Lett., **84**, 2307-2309（2004）
- [22] S. N. Cha, J. E. Jang, Y. Choi, G. A. J. Amaratunga, D.-J. Kang, D. G. Hasko, J. E. Jung, and J. M. Kim：“Fabrication of a nanoelectromechanical switch using a suspended carbon nanotube”，Appl. Phys. Lett., **86**, 093105/1-093105/3（2005）
- [23] T. Hasegawa, Y. Itoh, H. Tanaka, T. Hino, T. Tsuruoka, K. Terabe, H. Miyazaki, K. Tsukagoshi, T. Ogawa, S. Yamaguchi, and M. Aono：“Volatile/Nonvolatile Dual-Functional Atom Transistor”，Appl. Phys. Exp., **4**, 015204/1-015204/3（2011）
- [24] D. Ruzmetov, G. Gopalakrishnan, C. Ko, V. Narayanamurti, and S. Ramanathan：“Three-terminal field effect devices utilizing thin film vanadium oxide as the channel layer”，J. Appl. Phys., **107**, 114516/1-114516/8（2010）
- [25] T. Kawazoe, K. Kobayashi, S. Sangu, and M. Ohtsu：“Demonstration of a nanophotonic switching operation by optical near-field energy”，Appl. Phys. Lett., **82**, 2957-2959（2003）
- [26] M. Cohen, Z. Zalevsky, and R. Shavit：“Towards integrated nanoplasmonic logic circuitry”，Nanoscale, **5**, 5442-5449（2013）
- [27] Y. Zhang and S. Ramanathan：“Analysis of “on” and “off” times for thermally driven VO₂ metal-insulator transition nanoscale switching devices”，Solid-State Electronics, **62**, 161-164（2011）
- [28] 大津 元一, 小林 潔：ナノフォトニクス基礎，オーム社（2006）
- [29] 木村 忠正：““More than Moore”への展開”，Reliability Engineering Association of Japan, **33**, 180-183（2013）
- [30] 岩田 穆, 横山 新：“無線/光配線による三次元集積の課題と展望”，電子情報通信学会技術研究報告. ICD, 集積回路, **108**, 89-94（2008）
- [31] 富沢 孝, 松山 泰男：CMOS VLSI 設計の原理 - システムの視点から, 丸善（1988）

- [32] L. G. Gosset, A. Farcy, J. Pontcharra, P. Lyan, R. Daamen, G. J. A. M. Verheijden, V. Arnal, F. Gaillard, D. Bouchu, P. H. L. Bancken, T. Vandeweyer, J. Michelon, V. N. Hoang, R. J. O. M. Hoofman, and J. Torres : “Advanced Cu interconnects using air gaps”, *Microelectronic Engineering*, **82**, 321-332 (2005)
- [33] R. Ho, K. W. Mai, and M. A. Horowitz : “The Future of Wires”, *Proceedings of the IEEE*, **89**, 490-504 (2001)
- [34] W. Steinhogl, G. Schindler, G. Steinlesberger, and M. Engelhardt : “Size-dependent resistivity of metallic wires in the mesoscopic range”, *Phys. Rev. B*, **66**, 075414/1-075414/4 (2002)
- [35] W. Steinhogl, G. Schindler, G. Steinlesberger, M. Traving, and M. Engelhardt : “Comprehensive study of the resistivity of copper wires with lateral dimensions of 100 nm and smaller”, *Appl. Phys. Lett.*, **97**, 023706 (2005)
- [36] J.-H. Chern, J. Huang, L. Arledge, P.-C. Li, and P. Yang : “Multilevel Metal Capacitance Models For CAD Design Synthesis Systems”, *IEEE Electron Device Letters*, **13**, 32-34 (1992)
- [37] 松谷 宏紀, 鯉淵 道紘, 天野 英晴 : “クロスバ接続による 3 次元 Network-on-Chip 向け多層型トポロジ”, 情報処理学会研究報告. 計算機アーキテクチャ研究会報告, **55**, 109-114 (2007)
- [38] STRI : “第 6 章 WG4 配線”, 半導体技術ロードマップ専門委員会平成 18 年度報告, 92-111 (2006)
- [39] D. A. B. Miller : “Device Requirements for Optical Interconnects to Silicon Chips”, *Proceedings of the IEEE*, **97**, 1166-1185 (2009)
- [40] J. A. Conway, S. Sahni, and T. Szkopek : “Plasmonic interconnects versus conventional interconnects: a comparison of latency, crosstalk and energy costs”, *Optics Express*, **15**, 4474-4484 (2007)
- [41] 荒井 英輔 : インターユニバーシティ集積回路 B, オーム社 (1998)
- [42] P. C. Andricacos : “Copper On-Chip Interconnections”, *The Electrochemical Society –Interface*, 32-37 (1999)
- [43] ITRS : ITRS 2011 Edition (JEITA 訳) Interconnect (2011)
- [44] P. L. McEuen, M. S. Fuhrer, and H. Park : “Single-Walled Carbon Nanotube Electronics”, *IEEE Transactions on Nanotechnology*, **1**, 78-85 (2002)
- [45] B. Q. Wei, R. Vajtai, and P. M. Ajayan : “Reliability and current carrying capacity of carbon nanotubes”, *Appl. Phys. Lett.*, **79**, 1172-1174 (2001)
- [46] D. E. Nikonov and G. I. Bourlanoﬀ : “Operation and Modeling of Semiconductor Spintronics Computing Devices”, *J. Superconductivity and Novel Magnetism*, **21**, 479-4493 (2008)
- [47] 菅原 俊樹, 松岡 康信, 齊藤 慎一, 松島 直樹, 辻 伸二 : “光配線技術の研究動向と将来展望”, 電子情報通信学会技術研究報告. CPM, 電子部品・材料, **110**, 37-42, (2010)
- [48] 塩田 剛史 : 光配線技術のすべて —機器間から機械内・チップ内配線化へ—, 工業調査会 (2007)
- [49] 大橋 啓之, 最上 徹 : “LSI チップ光配線開発の現状と課題”, 電子情報通信学会技術研究報告. ICD, 集積回路, **110**, 31-36 (2010)
- [50] L. Vivien and L. Pavesi : *Handbook of Silicon Photonics*, CRC Press (2013)
- [51] 馬場 俊彦 : “シリコンフォトニクスによる新世代光集積とインタコネクション”, 電子情報通信学会誌, **94**, 1037-1040 (2011)
- [52] K. K. Lee, D. R. Lim, C. C. Kimerling, J. Shin, and F. Cerrina : “Fabrication of ultralow-loss Si/SiO₂ waveguides by roughness reduction”, *Opt. Lett.*, **26**, 1888-1890 (2001)
- [53] U. Fischer, T. Zinke, J. Kropp, F. Arndt, and K. Petermann : “0.1 dB/cm waveguide losses in single-mode SOI rib waveguides”, *IEEE Photon. Tech. Lett.*, **8**, 647-748 (1996)
- [54] R. Ding, T. B.-Jones, W.-J. Kim, X. Xiong, R. Bojko, J.-M. Fedeli, M. Fournier, and M. Hochberg : “Low-loss strip-loaded slot waveguides in Silicon-on-Insulator”, **18**, 25061-25067 (2010)
- [55] J. H. Schmid, P. Cheben, P. J. Bock, R. Halir, J. Lapointe, S. Janz, A. Delage, A. Densmore, J.-M. Fedeli, T. J. Hall, B. Lamontagne, R. Ma, I. Molina-Fernandez, and D.-X. Xu : “Refractive index engineering with subwavelength grating in silicon microphotonic waveguides”, *IEEE Photonics Journal*, **3**, 597-607 (2011)
- [56] D. J. Thomson, F. Y. Gardes, Y. Hu, G. Mashanovich, M. Fournier, P. Grosse, J.-M. Fedeli, and G. T. Reed : “High contrast 40 Gbit/s optical modulation in silicon”, *Optics Express*, **19**, 11507-11516 (2011)
- [57] X. Xu, T. Chiba, T. Nakama, T. Maruizumi, and Y. Shiraki : “High-Quality-Factor Light-Emitting Diodes with Modified Photonic Crystal Nanocavities Including Ge Self-Assembled Quantum Dots on Silicon-On-Insulator Substrates”, *Appl. Phys. Exp.*, **5**, 102101/1-102101/3 (2012)
- [58] H. Yonezu, Y. Furukawa, A. Wakahara : “III-V epitaxy on Si for photonic applications”, *J. Cryst. Growth*, **310**, 4757 (2008)
- [59] S. Liao, N.-N. Feng, D. Feng, P. Dong, R. Shaiha, C.-C. Kung, H. Liang, W. Qian, Y. Liu, J. Fong, J. E. Cunningham, Y. Luo, and M. Asghari : “36 GHz submicron silicon waveguide germanium photodetector”, *Optics Express*, **19**, 10967-10972 (2011)
- [60] J. V. Campenhout, P. R. A. Binetti, P. R. Romeo, P. Regreny, C. Seassal, X. J. M. Leijtens, T. Vries, Y. S. Oei, R. P. J. V. Ildhoven, R. Nötzel, L. D. Cioccio, J.-M. Fedeli, M. K. Smit, D. V. Thourhout, and R. Baets : “Low-Footprint Optical Interconnect on an SOI Chip Through Heterogeneous Integration of InP-Based Microdisk Lasers and Micro Detectors”, *IEEE Photonics Technology Letters*, **21**, 522-524 (2009)
- [61] J. A. Davis, V. K. De, and J. D. Meindl : “A Stochastic Wire-Length Distribution for Gigascale Integration (GSI)—Part I: Derivation and Validation”, *IEEE Trans. Electron Devices*, **45**, 580-589 (1998)
- [62] E. Ozbay : “Plasmonics: Merging Photonics and Electronics at Nanoscale Dimensions”, *Science*, **311**, 189-193 (2006)
- [63] R. Zia, J. A. Schuller, A. Chandran, and M. J. Brongema : “Plasmonics: The next chip-scale technology”

- Materials Today, **9**, 20-27 (2006)
- [64] J. A. Dionne, L. A. Sweatlock, M. T. Sheldon, A. P. Alivisatos, and A. Atwater, “Silicon-Based Plasmonics for On-Chip Photonics”, IEEE J. Sel. Topics Quantum Electron., **16**, 295-306 (2010)
- [65] D. K. Gramotnev and S. I. Bozhevolnyi : “Plasmonics beyond the diffraction limit”, Nature Photon., **4**, 83-91 (2010)
- [66] J. Schmitz : “Adding functionality to microchips by wafer post-processing”, Nucl. Instrum. Meth. A, **576**, 142-149 (2007)
- [67] F. Schwierz : “Graphene transistors”, Nature Nanotech., **5**, 487-496 (2010)

2 表面プラズモン検出器の作製

2.1 緒言

チップ内光配線技術は、情報処理デバイスの更なる高性能化に向けて期待されている。これは、コア間あるいはコア内で用いられている信号キャリアを電気から光に置き換える技術であり、電気配線の抱える発熱や信号遅延などの問題を解決する方法の一つである。

電子集積回路がシリコンをベースとして発展してきた一方で、光デバイスは化合物半導体をベースとして発展してきた。したがって、それらデバイスをモノリシックに集積させることは材料の観点から容易とは言えない。加えて、光デバイスのサイズは電子デバイスのそれと比較し体積が3桁程度大きく、それらを高密度に集積させることは困難である。

表面プラズモンは、光の回折限界の制約を受けず、高い光閉じ込めを可能にすることから、上述したサイズ不整合の問題解決に向けて注目を集めている。そのため、表面プラズモンを信号キャリアとして利用するための導波路、発生器、検出器、変調器、分波・合波器などのプラズモニックデバイスが研究されている。また、表面プラズモンを介した信号伝送実験やプラズモニックデバイスの集積化なども報告されている。ただし、信号伝送の実験においては、ほとんどが強度信号の利用に限り、コヒーレント光信号の利用例は少ない。

本研究では、シリコンベースの回路に集積化が容易な、新規構造の表面プラズモン検出器を実現した。さらに、本検出器を用いて、表面プラズモンを介した光周波数信号の検出可能性を明らかにした。

本章では、はじめに、表面プラズモンの理論およびプラズモニックデバイスの研究動向、検出器の原理について述べる。表面プラズモンの理論においては、特に、表面プラズモンの分散関係、伝搬距離、励起方法について解説する。プラズモニックデバイスの研究動向に関しては、導波路、光源、検出器に分けて概説する。検出器の原理については、検出器構造であるショットキーダイオードおよび本構造における内部光子放出過程について説明する。次に、本検出器に用いた材料や構造の利点について言及する。その後、本検出器に用いたグレーティング構造の設計について述べる。特に、金スリット内部で表面プラズモンがファブリ・ペロー共振を示すことを述べる。最後に、本研究で明らかにした、本検出器におけるシリコンに吸収されないエネルギー帯の表面プラズモンの検出、ならびに表面プラズモンを介した光周波数信号の検出可能性について述べる。

2.2 プラズモニクス

プラズモニクスとは、表面プラズモンを利用した光学技術である^[1]。表面プラズモンの利用により、光デバイスの小型化や非線形光学効果の増強、高感度光検出、高感度バイオセンシング、カラーフィルタリングなどが可能となる^[2]。以下では、表面プラズモンの理論^[1,3]について述べ、その後、表面プラズモンを利用した光デバイス（総じてプラズモニクデバイスと呼ばれる）の研究動向について述べる。

2.2.1 表面プラズモンの理論

(1) 表面プラズモンの分散式

表面プラズモンとは、金属のように自由電子が存在する物質と誘電体（あるいは空気）の界面で励起される電子の疎密波である。特に、電磁波が結合した場合は、表面プラズモンポラリトンと呼ばれるが^[3]、ここでは単に表面プラズモンと呼ぶ。はじめに、単純な2層構造における表面プラズモンの分散式を求める。いま、図 2.1 のように、比誘電率 ϵ_a の媒質 a ($z \geq 0$) と、比誘電率 ϵ_b の媒質 b ($z < 0$) が平面界面 ($z=0$) で接している状態を考える。

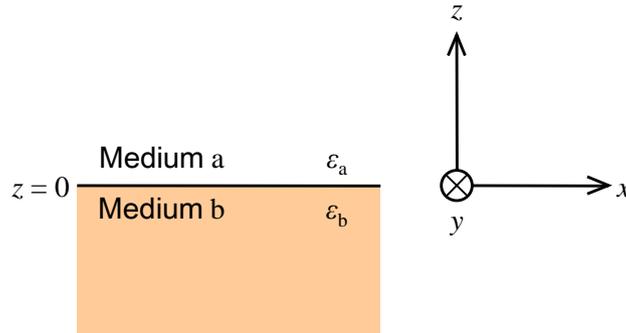


図 2.1 媒質 a および媒質 b の配置

入射面 (xz 面) 内に電界が存在する TM (Transvers Magnetic) 偏光波を仮定し、各媒質中の電磁界の形を式 (2.1) および式 (2.2) で表す。

$$\mathbf{E}_a = (E_{ax}, 0, E_{az}) e^{i(k_x x - \omega t)} e^{-\alpha z} \quad (z \geq 0) \quad (2.1)$$

$$\mathbf{E}_b = (E_{bx}, 0, E_{bz}) e^{i(k_x x - \omega t)} e^{\beta z} \quad (z < 0) \quad (2.2)$$

ここで、 k_x は波数の接線成分、 ω は角周波数、 α および β は場の局在を表すための正の

2 表面プラズモン検出器の作製

実数である。媒質 a および媒質 b は、電氣的に中性であると考えれば、 $\nabla \cdot \mathbf{E}_a = 0$ および $\nabla \cdot \mathbf{E}_b = 0$ より、 $E_{az} = ik_x E_{ax} / \alpha$ および $E_{bz} = -ik_x E_{bx} / \beta$ となるため、式 (2.1) および式 (2.2) は、それぞれ

$$\mathbf{E}_a = \left(E_{ax}, 0, \frac{ik_x}{\alpha} \right) e^{i(k_x x - \alpha z)} e^{-\alpha z} \quad (2.3)$$

$$\mathbf{E}_b = \left(E_{bx}, 0, \frac{ik_x}{\beta} \right) e^{i(k_x x - \alpha z)} e^{\beta z} \quad (2.4)$$

となる。波動方程式

$$\nabla^2 \mathbf{E}_i - \frac{\varepsilon_i}{c^2} \frac{d^2 \mathbf{E}_i}{dt^2} = 0 \quad (i = a, b) \quad (2.5)$$

に式 (2.3) あるいは式 (2.4) を代入すると

$$\alpha = \left(k_x^2 - \varepsilon_a \frac{\omega^2}{c^2} \right)^{1/2} \quad (2.6)$$

$$\beta = \left(k_x^2 - \varepsilon_b \frac{\omega^2}{c^2} \right)^{1/2} \quad (2.7)$$

が得られる。ここで、 c は真空中の光速である。式 (2.6) および式 (2.7) に、 $z=0$ での境界条件、すなわち電界の接線成分の連続性および電束密度の法線成分の連続性を適用すると

$$E_{ax} = E_{bx} \quad (2.8)$$

$$-\frac{ik_x}{\alpha} \varepsilon_a E_{ax} = \frac{ik_x}{\beta} \varepsilon_b E_{bx} \quad (2.9)$$

を得る。式 (2.8) および式 (2.9) より次の関係が導かれる。

$$\alpha \varepsilon_b + \beta \varepsilon_a = 0 \quad (2.10)$$

式 (2.10) が満たされるためには、2 つの媒質のうち、一方の誘電率が負でなければならない。一般に、金属のように自由電子をもつ物質では、プラズマ周波数以下の周波数領域で誘電率は負の値を持つ。したがって、金属と誘電体（あるいは空気）の境界面においては、式 (2.10) を満たす表面電磁波が存在し得る。一方、TE (Transverse Electric) 偏光波の場合においては、 $\alpha\mu_b + \beta\mu_a = 0$ なる条件が得られる (μ_a および μ_b は、それぞれ媒質 a および媒質 b における透磁率を表す)。この条件を満たすためには、2 つの媒質のうち、一方の透磁率が負でなければならない。一般に、光領域では透磁率は 1 であることから、この領域では表面電磁波は存在し得ないことになる。したがって、特別な場合を除き、表面電磁波が存在し得るのは TM 偏光波のみとなる。また、式 (2.10) に式 (2.6) および式 (2.7) を代入すれば、表面プラズモンの分散式

$$k_x = \frac{\omega}{c} \sqrt{\frac{\epsilon_a \epsilon_b}{\epsilon_a + \epsilon_b}} \quad (2.11)$$

が得られる。式 (2.11) は、表面プラズモンの波数が、真空中あるいは誘電体中の光の波数より大きいことを表す。一般に、波数が大きい（すなわち屈折率が高い）場合、電磁界モードの体積は小さい。これより、表面プラズモンが光の閉じ込めに対して有効であることが分かる。また、表面プラズモンの分散関係は、媒質の誘電率の他に、構造にも依存し、多層膜構造や円筒構造、ストライプ構造、ハイブリッド構造、ウェッジ構造、チャンネル構造などではそれぞれ式 (2.11) とは異なる分散関係を示す^[4-7]。

(2) 表面プラズモンの伝搬距離

表面電磁波のエネルギーが $1/e$ となる距離、すなわち減衰距離 L は、電界が $\exp(-|\text{Im}(k_x)|)$ に従い減衰することと、光強度が電界の 2 乗に比例することを考えれば、

$$L = \frac{1}{2|\text{Im}(k_x)|} \quad (2.12)$$

で表せる。これは、オーム損失により伝搬距離が有限の値になることを示している。一般に、モードの閉じ込めの強さと伝搬損失の間にはトレードオフの関係があり、金属中に電界が集中する割合が多い場合は、オーム損失に起因する伝搬損失が大きくなる^[7,8]。また、表面の構造的不均一性などにより、表面プラズモンのモードが放射モードと結合した場合、表面プラズモンの伝搬距離は、式 (2.12) から求まる値よりも短くなる^[9]。

(3) 表面プラズモンと伝搬光の結合

自由空間を伝搬する光が表面プラズモンと結合するためには、両者の波の周波数（エネルギー）と波数（運動量）が一致しなければならない。分散関係を用いて説明すれば、2つの波の分散曲線が交わる点でのみ、エネルギーのやり取り、すなわち結合が生じる。図 2.2 に示したように、表面プラズモンの分散曲線は常にライトラインの右側に位置する。したがって、両者は交差することなく、結合は生じない。しかしながら、表面に凹凸の周期構造や表面粗さがある場合には、伝搬光による表面プラズモンの励起が可能となる^[10]。その他にも、プリズムを用いた全反射減衰法やナイフエッジ法、エンド・ファイヤ法などにより、波数を一致させ、表面プラズモンを励起させることができる。

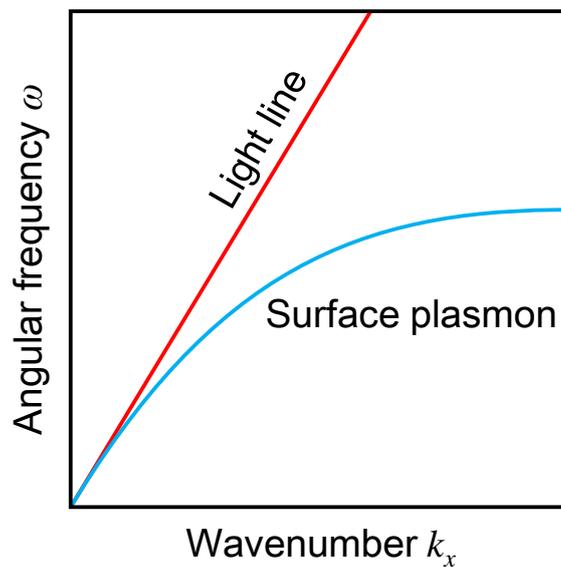


図 2.2 表面プラズモンの分散関係

ここで、金属表面上に周期構造（グレーティング構造）がある場合を考える。ここでは簡単のために 1 次元の周期構造を仮定する。グレーティングの周期が p の場合、対応する逆格子は $g_M = (2\pi/p)M$ で与えられる。ただし、 M は、回折次数である。通常の光の回折と同様に、波動ベクトル \mathbf{k}_i で光がグレーティングに入射し、波動ベクトル \mathbf{k}_d の回折光が生じたとすると、表面に沿った波数成分 k_{dx} は、波数保存則より、

$$k_{dx} = k_{ix} + g_M = \frac{\omega}{c} \sqrt{\epsilon_m} \sin \theta + \frac{2\pi}{p} M \quad (2.13)$$

の関係が成り立つ。ここで、 k_{ix} は \mathbf{k}_i の x 方向成分、 θ は光の入射角、 ϵ_m は金属と接する媒質の誘電率である。式 (2.13) より与えられる波数が表面プラズモンの波数と一致すると、表面プラズモンが励起される。したがって、適当な周期、入射角、入射光の波長

を選ぶことにより、周期構造を持つ金属表面に単に光を入射するだけで表面プラズモンが励起する。

2.2.2 プラズモニックデバイスの研究動向

表面プラズモンを利用したチップ内光配線の実現に向けて、様々なプラズモニックデバイスが研究されている。以下では、導波路、光源、検出器に分けて、プラズモニックデバイスの研究動向を解説する。

(1) 導波路

表面プラズモン導波路の形状として、ギャップ型やチャンネル型、ウェッジ型などが報告されている（図 2.3）。また、導波路の材料としては、光学的損失の低い、金や銀が主に用いられている。表 2.1 に代表的な表面プラズモン導波路の性能をまとめる^[11]。薄い誘電体を金属で挟んだ MIM (Metal Insulator Metal) 型^[7]、あるいはその逆で、薄い金属を誘電体で挟んだ IMI (Insulator Metal Insulator) 型は、1次元の光閉じ込めを可能とし、また作製工程が比較的簡易である。MIM あるいは IMI を横方向にも閉じ込めたギャップ型は、2次元の光閉じ込めを可能とするが、伝搬距離は短くなる。V型の金属の溝 (Channel) あるいは突起 (Wedge) 型の導波路は、高い光閉じ込めを可能とする。また、構造の不完全性に対する許容量が大きいという応用上優れた特徴を持つ^[12]。金属面上に誘電体ストライプ導波路を配置した DLSPP (Dielectric Loaded Surface Plasmon Polariton) 導波路は、金属による金属面と垂直方向の光閉じ込め効果と、誘電体による金属面と平行方向の光閉じ込め効果を併せ持つ^[13]。したがって、本構造では、高い光閉じ込め効果を持つと同時に、伝搬損失は小さくなる。一方、誘電体と金属に薄いギャップを設けることで、そのギャップにモードが集中するため、伝搬損失を低減できる。これは、ハイブリッドモードと呼ばれる。本構造では、低い伝搬損失と高い光閉じ込め効果を両立できる。

表 2.1 代表的な表面プラズモン導波路の性能^[11]

Type	Mode width/ λ	Mode height/ λ	Mode area/ $(\lambda/2)^2$	L/λ	λ (nm)
GPP	0.13	0.13	7%	13	1550
Wedge	~0.47	N.A.	N.A.	2	633
MIM	0.5	0.2	10%	5	685
IMI	0.19	~0.19	~14%	14	1550
CPP	0.65	>0.84	>200%	~52	1550
DLSPP	0.62	N.A.	N.A.	10	800
	N.A.	N.A.	3%	4	1550
HPP	0.04	0.04	0.6	21	1550

	0.04	0.04	2	N.A.	1427
	0.06	0.06	7	21	808
	0.08	0.08	3	11	633
	0.05	0.05	3	24	1310

図 2.3 各種プラズモニック導波路の形状

(2) 光源

光源においても表面プラズモンによる光閉じ込め効果が利用されている。半導体レーザーは、マイクロディスクやフォトニック結晶を用いることにより小型化が実現してきたが、光の波長以下のサイズまでには小さくできない。しかしながら、金属を用いることによりこの限界を超えることができる（以下では、金属を用いた微小な光源をナノ光源と呼ぶ）。表 2.2 に代表的なナノ光源をまとめる。Hill らは、ピラー状の共振器を金属で覆い、それまでの誘電体ベースのレーザーよりも小さな光源を実現した^[14]。しかしながら、本構造では金属による損失が大きく、室温でのレーザー発振動作には至らなかった。その後、金属による損失を抑えた構造を用い、室温でのレーザー発振動作が確認された^[15]。ただし、本構造では金属を光の反射体として用いている（すなわち、表面プラズモンは励起していない）。また、ナノパッチ (Nanopatch) 型^[16]やナノパン (Nanopan) 型^[17]、ファブリ・ペロー型^[18]などの金属を利用したナノ光源が研究されてきた。2013 年には、電流注入、室温動作のサブ波長共振構造のレーザーが報告されている^[19]。上述の光源は、化合物半導体を用いている。一方、シリコンベースのナノ光源^[20]も報告されているが、レーザー発振には至っていない。本構造では、表面プラズモンによる光閉じ込めにより、パーセル効果（遷移周波数に共鳴する共振器中に励起状態の原子を置くとその自然放出レートが増大する効果）を発現させ発光効率を高めている。また、パーセル効果を利用することで、ナノサイズの LED がレーザーよりも高速動作可能であることが報告されている^[21]。

表 2.2 代表的なナノ光源の性能

Type	Lasing conditions	Physical volume	Mode volume	Gain material	Wavelength (nm)
Metal-clad pillar	77 K Electrical pumping	$62(\lambda/2n)^3$	$0.38(\lambda/2n)^3$	InGaAs Bulk	1408
Metal-clad microdisk	RT Optical pumping	$110(\lambda/2n)^3$	$4.4(\lambda/2n)^3$	InGaAsP QW	1430

Nanopan	80 K Optical pumping	$36(\lambda/2n)^3$	$0.56(\lambda/2n)^3$	InAsP QW	1308
Nanopatch	77 K Optical pumping	$6(\lambda/2n)^3$	$0.54(\lambda/2n)^3$	InGaAsP Bulk	1425

(3) 検出器

光検出器の材料として、シリコンやゲルマニウム、インジウムガリウムヒ素などが挙げられる^[22,23]。特に、シリコンをベースとした光検出器は、CMOS回路との互換性が高いため、チップ内光配線部品の一つとして期待されている^[24,25]。また、シリコンに吸収されない波長帯で検出器を動作させるために、中間バンドを利用した吸収（MBA : Mid-Bandgap Absorption）^[26]や、表面準位吸収（SSA : Surface-State Absorption）^[27]、内部光電子放出吸収（IPA : Internal Photoemission Absorption）^[28,29]、二光子吸収（TPA : Two-Photon Absorption）^[30]などが利用されてきた。表 2.3 に、近赤外で動作するシリコンベースの光検出器をまとめる^[24]。

また、光検出器に表面プラズモンを利用する研究が盛んに行われている^[31]。これらの検出器（表面プラズモン検出器と呼ぶ）は、すなわち、表面プラズモンを励起する金属構造を有しており、検出器の小型化や高感度化を実現している。検出の原理として主に、IPA やバンド間吸収機構が用いられている。表面プラズモンの結合の機構でそれらを分類すれば、グレーティング結合型^[32-38]、微小開口による結合型^[39]、微粒子による結合型^[40]、金属ナノアンテナによる結合型^[41-44]、端面入射による結合型^[29,45]に分けられる。

特に、本研究で用いたシリコンベースのショットキー型表面プラズモン検出器においては、金属の薄膜化による高感度化の可能性^[46]、金属種として金や銀、アルミニウムを用いた検出器の動作^[29,47]、n型だけではなくp型シリコンを用いた検出器の動作^[47,48]、最小検出感度やBER（Bit Error Rate）の計算^[45,49]、動作波長として1550 nm だけではなく1310 nm を用いた検出器の動作^[29,50]、表面プラズモンの励起機構として金属微粒子（アンテナ）や端面入射を用いた検出器の動作^[41,50]、ショットキー界面の面積を増やし感度を向上させた構造^[51]、ブレイクダウン近傍での検出器の動作^[52]、検出器と誘電体導波路との結合^[53-55]が報告されている（表 2.4 参照）。なお、本章で述べる通り、本研究では、表面プラズモンの励起機構として複数の金属スリットを周期的に並べた構造、すなわちグレーティング構造を用いた表面プラズモン検出器を実現している^[56]。また、本検出器とSP導波路およびMOSFETとの集積回路を実現している^[57,58]。

表 2.3 近赤外で動作するシリコンベース光検出器の性能^[24]

Effect	Dimension	Responsivity	Dark/leakage current	Bias (V)	Wavelength (nm)	Bandwidth
MBA Si ⁺ implantation Ring resonator	15 μm (radius of ring resonator)	0.1 A/W	0.1 nA	-2	1549	7 GHz
SSA	500 nm×100 nm (cross section)	36 mA/W	0.12 μA	-15	1575	N.A.
TPA Photonic crystal resonator	N.A.	6 mA/W	15 pA	-3	Around 1575	N.A.
IPA Cu/p-Si Schottky barrier	N.A.	0.08 mA/W	10 nA	-1	1550	Estimated GHz range
IPA Surface plasmon	35 μm (stripe length)	0.8 mA/W	6 μA	-0.1	1550	N.A.

表 2.4 IPA を利用したショットキー型表面プラズモン検出器に関連する研究経過（太字は本研究の成果）

Publication date	Contents	Ref.
1931	Photoemission theory for emission into vacuum	[59]
1968	Modify of photoemission theory for emission into semiconductor	[60]
1973	Internal photoemission theory for hole	[61]
1982	Theory of photoresponse in thin metal film (for lightwave)	[62]
1989	Surface plasmon-enhanced internal photoemission in Al/n-GaAs using prism	[63]
Jul. 2009	Analysis of minimum detectable power for SP detector	[49]
Apr. 2010	SP detector using end-fire method	[29]
Apr. 2010	SP detector using nano antenna (dispersion type)	[50]
May 2010	Theory of photoresponse in thin metal film (for SP)	[46]
Jun. 2010	Cu/p-Si Schottky diode based photodetector integrated with Si waveguide	[28]
Sep. 2010	SP detector operating near breakdown	[52]
May 2011	SP detector using nano antenna (array type)	[41]
May 2011	SP detector integrated with Si waveguide	[53]
Jun. 2011	Analysis of BER for SP detector	[45]
Jul. 2011	SP detector using grating (multi slit type)	[56]
May 2012	SP detector on p-Si	[48]
Mar. 2013	SP detector embedding in Si	[51]
Mar. 2013	SP detector using grating (array type)	[38]
Aug. 2013	SP detector integrated with MOSFETs	[57]

Aug. 2014	SP detector integrated with SP waveguide and MOSFETs	[58]
-----------	--	------

2.3 検出の原理

本研究では、表面プラズモンの検出原理として内部光電子放出効果（IPE : Internal Photoemission Effect）を用いた。本節では、はじめに、内部光電子放出効果を起こすことができるショットキーダイオードの原理^[64,65]について述べる。特に、ショットキー障壁形成の過程、接合の静電容量、および電流と電圧の関係を与える拡散理論について述べる。その後、内部光電子放出効果^[59-63,66]について述べる。

2.3.1 ショットキーダイオード

(1) ショットキー障壁

金属と n 型半導体が接触した場合に形成されるショットキー障壁について述べる。図 2.4 (a) に、金属および n 型半導体のエネルギー準位を示す。図中の ϕ_m および ϕ_s はそれぞれ金属および n 型半導体の仕事関数、また、 χ_s は半導体の電子親和力を表す。金属および n 型半導体を接触させると、高エネルギーの電子が多い半導体側から金属側に電子が流れ込み、半導体の接触面近傍にはイオン化されたドナーが残る。これにより半導体の接触面近傍が正に、金属の接触面近傍が負に帯電し、接触面に空間電荷層が形成される。この接触面の負電荷と半導体内に分布した正電荷により、電子に対するポテンシャルエネルギーは接触面で上がり、半導体内部では下がる。また、熱平衡状態では金属と半導体のフェルミ準位は一致する。さらに、仕事関数差モデルでは、接触面で金属と半導体の真空準位が一致すると考えられるため、図 2.4 (b) のような上向きに湾曲した電位障壁、すなわちショットキー障壁が形成される。なお、 V_D は拡散電位であり、金属および半導体の仕事関数差で表される。

ここでは、金属と半導体の界面準位の影響がない場合を考えていた。しかし、実際には、界面準位が多い場合、金属のフェルミ準位は界面の中性準位付近にピン止めされることになり、その結果、ショットキー障壁高さは金属の仕事関数差にほとんど依存しなくなることもある。

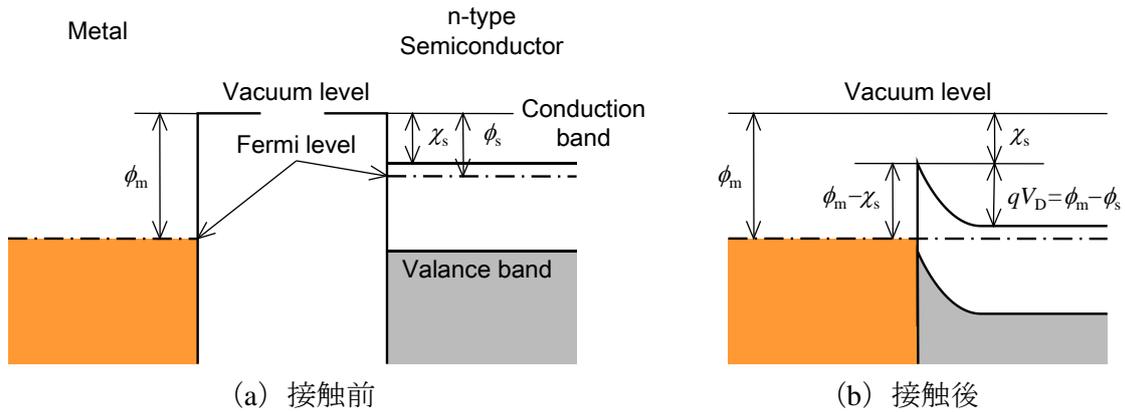


図 2.4 金属と n 型半導体が接触する前後のエネルギーバンド図

(2) ショットキー接合の静電容量

半導体の接触面近傍では、ドナーイオンの正電荷が存在し、電子はほとんど存在しない。この部分は、空乏層あるいは空間電荷層と呼ばれ、その厚さ W は

$$W = \sqrt{\frac{2\epsilon_s}{qN_D} (V_D - V)} \quad (2.14)$$

で表すことができる。ここで、 ϵ_s は半導体の誘電率、 N_D はドナー濃度、 V は金属と半導体間に印加する電圧である。また、拡散電位 V_D は、

$$V_D = \frac{\phi_B}{q} - \frac{k_B T}{q} \ln \frac{N_C}{N_D} \quad (2.15)$$

で与えられる。ここで、 ϕ_B はショットキー障壁高さ、 k_B はボルツマン定数、 T は絶対温度、 N_C は伝導帯の有効状態密度であり、下式で表される。

$$N_C = 2 \left(\frac{2\pi m^* k_B T}{h^2} \right)^{3/2} \quad (2.16)$$

ここで、 m^* はキャリアの有効質量、 h はプランク定数である。キャリアが欠乏している空乏層を、単位面積の平行平板コンデンサと考えれば、その静電容量 C は

$$C = \frac{\epsilon_s}{W} \quad (2.17)$$

で表せる。式 (2.17) より、ショットキーダイオードの静電容量は、印加電圧に依存す

ることが分かる。

この静電容量は、デバイスの速度を決める要因の一つであるため、高速化のためには、金属と半導体の接触面積の低減、空乏層厚さの増加（半導体の不純物濃度の低減、逆バイアス電圧の増加）が有用と言える。ただし、応答速度は、空乏層でのキャリアの走行時間に律速されるため、逆バイアス電圧の過度の増加は、むしろ速度低下の要因となる [67,68]。

(3) 拡散理論

空乏層の厚さが電子の平均自由行程に比べて小さい場合、電位障壁を乗り越えるだけのエネルギーを持つ電子は、散乱を受けずに障壁層を通り抜けることができ、金属から半導体に、または半導体から金属に移動する電子の差が正味の電流として障壁部を流れる。この場合の理論を二極管理論あるいは熱電子放射理論という。一方、空乏層の厚さが電子の平均自由行程に比べて大きい場合、電子は散乱を受けながら空乏層を通過するため、電流は拡散機構に支配される。この場合の理論を拡散理論という。

ここで、シリコン中の自由電子の平均自由行程 l を求める。移動度を表す式 $\mu = q\tau/m^*$ より、散乱緩和時間 τ は

$$\tau = \frac{m^* \mu}{q} \quad (2.18)$$

となる。いま、電子の速度として熱速度 v_{th} を採用すると、平均自由行程は $l = v_{th} \tau$ であるから

$$l = \sqrt{\frac{3k_B T}{m^*}} \frac{m^* \mu}{q} \quad (2.19)$$

が導出できる。式 (2.19) に、 $T=300$ K、 $m^*=0.26m_0$ 、 $\mu=1500$ cm/(V·s) を代入すると、 $l=0.05$ μm が得られる。一方、本研究で用いたショットキーダイオードの空乏層厚さは式 (2.14) より、 $W=1$ μm 程度と求まる。したがって、拡散理論を考えるのが妥当である。拡散理論では、キャリアが電子である場合、障壁内を流れる電流は

$$J_n = q\mu n \sqrt{\frac{2qN_D(V_D - V)}{\epsilon_s}} \exp\left(-\frac{qV_D}{k_B T}\right) \left[\exp\left(\frac{qV}{k_B T}\right) - 1 \right] \quad (2.20)$$

で表される。ここで、 n はキャリア数密度である。この電圧と電流の関係において、熱電子放出理論と異なる部分は、逆方向電流が印加電圧とともに大きくなることである。

2.3.2 内部光電子放出効果

金属から真空に向かう光電子放出のモデルは、1930年代に Fowler らによって説明され、その後、金属薄膜から半導体に向かう光電子放出（すなわち内部光電子放出）のモデルに1960年代に Cohen らによって修正された。内部光電子放出の過程は以下の通りである（図 2.5 参照）。

- 入射光は金属で吸収され、電子正孔対を生成する。
- 励起した電子は金属薄膜中をランダムに移動している。
- この電子の一部が障壁を通過し半導体中に放出される。

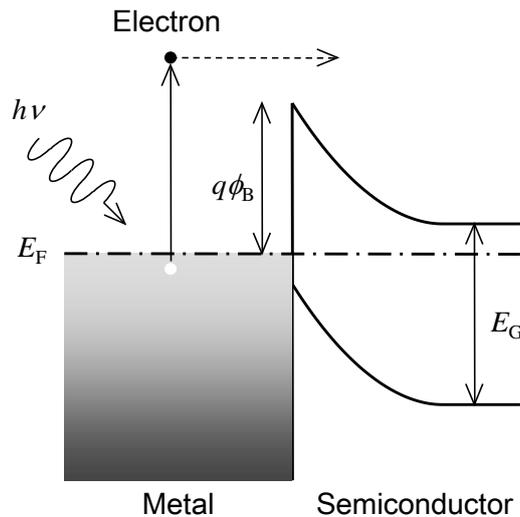


図 2.5 ショットキーダイオードのエネルギーバンド図と
光照射における電子の振る舞い

ここで、入射光強度と光電流の関係を導出する。金属中の電子が励起可能な全状態の数 N_T は、

$$N_T = \int_{E_F}^{E_F+h\nu} \frac{dN}{dE} dE \quad (2.21)$$

で与えられる。ここで、 dN/dE は金属の状態密度、 E_F はフェルミエネルギー、 $h\nu$ は光子エネルギー、 E は金属の伝導帯端を基準とした電子のエネルギーである。内部光電子放出は、ショットキー障壁のエネルギーよりも高いエネルギーを持ち、かつ、ショットキー障壁と垂直な方向の運動量を持つ電子のみが寄与すると仮定する。これを満たす状態の数は、

$$N = \int_{E_F+\phi_B}^{E_F+h\nu} \frac{dN}{dE} P(E) dE \quad (2.22)$$

で表される。ここで、 $P(E)$ は光電子の放出確率、 ϕ_B はショットキー障壁高さである。電子の運動量が等方的に分布すると仮定すれば、図 2.6 より $P(E)$ が求められる。同図において、 p は励起電子の運動量、 p_0 は障壁高さに対応する運動量であり、それぞれ

$$p = \sqrt{2m^* E} \quad (2.23)$$

$$p_0 = \sqrt{2m^* (E_F + \phi_B)} \quad (2.24)$$

で表される。ここで、 m^* は電子の有効質量である。図中の **Escape cap** と示された領域の運動量を持つ電子は障壁を超えることができ、それ以外の領域の運動量を持つ電子は障壁を超えることができない。したがって、円の全面積と **Escape cap** と示された領域の面積の比は $P(E)$ を表し、

$$P(E) = \frac{1}{2}(1 - \cos \theta) = \frac{1}{2} \left(1 - \sqrt{\frac{E_F + \phi_B}{E}} \right) \quad (2.25)$$

が求められる。ここで、フェルミエネルギーが光子エネルギーよりも十分高いことから、 dN/dE は対象としているエネルギー範囲において一定であると仮定する。したがって、式 (2.21) および式 (2.22) は、それぞれ

$$N_T = \frac{dN}{dE} h\nu \quad (2.26)$$

$$N = \frac{dN}{dE} \frac{(h\nu - \phi_B)^2}{8E_F} \quad (2.27)$$

となる。また、励起した電子が衝突すること無く、すなわちエネルギー損失が無くショットキー界面に到達すると仮定すると、内部量子効率 η_i は N と N_T の比で表現できることから

$$\begin{aligned} \eta_i &= \frac{N}{N_T} \\ &= \frac{1}{8E_F} \frac{(h\nu - \phi_B)^2}{h\nu} \end{aligned} \quad (2.28)$$

が得られる。この基本的な理論は、その後、Dalal らによって拡張され、量子効率 η は

$$\eta = C_F \frac{(h\nu - \phi_B)^2}{h\nu} \quad (2.29)$$

に書き改められた。ここで、 C_F は Fowler 放出係数であり、デバイスや印加電圧に依存する。ここで、量子効率を

$$\eta = \frac{I_{\text{ph}} / q}{P_{\text{in}} / h\nu} \quad (2.30)$$

と定義すれば、

$$I_{\text{ph}} \propto \frac{(h\nu - \phi_B)^2}{(h\nu)^2} P_{\text{in}} \quad (2.31)$$

の関係が得られる。ここで、 I_{ph} は光電流、 P_{in} は入射光強度である。

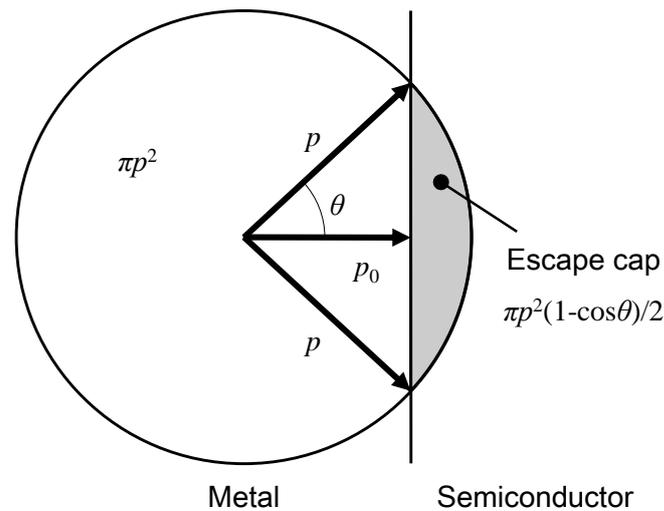


図 2.6 光電子放出確率の幾何学的計算法

2.4 検出器の概要

本節では、本研究で実現した表面プラズモン検出器の概要を述べる。特に、本研究で用いた検出器の動作原理や材料、動作波長、表面プラズモンの励起構造の利点について述べる。

2.4.1 検出器の動作原理および構造

図 2.7 に、本研究で実現した表面プラズモン検出器の構造を示す。本検出器は、n 型シリコン基板とナノスケールのスリットが形成された金薄膜のみで構成される。

本検出器の動作原理は以下の通りである。

- グレーティングへの光照射により、回折光が生成される。
- 回折光が金とシリコン界面の表面プラズモンと結合する。
- 表面プラズモンの励起に伴い、金属中の自由電子が励起される。
- 内部光電子放出の原理に従い、励起した電子がシリコン中に放出される。
- 放出された電子が内部電界で加速され光電流が生成される。

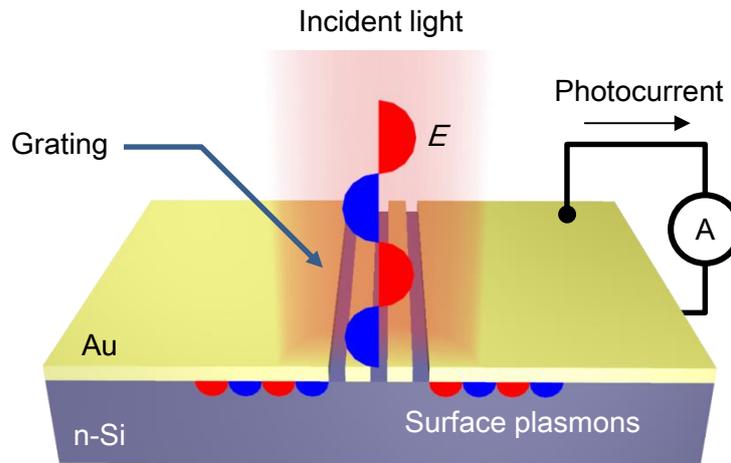


図 2.7 表面プラズモン検出器の構造

また、検出器の基本構造として、ショットキーダイオードを選定した理由は以下の通りである。

- シリコンに吸収されないエネルギー帯に受光感度を持つ。
- CMOS 回路との互換性が高い。
- 構造が簡易である。

2.4.3 項で述べる通り、表面プラズモンを利用したチップ内光配線においては、シリコンに吸収されない 1.1 eV 以下のエネルギー帯の光の利用が望ましい。ゲルマニウムは、光子エネルギー 1.1 eV 以下の光の吸収が可能である。また、2.2.2 項で述べた通り、シリコンにおいても、中間バンド吸収、表面準位吸収、内部光電子放出吸収、二光子吸収を用いることにより、シリコンに吸収されないエネルギー帯の光検出が可能となる。硫化カドミウムなどの光導電素子においても、光導電効果を利用することにより近赤外域の光検出が可能となる。

これらの中でも、ゲルマニウムを利用した検出器は、結晶成長や熱処理を要するため製造のコストや複雑さの面でシリコンの場合と比べて劣る^[69,70]。また、光導電素子は、応答速度が 10 μs ~100 μs 程度であり、高速な動作が困難である^[71]。

シリコンを近赤外域に受光感度を持たせる方法の中でも、半導体と金属の接触のみの構成で可能となる内部光子放出吸収の利用が、作製プロセスの観点から有利と言える。加えて、CMOS 回路の作製に用いられている最新の微細加工技術をそのまま利用できる。

2.4.2 検出器の材料

(1) 基板材料

基板材料として、n 型シリコン基板を選定した理由は以下の通りである。

- CMOS 回路との互換性が高い。
- ショットキー障壁を形成する。
- n 型シリコンでは最小検出感度が高くなる。
- 地球上に多く存在し、安全で安定である。

本研究では、チップ内光配線の実現を目的としている。チップ内の CMOS 回路の基板はシリコンであり（あるいは SOI 基板）、CMOS 回路とモノリシックに検出器を集積させるためには、検出器の基板として同じシリコンが望ましい。

表面プラズモンを検出するためには、金属との界面にショットキー障壁を形成する必要がある。金属とショットキー障壁を形成する半導体（あるいは絶縁体）としては、シリコン、ガリウムヒ素、硫化カドミウム、二酸化ケイ素が挙げられる^[72]。

最小検出感度は、雑音と受光感度（Responsivity）の比で決定される。金とシリコンの接触において、n 型シリコンの場合の最小検出感度は、p 型のそれと比較して高い^[49]。これは、n 型シリコンではショットキー障壁高さが高くなり、拡散に起因した暗電流が低減できるためである。ただし、受光感度は p 型シリコンの場合と比較して劣る^[48]。

シリコンは、地球上に多量に存在し、安全で、かつ安定で、取り扱いやすいという工業的な利用に適した材料であり、このような半導体は他には地球上に存在しない^[73]。したがって、大量に生産し消費される製品に対してはシリコンが望ましい。

(2) 金属材料^[2]

金属材料として、金を選定した理由は以下の通りである。

- 使用する光の周波数よりもプラズマ周波数が高い。
- ショットキー障壁を形成する。
- 光学的損失が低い。
- 化学的安定性が高い。

プラズマ周波数よりも高い周波数の光に対しては、媒質の誘電率が正となり、2.2.1 項で述べた通り、表面プラズモンは存在し得ない。このため、使用する光の周波数よりもプラズマ周波数が高い媒質を選定する必要がある。これを満たす媒質は、主として金属である。ただし、高濃度にドーピングされた半導体も赤外域では誘電率が負となり金属と同様な振る舞いを示す。

表面プラズモンを検出するため、金属と半導体の界面にショットキー障壁を形成する必要がある。n 型シリコンとの接合においてショットキー障壁を形成する金属としては、カドミウム、アンチモン、銀、銅、ニッケル、鉄、金、ロジウム、白金、アルミニウム、鉛、パラジウムが挙げられる^[65,72]。

衝突周波数が高く誘電率の虚部が大きい金属では、電子の散乱等に起因し、励起した表面プラズモンの強度は金属表面で小さくなり、その特性を利用することは難しい。電極や触媒などの工業用や装飾用では機械的な性質や腐食性などを向上させるため合金が用いられるが、散乱や不純物による光損失が高い。衝突時間が長い金属としては、銀や金、アルミニウム、銅が知られている。波長 1550 nm の光に対しては、銀、金、銅、アルミニウムの順で誘電率の虚部が低い。

金は、酸や酸化剤に対しても化学反応を起こさない極めて安定な金属であり、展延性に富む材料である。一方、銀は大気中で加熱しても酸化はしないが、硫黄と化合しやすく、大気常温中で硫化銀となり表面層を形成する。また、アルミニウムや銅は、空気中で自然酸化膜を形成する。

以上の理由から、金属材料として金を選定している。ただし、金は、シリコンと共晶を作りやすいことや、基板との密着性が弱く機械的には剥がれやすいこと、比較的高価であることが欠点として挙げられる。一方、銅やアルミニウムは、大規模集積回路の微細配線用に用いられており、最新の微細加工技術を利用できる。その上、価格も安価であることから、それらも有用な金属といえる。

2.4.3 検出器の動作波長

検出器を動作させる光の波長（エネルギー）として、1.55 μm (0.8 eV) を選定した理由は以下の通りである。

- 電子回路へのノイズの影響が低い。
- 金とシリコンのショットキーダイオードにおいて受光感度を持つ。
- 表面プラズモンの伝搬距離が長い。
- シリコンフォトニクスで開発対象の波長帯の一つであり、互換性が高い。
- 光ファイバ通信システムで用いられている波長帯のため、互換性が高い。

表面プラズモンは、伝搬の過程で、表面の形状あるいは屈折率の不均一で散乱され伝搬光として放出される。この散乱光が、例えば MOSFET のチャネルに到達し、シリコンのバンド間遷移により吸収されると、クロストークを発生させる可能性がある。したがって、シリコンに吸収されないエネルギー帯の光を利用することが望ましい。

金とシリコンから成るショットキー障壁高さは、0.7 eV~0.8 eV 程度である^[29]。したがって、内部光電子放出により表面プラズモンを検出するためには、光子エネルギーがそのショットキー障壁高さ以上である必要がある。

表面プラズモンの伝搬長は、自由空間波長の減少とともに急激に減少する^[74]。伝搬長が短く損失が大きい場合、結局、電気配線が有利になる。したがって、消費電力の観点から、比較的自由空間波長の長い光を用いるのが望ましい。

チップ内において、グローバル配線のような長い距離の電気配線を光配線に置き換える場合においては、比較的損失の大きい表面プラズモン導波路は相応しくなく、シリコンのような誘電体導波路が適すると考えられる。シリコン導波路を利用する場合は、シリコンに吸収されないエネルギー帯の光が用いられている。したがって、これら導波路を結合し相補的に利用する場合には、各導波路が同じ光に対応する必要がある。また、チップ内光配線にとどまらず、外部光システムとの接続への展開を考えた場合は、石英光ファイバで用いられている 1.55 μm あるいは 1.31 μm 帯の光で動作することが望ましい。

2.4.4 検出器における表面プラズモンの励起構造

表面プラズモンの励起構造として、複数のスリットを複数周期的に配置したグレーティングを利用した理由は以下の通りである。

- 構造が簡易かつ微細で集積化に適する。
- 金とシリコンの界面に直接励起が可能である。
- 任意の方向あるいは位置から励起可能である。

表面プラズモンの励起には、グレーティング（ナノスリット）の他に、微粒子（ナノアンテナ）、プリズム、金属エッジを利用する方法が挙げられる。表 2.5 に各構造の比較をまとめる。

ナノスリットは金属に微細加工を施すことにより形成できる。ナノアンテナにおいても同様であるが、アンテナに電極（透明導電膜など）を付加する必要がある^[41]。金属の端面を利用したエンドファイヤ型では、端面に光を入射するために、検出領域と導波領域との間に高低差を設ける必要がある^[75]。これは集積化の難易度を増す。

金属中から半導体中に電子が放出される確率は、電子が励起する位置が金属と半導体の界面から金属方向に向かうにつれて指数関数的に減衰する。すなわち、金とシリコン

界面近傍の金属中の電子が主に光電流に寄与し、金と空気界面近傍の電子は、ほとんど光電流に寄与しない。したがって、受光感度を高めるためには、金とシリコンの界面に表面プラズモンを励起させる必要がある。プリズムや微粒子を金属表面に配置するだけでは、金とシリコンの界面に表面プラズモンを励起することは困難である。一方、金属にスリットを設けることで、表面プラズモンを金とシリコンの界面に導くことができる。

4.5 節で述べる通り、表面プラズモン検出器は、表面プラズモン導波路と集積される。導波路での表面プラズモンの伝搬モード（空気と金の界面）は、検出器での伝搬モード（金とシリコンの界面）と異なる。したがって、これらのモードを結合させるために、それぞれの界面を伝搬する表面プラズモンの波数を一致させる必要がある。スリットを周期的に配列することで、この波数の整合が可能となる。

表 2.5 表面プラズモンの励起方法の比較
(◎、○、×の順で優位性の高さを表す。)

Performance	(Multi) slit	Nano antenna	Prism	Metal edge
Integration simplicity	◎	○	×	○
Size	◎	◎	×	◎
Excitation interface	Air/Au, Au/Si	Air/Au	Air/Au	Air/Au, Au/Si
Input direction (or position)	Arbitrarily	Arbitrarily	Specific angle	Edge

2.5 グレーティング構造の設計

検出器の受光感度を高めるためには、金とシリコンに励起される表面プラズモンの強度を高くする必要がある。そのため、有限時間領域差分（FDTD : Finite-Difference Time-Domain）法に基づく電磁界解析により、最適なグレーティング構造の設計を行った。本節では、計算に用いたモデルおよび条件を述べた後、電磁界解析により得られた表面プラズモン強度に対する金膜厚およびスリット周期依存性について述べる。

2.5.1 計算モデルおよび条件

図 2.8 に示す計算モデルを用いて、電磁界解析を行った。また、計算の条件を表 2.6 にまとめて示す。シリコン上にスリットを有する金薄膜が配置されている。y 方向には、周期境界条件（PBC : Periodic Boundary Condition）を適用し、y 方向に無限に長い構造体を仮定した。なお、媒質の複素屈折率は文献値を参照した^[76]。

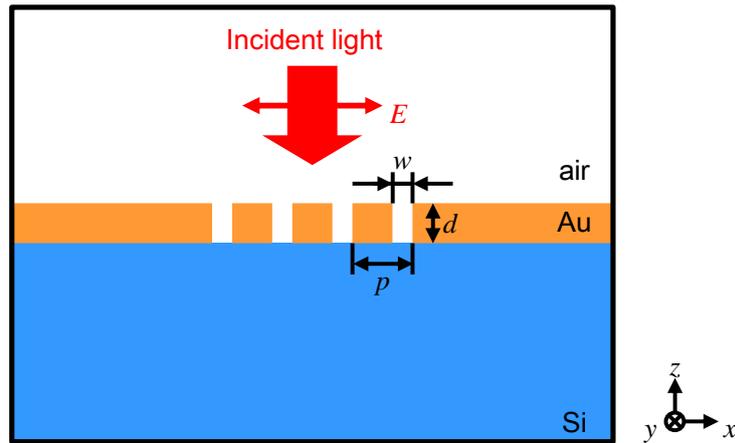


図 2.8 電磁界解析のモデル

表 2.6 電磁界解析の条件

Base conditions	Mesh spacing	$x: 5 \text{ nm}, y: 5 \text{ nm}, z: 5 \text{ nm}$
	Time spacing	9.436583 as
	Boundary condition	$x: \text{Mur } 1^{\text{st}}, y: \text{PBC}, z: \text{Mur } 1^{\text{st}}$
Light conditions	Wavelength	1550 nm
	Polarization	x direction
	Wave distribution	Plane wave
	Wave front	Uniform
Refractive indices	Au	$0.55+i11.5$
	Si	3.47644

図 2.9 に、単一スリットにおける電界強度分布の計算結果を示す。ここで、スリット幅およびスリット深さ（金の膜厚）をそれぞれ $w=100 \text{ nm}$ および $d=300 \text{ nm}$ とした。同図より、入射光の一部が金とシリコンの界面に閉じ込められているのが分かる。また、図 2.10 に、観測線における電界強度を示す。観測線は、スリットの中心から金とシリコン界面に沿って x 方向に $3 \mu\text{m}$ 離れた場所に位置する。同図に、指数関数によりフィッティングした結果も合わせて示す。界面からシリコン側に向かう電界強度は、減衰定数 $L=115 \text{ nm}$ で指数関数的に減衰している。この減衰定数は、以下の理論式^[1,77]から求まる値と計算格子間隔（5 nm）の範囲内で一致する。

$$L = \frac{1}{2 \text{Im}(k_z)} = \frac{\lambda_0}{4\pi} \left[\text{Im} \sqrt{\frac{\epsilon_{\text{Si}}^2}{\epsilon_{\text{Au}} + \epsilon_{\text{Si}}}} \right]^{-1} = 112 \text{ nm} \quad (2.32)$$

ここで、 k_z は表面プラズモンの波数ベクトルの界面に垂直な方向成分、 ϵ_{Au} および ϵ_{Si} は

2 表面プラズモン検出器の作製

それぞれ金およびシリコンの誘電率、 λ_0 は自由空間波長である。以上の結果から、本計算モデルにおいて、金とシリコン界面に表面プラズモンが励起されていることが確認できた。以下では、この計算モデルを用いてスリット深さおよびスリット周期の最適化を行った。

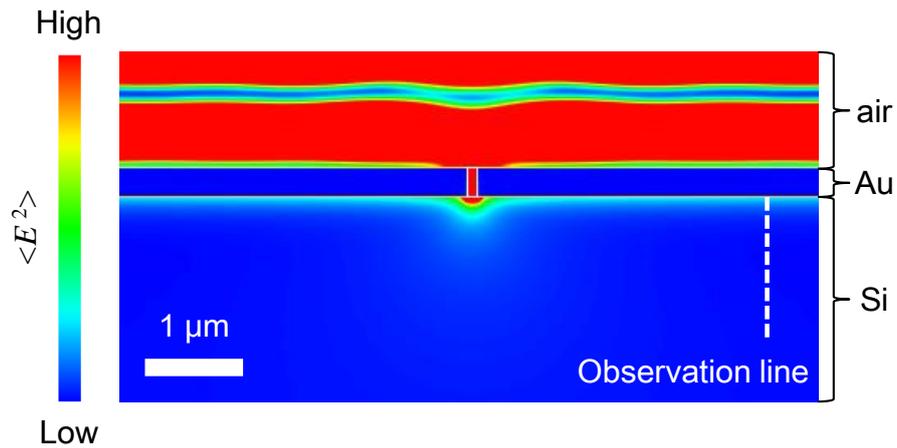


図 2.9 電界強度分布の計算結果 (単一スリット、 $w=100\text{ nm}$ 、 $d=300\text{ nm}$)

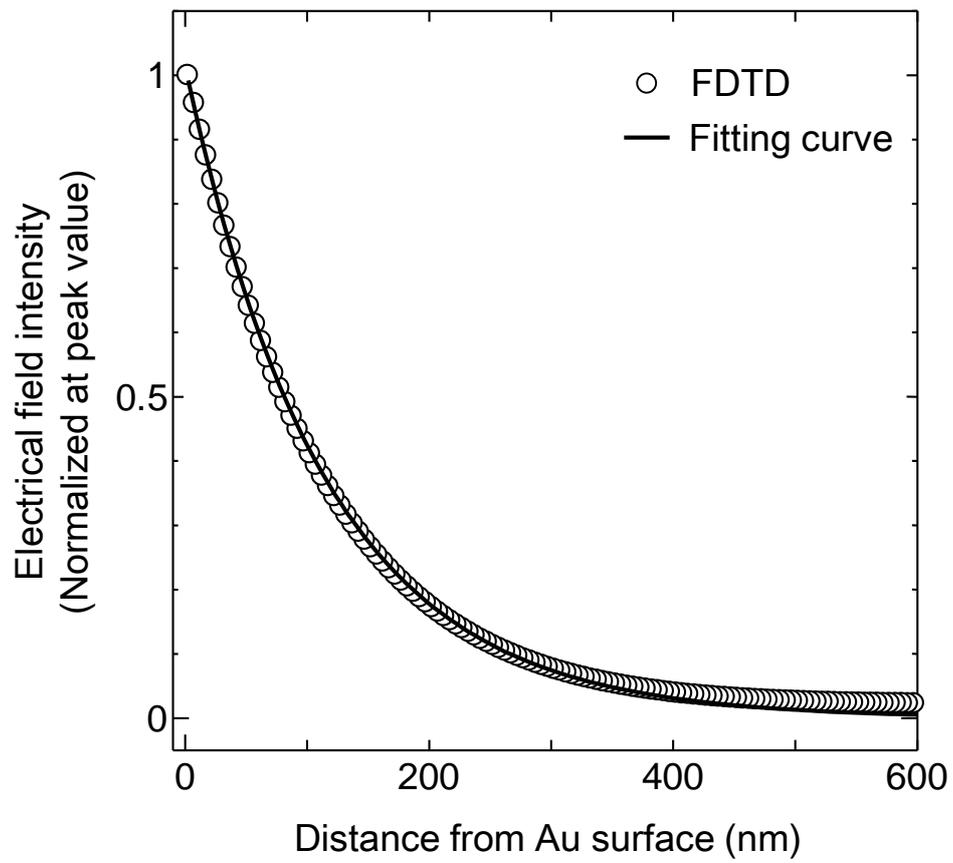


図 2.10 観測線における電界強度の計算結果

2.5.2 スリット深さの設計

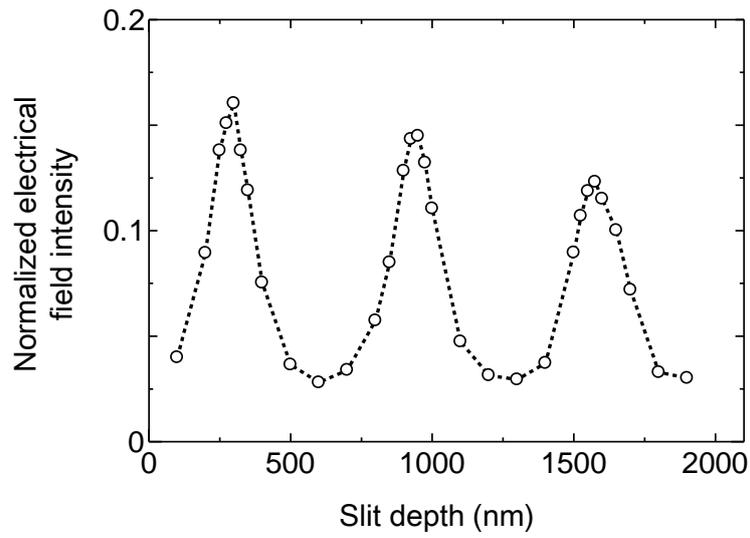
単一スリット構造における、スリット深さと観測点での表面プラズモンの強度の関係を解析した。観測点は、スリットの中心から 3 μm 離れた金とシリコンの界面とした。また、スリット幅は $w=100\text{ nm}$ に固定した。

図 2.11 (a) は、表面プラズモン強度のスリット深さ依存性の計算結果であり、それぞれの値は入射光強度で規格化している。強度のピークは、周期性を持って $d=300\text{ nm}$ 、 950 nm 、 1575 nm に現れた。この周期は、スリット内部での表面プラズモンの波長 $\lambda_{\text{slit}}=1300\text{ nm}$ の半分の値と一致する。図 2.12 に、各時間におけるスリット周辺の電界分布を示す。本図より、スリット内部の波長は、空気中の波長 1550 nm とは異なることが分かる。これは、スリット内部では MIM 構造の奇結合モードが発現しているためである。また、スリット内部での実行屈折率の値 ($n_{\text{eff}}=1.2$) は特性方程式から求まる値と一致する^[78,79]。また、図 2.12 (b-f) の電界強度分布が示す通り、スリット内部では定在波が発生していることが分かる。この強度分布は、スリットの上端（空気側）では腹を、スリットの下端（シリコン側）では節を持つことが分かる。これは、屈折率の大小関係が $n_{\text{air}} < n_{\text{slit}} < n_{\text{Si}}$ であり、上端で自由端反射、下端で固定端反射が生じているためと考えられる。

以上の計算結果は、以下の様にまとめられる。

- スリット深さの変化に対して、表面プラズモンの強度が周期的に変化した。
- その周期は、スリット内部での表面プラズモンの半波長と一致した。
- スリット内部で定在波が観測された。

本傾向は、ファブリ・ペロー共振器における傾向と一致する^[80]。以上の結果より、本計算モデルにおいて、スリットが表面プラズモンのファブリ・ペロー共振器として働き、その共振効果によって、金とシリコン界面の電界強度が周期的に変化していると結論付けられる。本解析より、スリット深さを 300 nm に決定した。



(a) スリット深さと表面プラズモン強度の関係

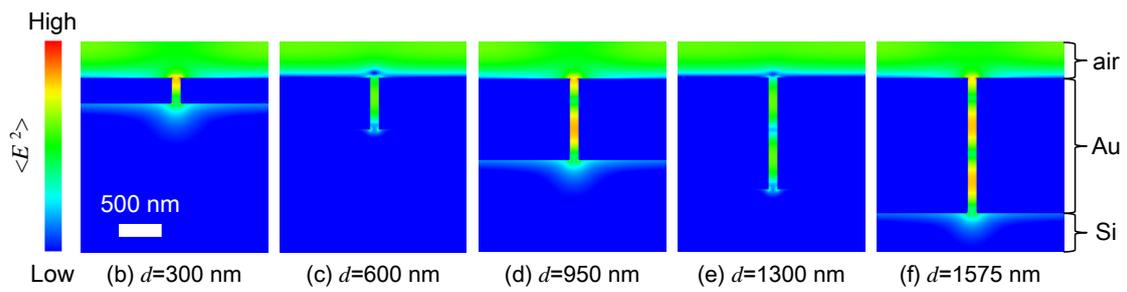


図 2.11 表面プラズモン強度のスリット深さ依存性

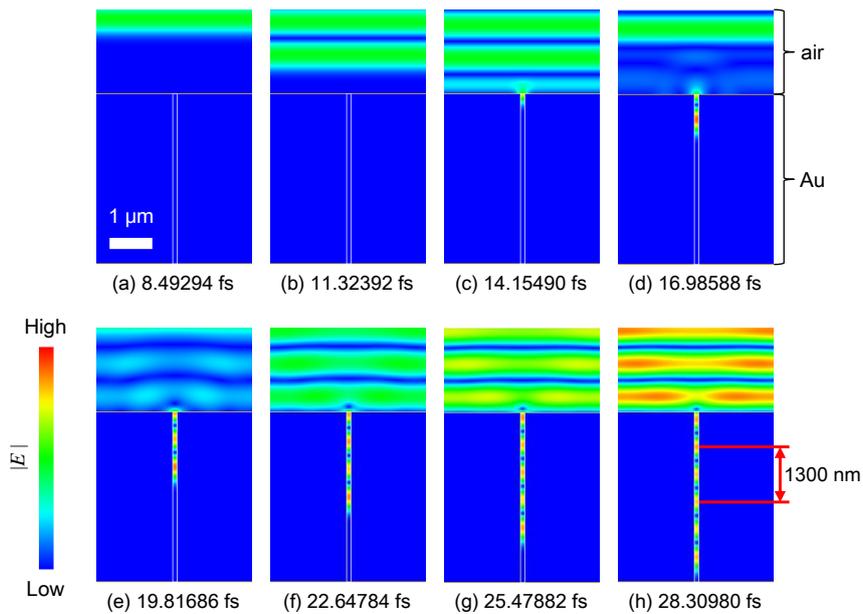


図 2.12 電界分布の時間変化

2.5.3 スリット周期の設計

複数のスリットを周期的に並べたグレーティング構造における、表面プラズモン強度の入射光波長依存性を解析した。図 2.13 は、各スリット周期 p における表面プラズモン強度の波長依存性の計算結果であり、それぞれの値は入射光強度で規格化している。観測点は、スリットの中心から $5\ \mu\text{m}$ 離れた金とシリコンの界面とした。また、スリット幅、スリット深さ、およびスリット数はそれぞれ $w=100\ \text{nm}$ 、 $d=300\ \text{nm}$ 、 $n=6$ に固定した。また、本スペクトル解析では、波長分散媒質である金の屈折率をドルーデモデルから求まる値とした。図 2.14 に、スペクトル解析に使用した金の複素屈折率の値を文献値^[76]と合せて示す。屈折率の実部において、波長 $700\ \text{nm}$ 以下では、ドルーデモデルから求まる値と文献値が良い一致を示していない。これは、ドルーデモデルでは、金におけるバンド間遷移を考慮していないためである。より正確に金の複素屈折率を再現するためには、ドルーデ・ローレンツモデルを仮定する必要があるが、本研究で対象としている波長帯は近赤外域であるため、本スペクトル解析ではドルーデモデルを仮定した。また、入射光としては波長スペクトルに広がりを持たせるために、ガウシアンパルスを用いた。図 2.15 に、ガウシアンパルスの時間プロファイルおよび波長スペクトルを示す。観測点での電界強度の波長スペクトルは、観測点での電界の時間プロファイルをフーリエ変換することにより求めた。

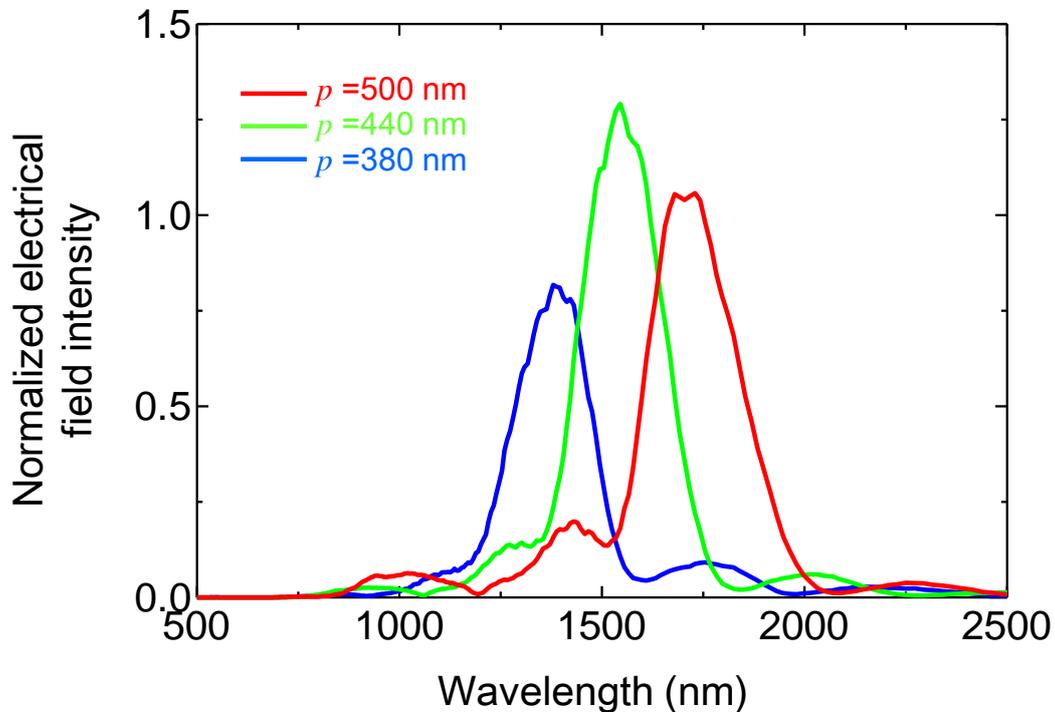
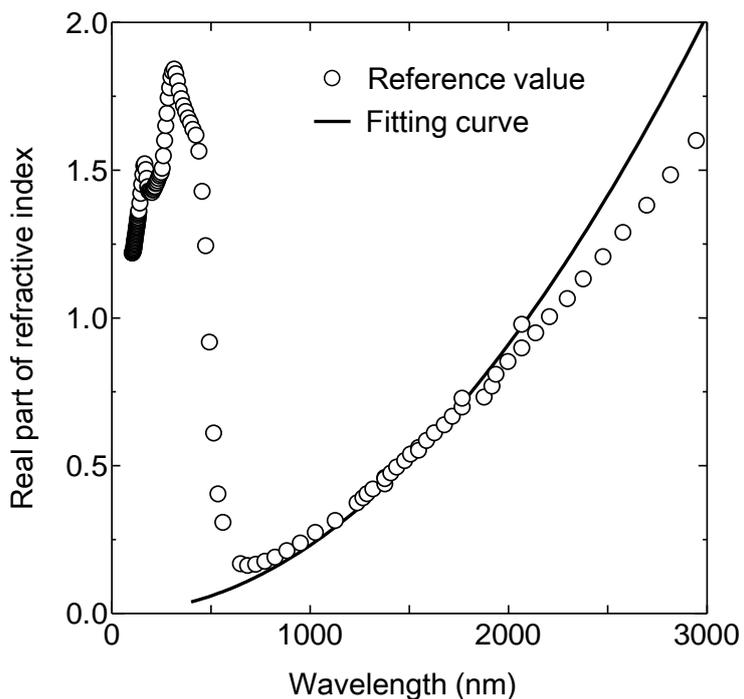
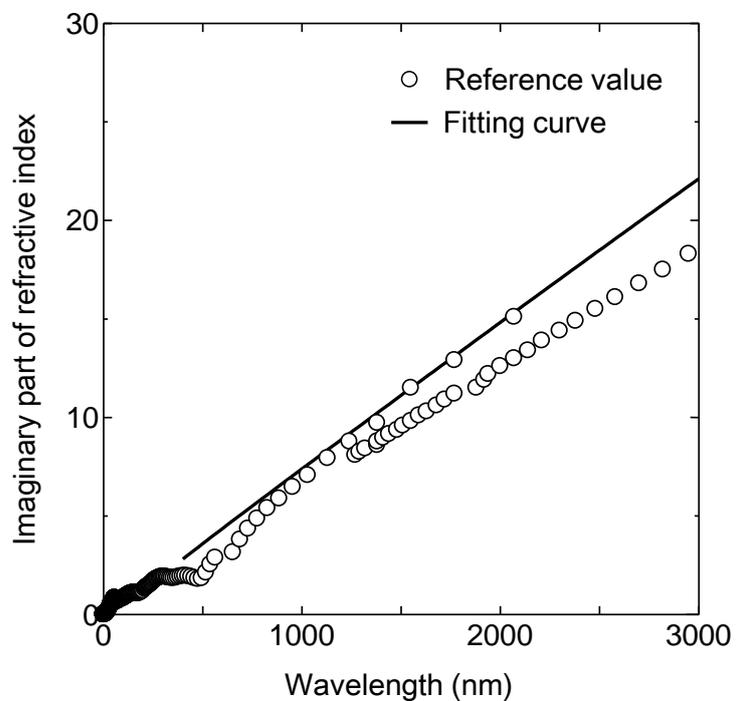


図 2.13 表面プラズモン強度の波長依存性
(複数スリット、 $w=100\ \text{nm}$ 、 $d=300\ \text{nm}$)

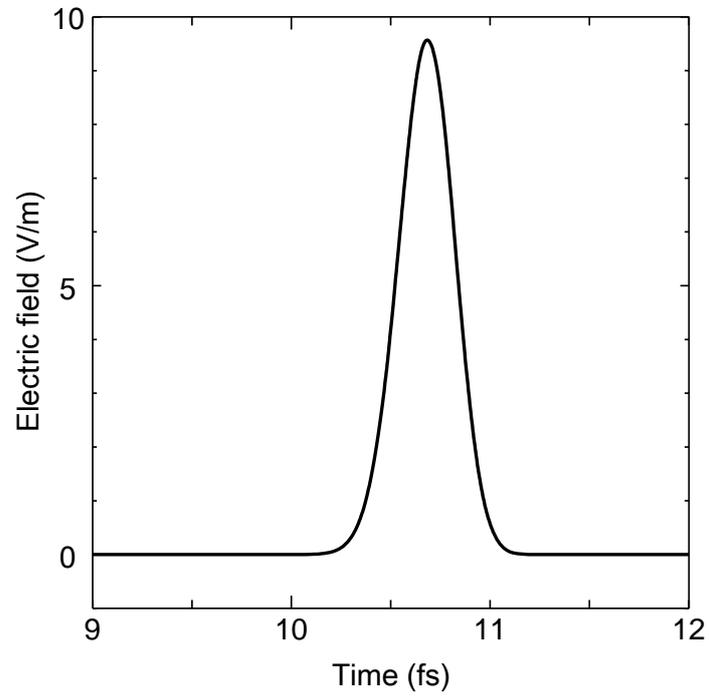


(a) 屈折率の実部

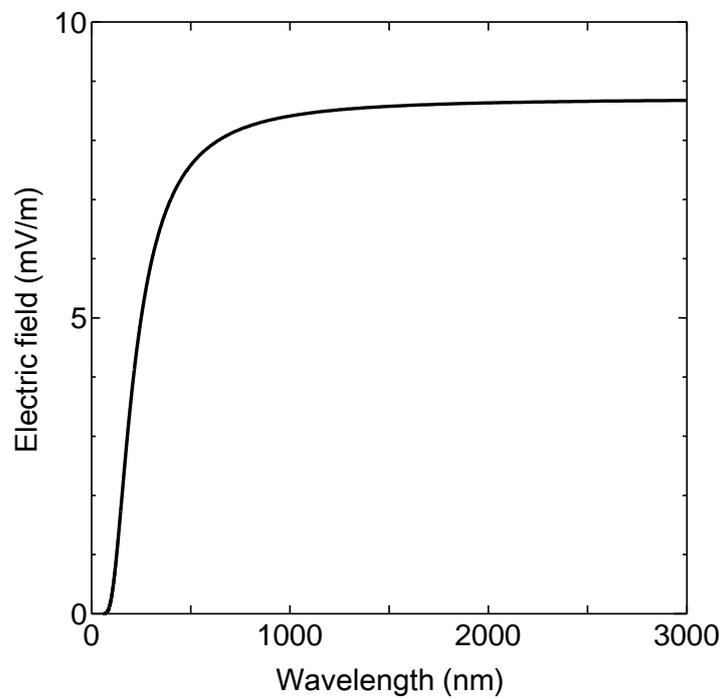


(b) 屈折率の虚部

図 2.14 スペクトル解析で使した金の複素屈折率



(a) 時間プロファイル



(b) 波長スペクトル

図 2.15 スペクトル解析に用いた光源のプロファイル

2 表面プラズモン検出器の作製

図 2.13 より、スリット周期の変更により、ピークとなる波長が変化していることが分かる。特に、スリット周期が 440 nm においては、波長 1550 nm 付近にピークを持つことが分かる。式 (2.11) から求まる金とシリコン界面における表面プラズモンの波長は、入射光波長 1550 nm に対して、 $\lambda_{\text{Au/Si}}=425 \text{ nm}$ であることから、本スリット周期では、各スリットから発生する表面プラズモンが界面と平行な方向に同位相で強め合っていると考えられる。これは、グレーティングによって生成される 1 次の回折光が金とシリコン界面の表面プラズモンと結合していることを意味している。

また、スリットを周期的 ($p=440 \text{ nm}$ 、 $n=6$) に配置した構造では、単一スリットの場合と比較して、金とシリコンの界面における表面プラズモンの強度が 8 倍高いことが分かった。

以上の解析より、スリット周期を 440 nm に決定した。ただし、スリット周期をこの値のおよそ 2 倍、すなわち回折次数を 2 にすることで、金とシリコンの界面の表面プラズモン強度が更に向上する。これは、空気と金界面での表面プラズモンが逆位相で弱め合い、その結果、スリットを透過する光の強度が強まるためであると説明付けられている^[81]。

2.6 検出器の作製

2.5 節で述べたグレーティング構造の設計を基に、表面プラズモン検出器を作製した。本検出器において、図 2.16 に示すように、光電流を取り出すためのオーミック電極（不純物濃度の高いシリコンとアルミニウムの接触）を形成している。金電極パターンは、金の抵抗加熱真空蒸着の後に、リフトオフ工程を施すことにより形成した。また、表面プラズモン検出器におけるグレーティングは、集束イオンビーム (FIB: Focused Ion Beam) 加工により形成した。本作製プロセスの詳細は、付録 A に示されている。

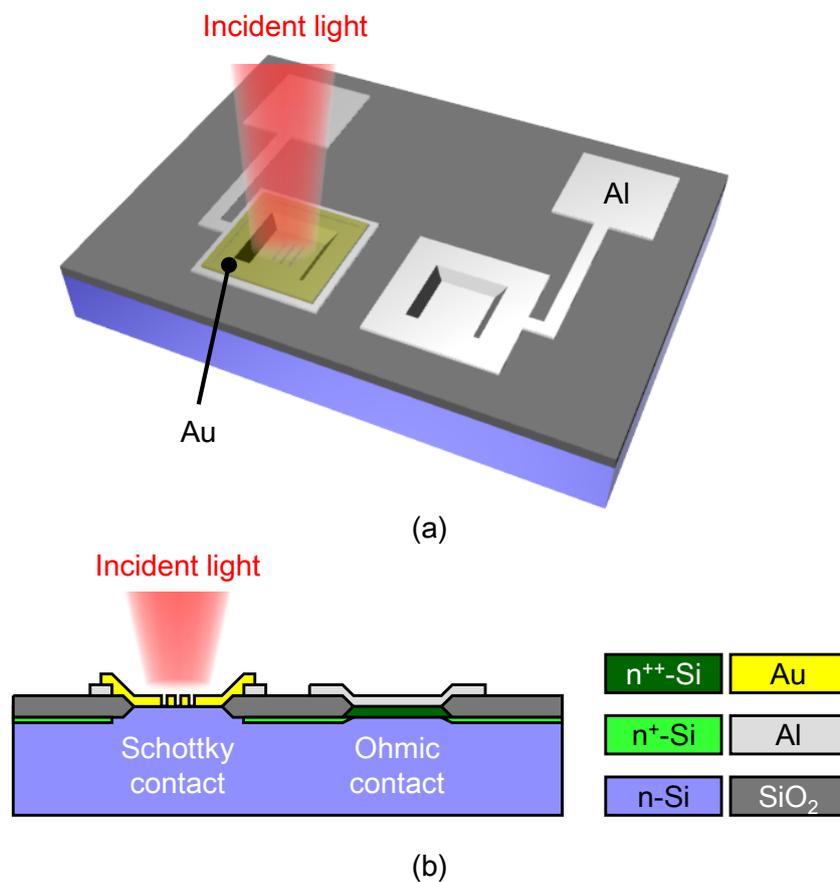
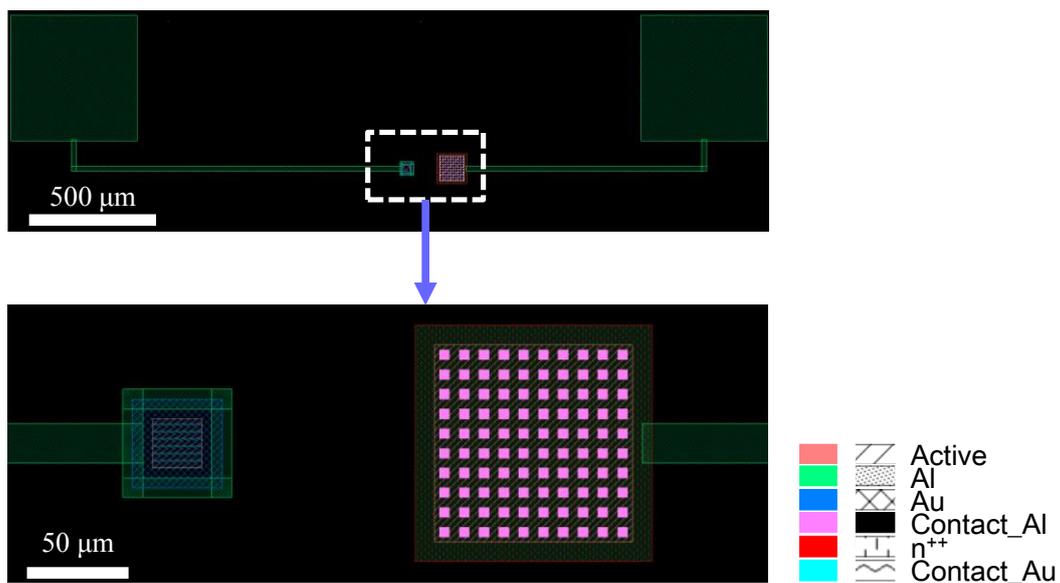


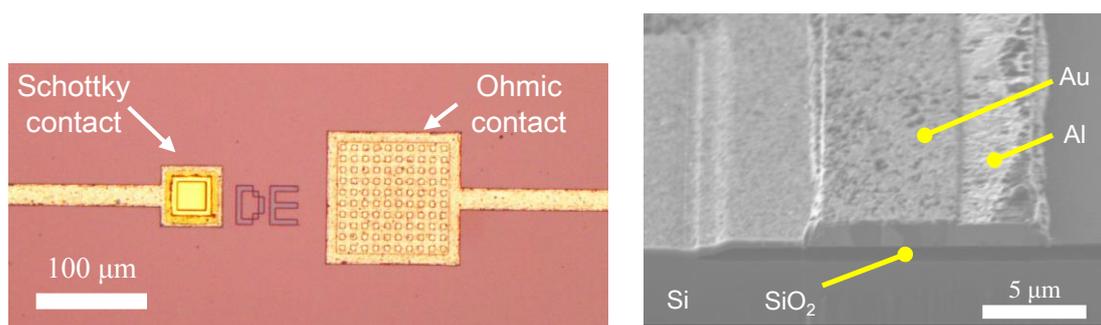
図 2.16 表面プラズモン検出器の (a) 鳥瞰図および (b) 断面図

図 2.17 (a) および (b) に、作製した素子のレイアウト図および光学顕微鏡像を示す。また、同図 (c) にショットキーダイオードの断面の SIM (Scanning Ion Microscope) 像を示す。断面を観察するために、FIB 加工により素子の一部分をエッチングし、断面を露出させた。本図より、金とシリコンの接触が確認できた。同図 (d) に、FIB 加工により作製したグレーティングの SEM (Scanning Electron Microscope) 像を示す。本図より、設計したグレーティングが形成されていることが確認できた。

2 表面プラズモン検出器の作製

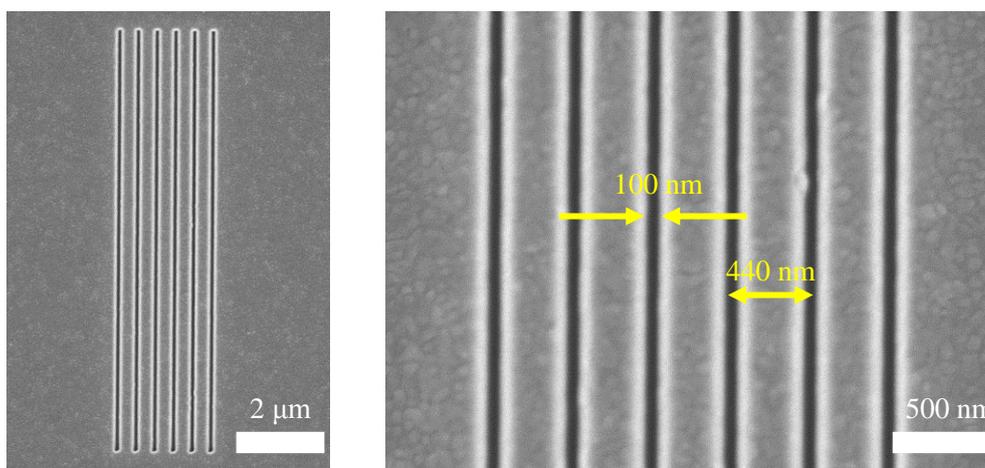


(a) レイアウト図



(b) 光学顕微鏡像 (グレーティング形成前)

(c) SIM 像 (ダイオードの断面)



(d) SEM 像 (グレーティング)

図 2.17 素子のレイアウト図および顕微鏡像

2.7 検出器の特性

作製した素子の動作の確認を行った。特に、シリコンに吸収されないエネルギー帯の表面プラズモンの検出、および表面プラズモンを介した光周波数信号の検出可能性の検討を行った。本節では、素子の電流電圧特性について述べた後、光電流の偏光角依存性および入射光強度依存性について述べ、最後に、光ビート信号の観測結果について述べる。

2.7.1 電流電圧特性

作製した素子のショットキー障壁高さを見積もるために、素子の電流電圧特性を測定した。なお、負電圧の印加時における素子の抵抗値は数 $\text{G}\Omega$ 程度と高いため、素子両端の電圧は、内部抵抗が $200 \text{ T}\Omega$ の計器 (Keithley 6514) を用いて測定した。図 2.18 に、測定した素子の電流電圧特性を示す。縦軸の電流値は、対数で表すために絶対値で示している。また、横軸の正電圧は順方向電圧 (シリコン側が負) を、負電圧は逆方向電圧 (シリコン側が正) を表す。同図が示す通り、金とシリコンが接触した素子において整流性が確認できた。すなわち、これは金とシリコンの界面でのショットキー障壁の形成を意味する。なお、逆バイアス 5 V における暗電流は 1.7 nA であった。

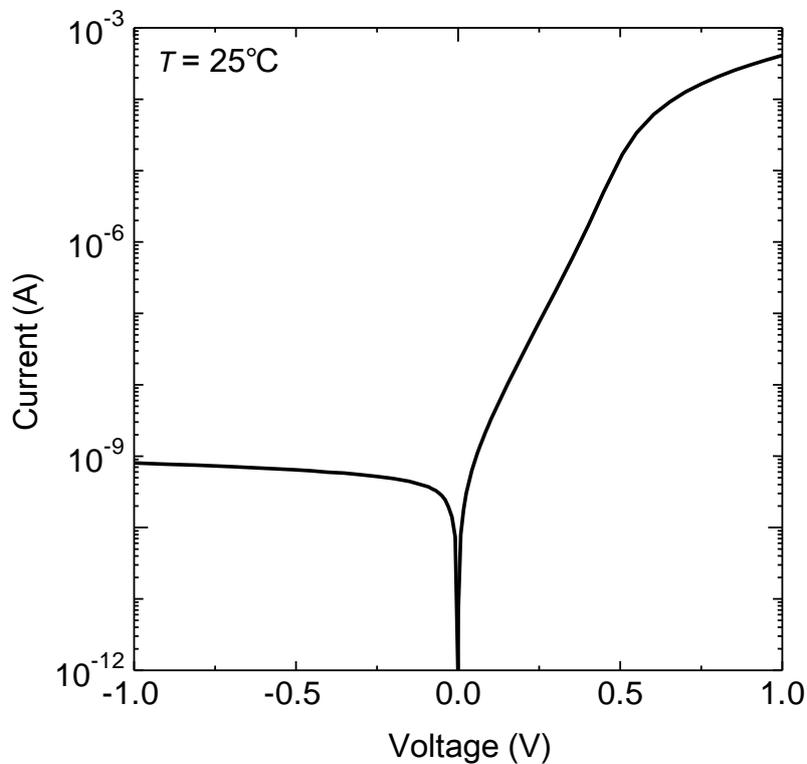


図 2.18 電流電圧特性

2 表面プラズモン検出器の作製

Norde の方法を用いると、ショットキー接合の順方向における電流密度 J と電圧 V の関係から、ショットキー障壁高さ ϕ_B や直列抵抗 R 、理想係数 n を見積もることができる^[82,83]。素電荷を q 、ボルツマン定数を k_B 、絶対温度を T 、接合面積を S とすると、

$$\frac{dV}{d(\ln(J))} = n \frac{k_B T}{q} + JSR \quad (2.33)$$

の関係が成り立つ。したがって、横軸を電流密度の値、縦軸を左辺の値としたグラフを作成し、縦軸との切片を求めることで、理想係数を求めることができる。また、

$$V - n \frac{k_B T}{q} \ln\left(\frac{J}{AT^2}\right) = n\phi_B + JSR \quad (2.34)$$

の関係が成り立つことから、同様の方法によりショットキー障壁高さを見積もることができる。ここで、 A はリチャードソン定数 ($112 \text{ Acm}^{-2}\text{K}^{-2}$) である。図 2.19 (a) に、横軸を電流密度、縦軸を式 (2.33) の左辺としたグラフを示す。また、図 2.19 (b) に、横軸を電流密度、縦軸を式 (2.34) の左辺としたグラフを示す。本結果より、ショットキー接合の理想係数、障壁高さ、直列抵抗は、それぞれ $n=1.7$ 、 $\phi_B=0.7 \text{ eV}$ 、 $R=1 \text{ k}\Omega$ と求められた。今回使用する光の光子エネルギー (0.8 eV) よりも障壁高さが低いことは、本素子により表面プラズモンの検出が可能であることを示す。

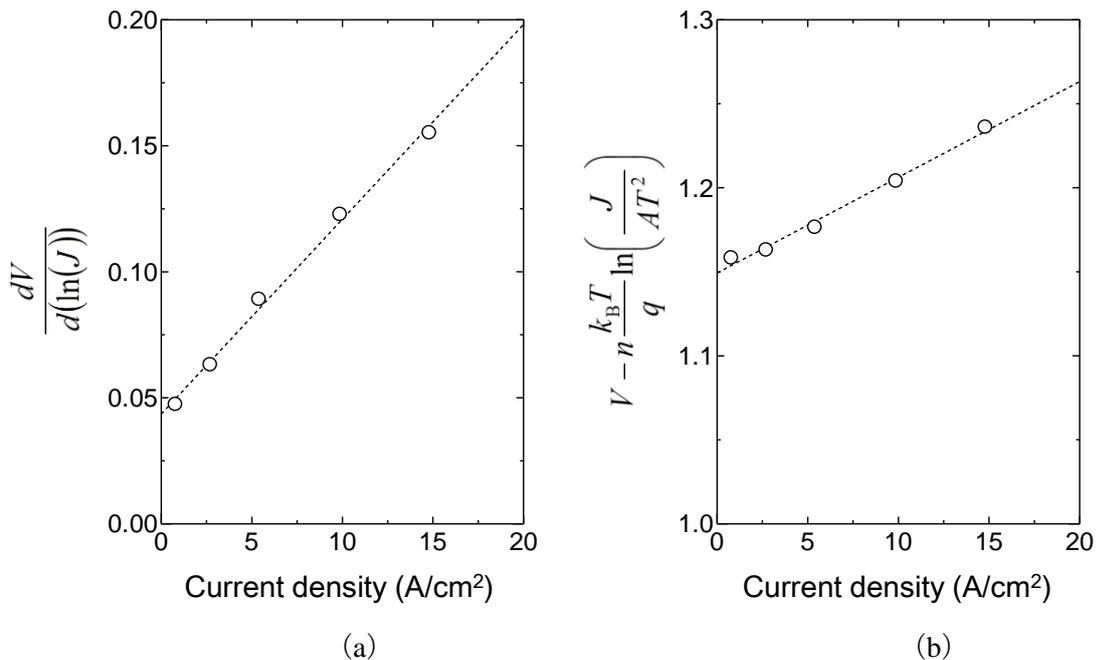
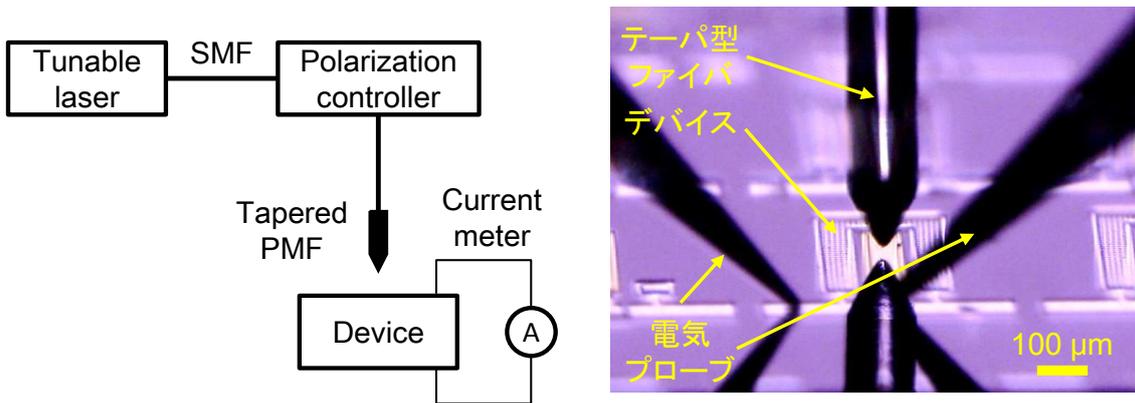


図 2.19 電流密度と式 (2.33) および式 (2.34) の左辺の関係

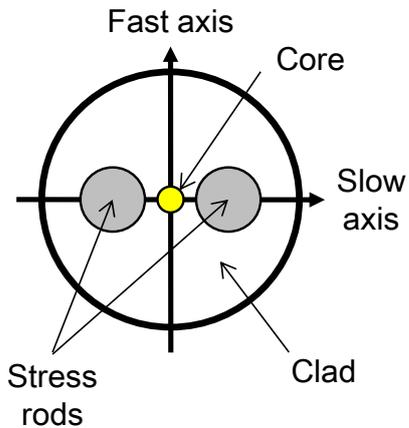
2.7.2 光電流の偏光角依存性

作製した素子において、表面プラズモンが検出されていることを確認するために、光電流の偏光角依存性を測定した。図 2.20 (a) に、光応答特性の測定に用いた実験系を、同図 (b) にカメラ画像を示す。テーパ型偏波保持ファイバ (PMF: Polarization Maintaining Fiber) に入射するレーザ光の偏波方向を、偏波コントローラを用いて PMF の Fast 軸 (図 2.20 (c) 参照) に合わせた。なお、偏波コントローラから出射される光の偏光方向は、図 2.20 (d) に示すように、偏光板と光検出器を用いて確認した。また、テーパ型 PMF から出射されるレーザ光の偏光方向は、同様に偏光板と光検出器を用いて確認した。素子のグレーティングに入射するレーザ光の偏光方向を、テーパ型 PMF を回転させることにより調整した。また、テーパ型 PMF から出射される光強度を 10 mW となるように波長可変光源の出力を調整し、そのレーザ光の波長を、1550 nm とした。なお、本測定では、裏面にインジウムを接着させシリコン側の電極を取り出す構造を用いた。

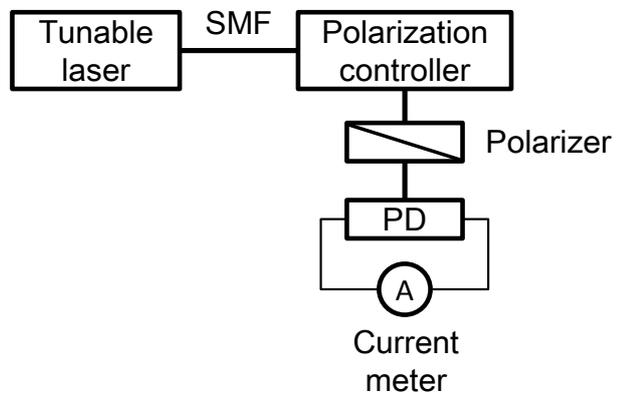


(a) 素子の光応答特性の測定系

(b) カメラ画像



(c) 偏波保持ファイバの断面図



(d) 偏光方向確認のための測定系

図 2.20 測定系の概略図

図 2.21 に、測定した光電流の偏光角依存性を示す。なお、 x 偏光 ($\theta=90, 270$ deg.) は、光の電界の振動方向がスリットの長軸に対して垂直な方向の光を、 y 偏光 ($\theta=0, 180, 360$ deg.) は、光の電界の振動方向がスリットの長軸に対して平行な方向を意味する。 x 偏光 (x pol.) において光電流が増大し、 y 偏光 (y pol.) において光電流が減少する結果が得られた。また、図 2.22 に、各偏光のレーザ光の入射に対する電界強度分布の計算結果を示す。

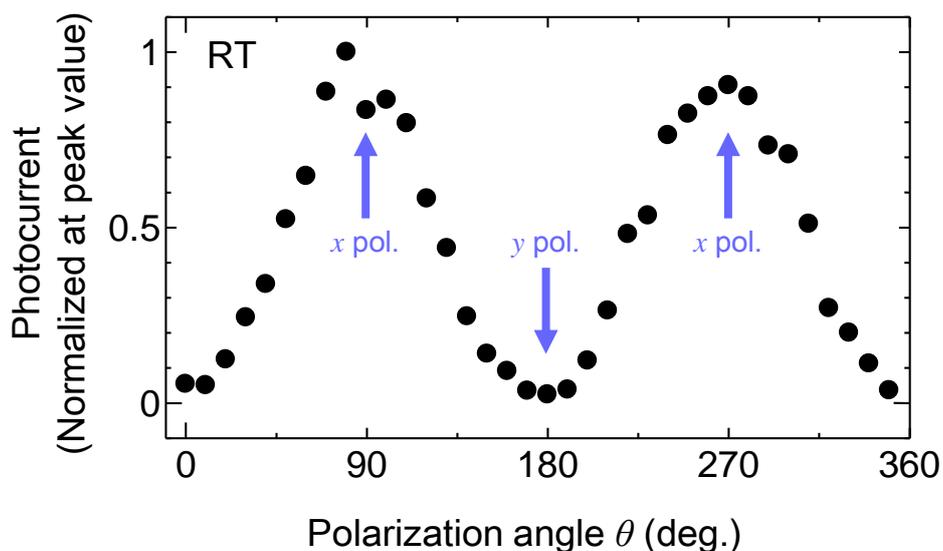


図 2.21 光電流の偏光角依存性

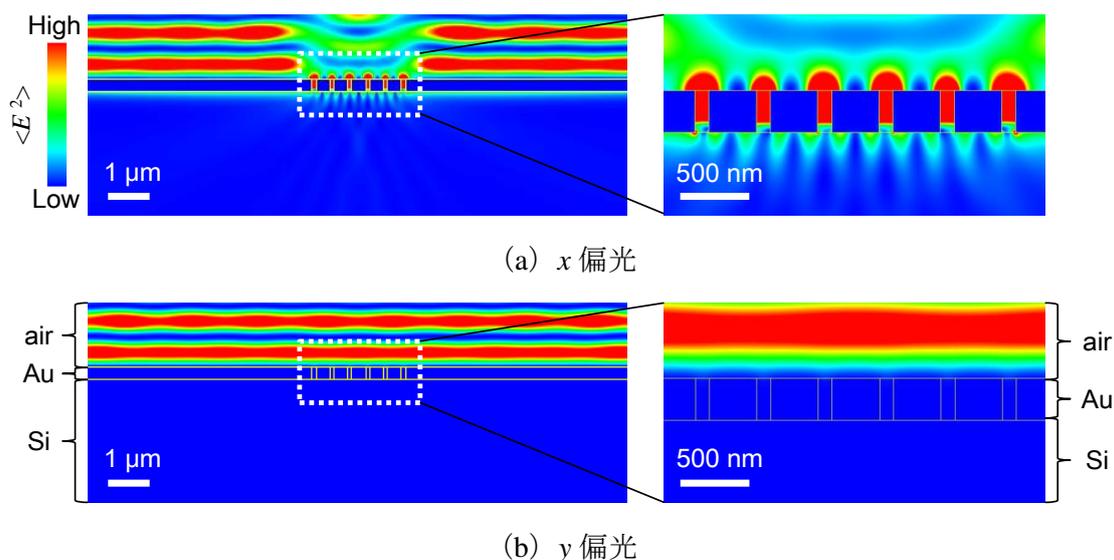


図 2.22 各偏光方向の光入射に対する電界強度分布の計算結果

図 2.22 より、入射光が x 偏光では表面プラズモンが金とシリコンの界面に励起され、 y 偏光では励起されないことが確認できた。これは、MIM 導波路（負誘電体ギャップ導波路）では、スリット幅が狭くなると TM モードの光（ x 偏光）しか存在し得なくなるためである^[79]。すなわち、TE モードの光（ y 偏光）は、幅 100 nm 程度（ $\sim\lambda_0/15$ ）のスリットを伝搬できず、それ故、金とシリコン界面の表面プラズモンのモードと結合しない。

以上の結果をまとめると次のことが言える。表面プラズモンが励起される偏光方向のレーザー光を素子のグレーティングに入射したとき光電流が増大した。

2.7.3 光電流の入射光強度依存性

光応答特性の線形性を確認するために、光電流の入射光強度依存性を測定した。本測定においても、図 2.20 の測定系を用いた。ただし、本測定では、アルミニウム電極をシリコン上に形成し、オーミック電極として用いた。図 2.23 に、測定した光電流の入射光強度依存性を示す。

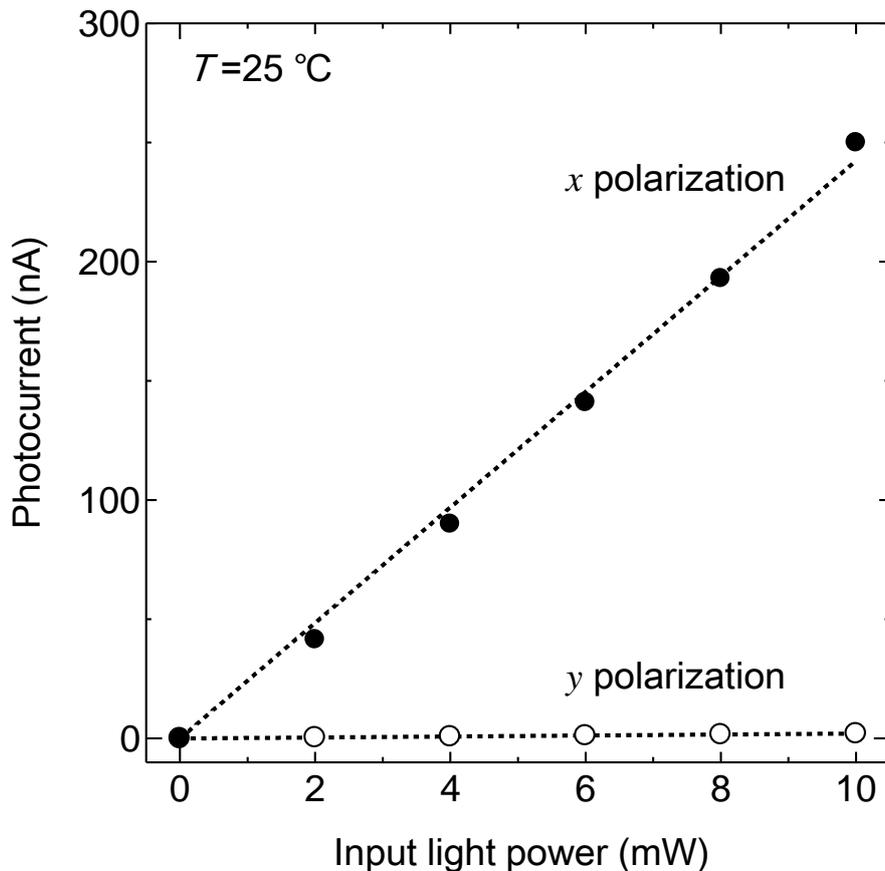


図 2.23 光電流の入射光強度依存性

2 表面プラズモン検出器の作製

図 2.23 より、入射光強度に比例して、光電流が増加していることが分かる。この線形性は、シリコンでの二光子吸収により光電流が生成されていないことを意味している。二光子吸収とは、半導体が 2 個の光子を同時に吸収して、1 個の電子を伝導帯に励起する現象であり、二光子吸収により生成される光電流は光強度の 2 乗に比例する^[25]。なお、 x 偏光における受光感度は 24 nA/mW、 y 偏光における受光感度は 0.2 nA/mW であった。

2.7.1 項、2.7.2 項、および 2.7.2 項で述べた内容は、以下のようにまとめられる。

- 金とシリコンの接触においてショットキー障壁の形成を確認した。
- その障壁高さは、入射光の光子エネルギーよりも低いことを確認した。
- 表面プラズモンが励起する偏光の光に対して光電流が増大した。
- 光電流の線形応答性から、二光子吸収が生じていないことを確認した。

以上より、作製した素子が、2.4.1 項で述べた原理に従い動作していると考えられる。これより、グレーティングを有する新規の表面プラズモン検出器を実現できたと結論付けられる。

なお、検出器の感度を向上させる方法として、ショットキー障壁高さを低くする、入射光の光子エネルギーを高くする、スリットの加工精度を向上させることなどが挙げられる。本検出器におけるスリット構造は、FIB 加工により形成した。この方法では、集束したイオンビームにより金属をエッチングしているため、スリットの形状はテーパ状となる。スリットのテーパ角を 10 度と仮定した場合、垂直な場合と比較して、金とシリコンの界面に励起される表面プラズモンの強度は、56%に減少した（図 2.24）。表面プラズモンの強度が光電流の大きさに比例することから、スリットの加工精度を向上させることにより検出感度が数倍向上することが示唆された。なお、検出器の目標性能に関する考察は付録 B で述べる。

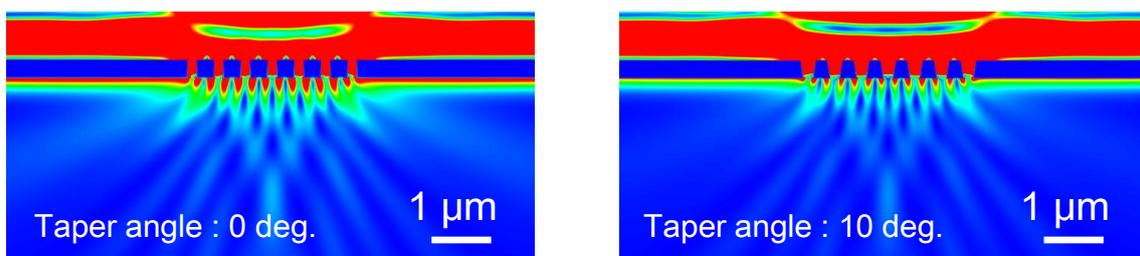


図 2.24 スリット形状が垂直（左）およびテーパ形状（右）の場合の電磁界強度分布

2.7.4 光ビート信号の観測

本研究で実現した表面プラズモン検出器を用いて、光周波数信号の検出可能性を検討した。図 2.25 に、本検討のために用いた光ヘテロダイン検波系を示す。波長可変光源および分布帰還形 (DFB : Distributed Feedback) 半導体レーザから出射されるレーザ光の波長は、それぞれ 1550.79 nm ($f_2=193.316$ THz) および 1550.78 nm ($f_2=193.317$ THz) である。なお、各レーザ光の波長は、光スペクトラムアナライザにより測定した。また、テーパ型 PMF から出射されるレーザ光の光強度は、波長可変光源に対しては 8.82 dBm、DFB レーザに対しては 7.86 dBm である。各レーザ光の偏光方向は、偏波コントローラを用いてファイバカプラ内で一致するように調整した。ファイバカプラから出射される干渉光は、もう一方の偏波コントローラを用いて、PMF の Fast 軸に調整した。PMF からの出力光は、表面プラズモン検出器のグレーティングへ x 偏光で照射した。そして、表面プラズモン検出器からの電気出力をプリアンプにより増幅した後、ラジオ周波数 (RF : Radio Frequency) スペクトラムアナライザで観測した。

図 2.26 に、RF スペクトラムアナライザにより観測した表面プラズモン検出器からの電気出力を示す。同図 (a) に示すように、周波数 1.12 GHz に明確なピークが観測された。また、DFB レーザの波長を 1550.77 nm (193.318 THz) に変更したとき、そのピークの周波数は、2.03 GHz に変化した (同図 (b) 参照)。両者ともに、各レーザ光の差周波数 $|f_1 - f_2|$ に対応した周波数にピークが現れている。したがって、観測されたピークは、ビート信号であると考えられる。

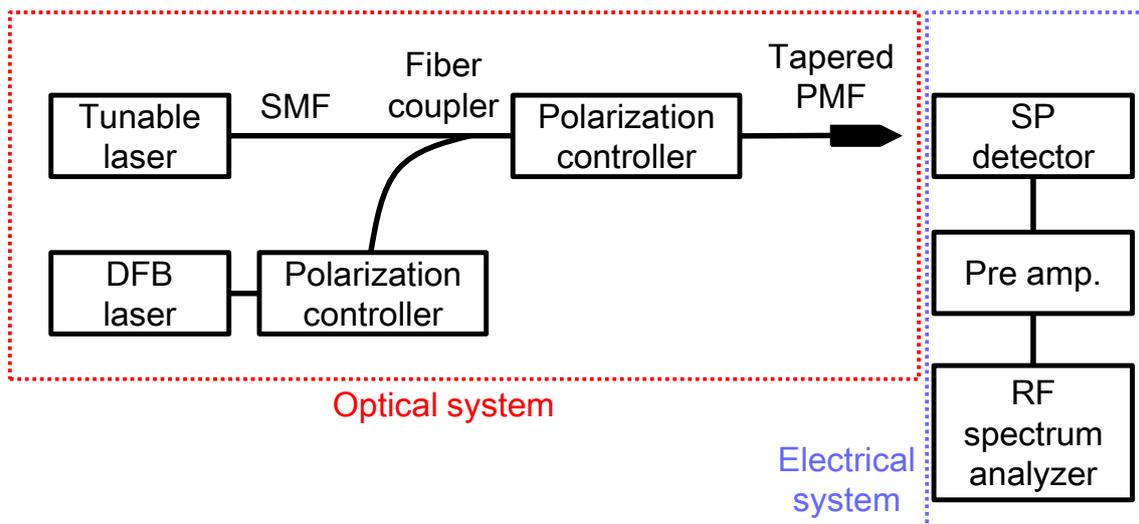


図 2.25 光ヘテロダイン検波系

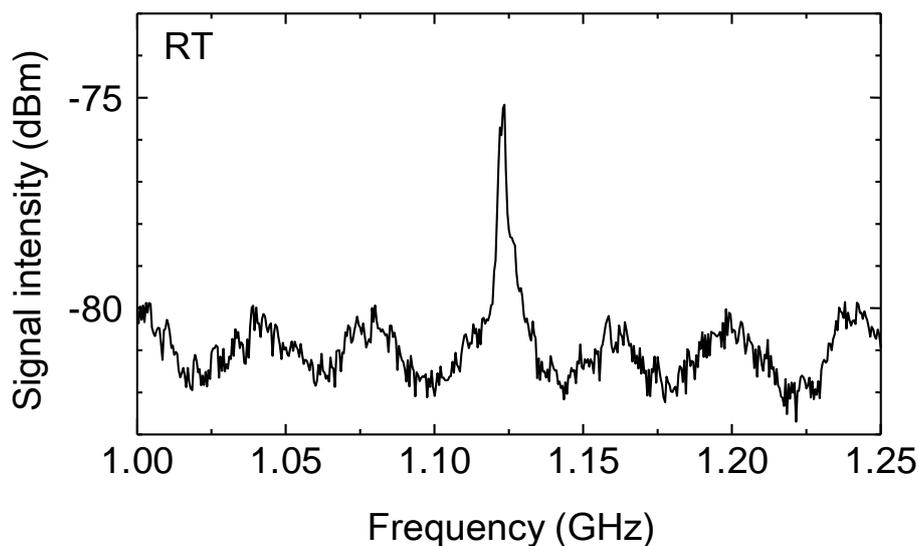
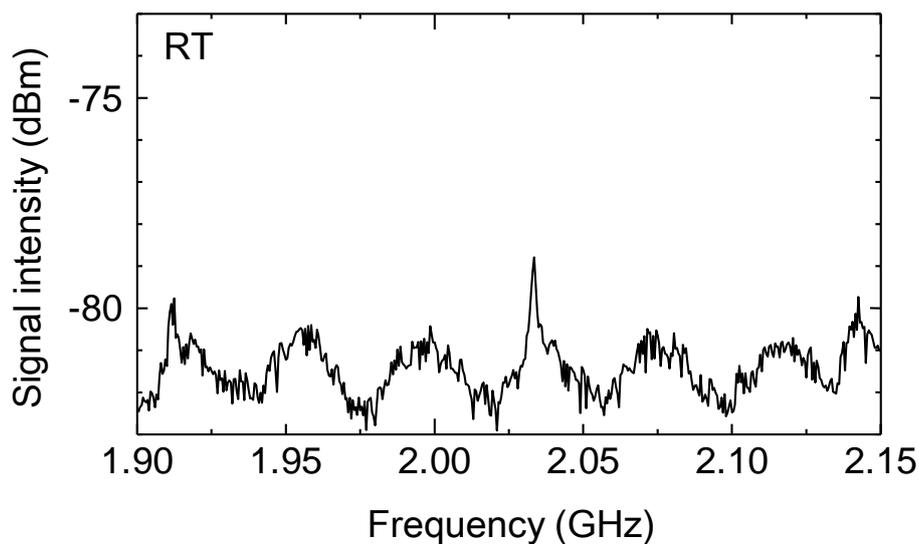
(a) 1550.78 nm ($f_2=193.317$ THz)(a) 1550.77 nm ($f_2=193.318$ THz)

図 2.26 表面プラズモン検出器からの電気出力

以上の実験結果より、表面プラズモンを介した光周波数信号の検出可能性が示された。ただし、各レーザー光の波長（周波数）を、光スペクトラムアナライザ（測定間隔：0.005 nm, 0.6 GHz）により観測しているため、分解能の点で正確な差周波数を計算することは困難であった。そこで、図 2.27 に示す実験系を構築し、表面プラズモン検出器から得られたピークの周波数と、PIN フォトダイオード（Agilent 70810B）から得られたビート信号の周波数の比較を行った。各光源から出射されるレーザー光は、偏波コントローラを介してファイバカップラに入射する。ファイバカップラ内に入射したレーザー光は、カプ

2 表面プラズモン検出器の作製

ラ内で干渉し、その干渉光は、もう1つのファイバカプラにより2つの光路に分けられ、出射される。光路1を通る干渉光は、市販のフォトダイオードに入射される。一方、光路2を通る干渉光は、作製した表面プラズモン検出器に入射される。そして、各検出器から出力される電気信号は、各RFスペクトラムアナライザ（測定間隔：0.5 MHz）により観測される。図2.28に、横軸をPINフォトダイオードにより観測したビート信号の周波数（すなわち差周波数）、縦軸を表面プラズモン検出器から得られたピークの周波数としたグラフを示す。同図より、各レーザ光の差周波数は、表面プラズモン検出器から得られた電気出力のピークの周波数に完全に一致していることが分かる。本結果からも、表面プラズモンを介した光周波数信号の検出可能性が示された。

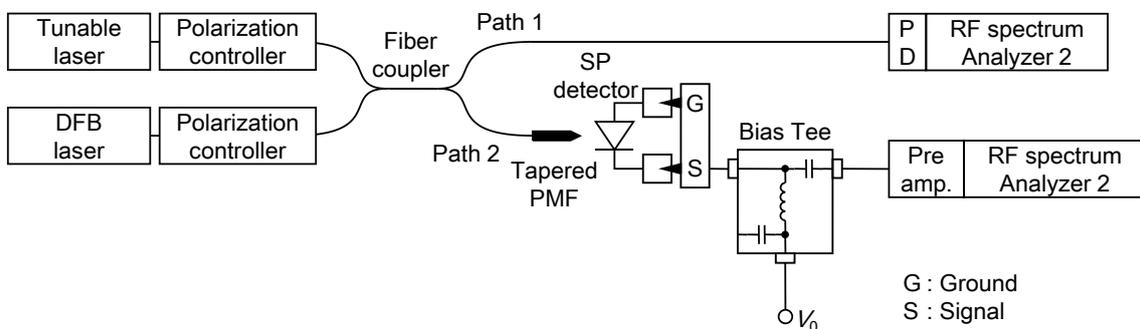


図 2.27 光ヘテロダイン検波系

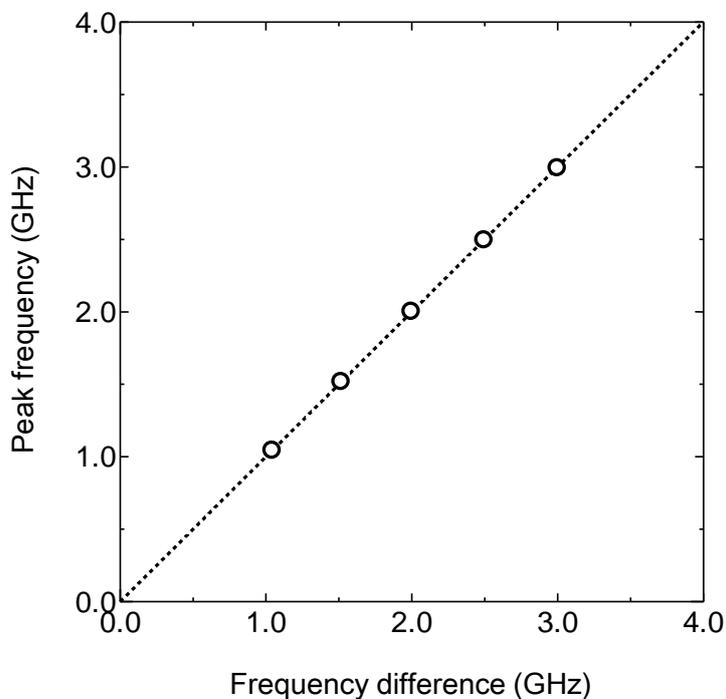


図 2.28 レーザ光の差周波数とピークの周波数の関係

2.7.5 光ヘテロダイン増幅

3.2.2 項で述べるように、光ヘテロダイン法を用いたコヒーレント検波では、受信感度の改善が可能である。これは、ビート信号（光検出器が出力する電圧あるいは電流のうなり）の強度が局発光強度の平方根に比例して増幅するためである。

本研究で実現した表面プラズモン検出器においても、光ヘテロダイン法を適用し、信号の増幅の確認を行った。測定方法は、2.7.4 項の場合と同様である。局発光の入射光強度を 4.38 mW とし、信号光の入射光強度を変化させ、ビート信号のピーク強度（電力）を RF スペクトラムアナライザにより観測した。なお、ビート信号の周波数が 300 MHz 程度となるように、各レーザ光の波長を調整した。また、表面プラズモン検出器には 5 V の逆バイアス電圧を印加した。図 2.29 に、横軸を局発光の光強度、縦軸を光ヘテロダイン検波により得られたビート信号のピーク強度としたグラフを示す。なお、得られたビート信号のピーク強度からプリアンプによる電氣的な増幅分を差し引いた。同図が示す通り、信号光強度の増加に比例して、ビート信号のピーク強度が線形に増加していることが分かる。本実験に用いた検出器の受光感度は、25 nA/mW であった。したがって、光ヘテロダイン検波を行わない場合の電氣的な出力強度は、50 Ω 系を仮定すれば 13.5 fW ($50^2/2$) と見積もられる。一方、光ヘテロダイン検波を適用して得られたビート信号のピーク強度は、信号光強度が 0.78 mW、局発光強度が 4.38 mW のとき 0.31 pW であった。本結果は、光ヘテロダイン法を適用することにより信号光が 14 dB 増幅したことを意味している。したがって、本結果より、作製した表面プラズモン検出器においても、コヒーレント検波による受信感度の改善が可能であることが示された。

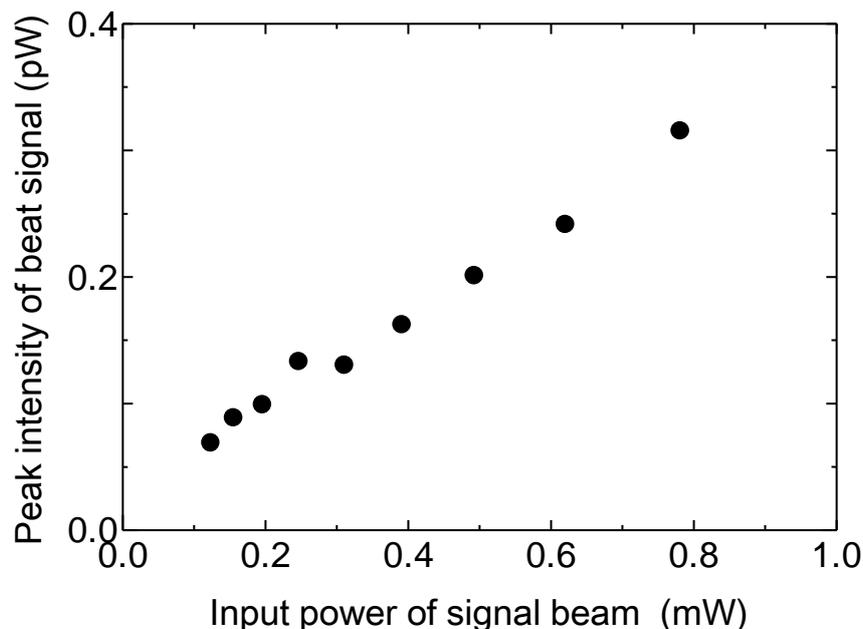


図 2.29 光ヘテロダイン増幅特性

2.8 結言

本章では、グレーティングを有する新規表面プラズモン検出器を開発し、その動作を実証した。さらに、光ヘテロダイナ法を用いて表面プラズモン信号のコヒーレント検波の可能性を明らかにした。本章の要点を電磁界解析結果と実験結果に分けて以下に示す。

【電磁界解析結果】

- (1) シリコン上にスリットを有する金薄膜が配置された構造に、金薄膜の上方側から単一波長 1550 nm の光を照射することで、金とシリコンの界面に表面プラズモンが励起することを確認した。
- (2) スリットの長軸に対して光の電界の振動方向が垂直な x 偏光に対しては、金とシリコンの界面に表面プラズモンが励起するが、スリットの長軸に対して光の電界の振動方向が平行な y 偏光に対しては、金とシリコンの界面に表面プラズモンが励起しないことを確認した。また、その原因として、スリット内部では TE モードが存在しないためであることを述べた。
- (3) スリットが表面プラズモンのファイブリペロー共振器として働き、その共振条件を満たすスリット深さ（金膜厚）の場合に、金とシリコン界面の表面プラズモンの強度が強くなることを明らかにした。
- (4) スリットを 6 本配置したグレーティング構造では、そのスリットの周期を変更することで、金/シリコン界面の表面プラズモン強度の入射光波長依存性が変化することを確認した。特に、入射光波長が 1550 nm の場合に、効率的に金とシリコンの界面に表面プラズモンが励起されるスリットの周期は 440 nm であることを明らかにした。

【実験結果】

- (5) 金薄膜とシリコンのショットキー接合を作製し電流電圧特性を測定することで、その障壁高さは 0.7 eV と見積もられた。その値は、シリコンのバンドギャップエネルギー (1.1 eV) よりも低く、波長 1550 nm の光の光子エネルギー (0.80 eV) よりも高いことを確認した。
- (6) 作製した素子における、光電流の偏光角依存性および入射光強度依存性の結果から、グレーティングにより金とシリコンの界面に表面プラズモンが励起し、その表面プラズモンの励起に伴ったホット電子がシリコン側に放出され、その結果、光電流が生成されたことを確認した。本結果より、グレーティングを有する新規表面プラズモン検出器の動作を実証した。
- (7) 作製した表面プラズモン検出器に、波長（周波数）のわずかに異なる光を同時に照射したとき、その差周波数に対応した周波数に信号が観測された。本結果より、表面プラズモンを介して光周波数信号が検出可能であることを明らかにした。

参考文献

- [1] 岡本 隆之, 梶川 浩太郎 : プラズモニクスー基礎と応用, 講談社 (2011)
- [2] 谷口 彰敏 : プラズモン基礎理解の徹底と応用展開 ~実用化への要求仕様と課題/解決策検討~, 情報機構 (2011)
- [3] 福井 萬壽夫, 大津 元一 : 光ナノテクノロジーの基礎, オーム社 (2003)
- [4] E. N. Economou : “Surface Plasmons in Thin Films”, *Phys. Rev.*, **182**, 539-554 (1969)
- [5] J. Takahara, S. Yamagishi, H. Taki, A. Morimoto, and T. Kobayashi : “Guiding of a one-dimensional optical beam with nanometer diameter”, *Opt. Lett.*, **22**, 475-477 (1997)
- [6] E. Verhagen, M. Spasenovic, A. Polman, and L. Kuipers : “Nanowire Plasmon Excitation by Adiabatic Mode Transformation”, *Phys. Rev. Lett.*, **102**, 203904/1-203904/4 (2009)
- [7] R. F. Oulton, V. J. Sorger, D. A. Genov, D. F. P. Pile, and X. Zhang : “A hybrid plasmonic waveguide for subwavelength confinement and long-range propagation”, *Nature Photon.*, **2**, 496-500 (2008)
- [8] D. K. Gramotnev and S. I. Bozhevolnyi : “Plasmonics beyond the diffraction limit”, *Nat. Photon.*, **4**, 83-91 (2010)
- [9] A. Bouhelier, T. Huser, H. Tamaru, H.-J. Guntherodt, D. W. Pohl, F. I. Baida, and V. Labeke : “Plasmon optics of structured silver films”, *Phys. Rev. B*, **63**, 155404 (2001)
- [10] 大津 元一, 河田 聡 : ナノ光工学ハンドブック, 朝倉書店, (2002)
- [11] V. J. Sorger, R. F. Oulton, R.-M. Ma, and X. Zhang : “Toward integrated plasmonic circuits”, *MRS Bulletin*, **37**, 728-738 (2012)
- [12] D. F. P. Pile, T. Ogawa, D. K. Gramotnev, T. Okamoto, M. Haraguchi, M. Fukui, and S. Matsuo : “Theoretical and experimental investigation of strongly localized plasmons on triangular metal wedges for subwavelength waveguiding”, *Appl. Phys. Lett.*, **87**, 061106/1-061106/3 (2005)
- [13] A. V. Krasavin and A. V. Zayats : “Silicon-based plasmonic waveguides”, *Optics Express*, **18**, 11791-11799 (2010)
- [14] M. T. Hill, Y.-S. Oei, B. Smalbrugge, Y. Zhu, T. D. Vries, P. J. V. Veldhoven, F. W. M. V. Otten, T. J. Eljkemans, J. P. Turkiewicz, H. D. Waardt, E. J. Gesul, S.-H. Kwon, Y.-H. Lee, R. Notzel, and M. K. Smit : “Lasing in metallic-coated nanocavities”, *Nature Photon.*, **1**, 589-594 (2007)
- [15] M. P. Nezhad, A. Simic, O. Bondarenko, B. Slutsky, A. Mizrashi, L. Feng, V. Lomakin, and Y. Fainman : “Room-temperature subwavelength metallo-dielectric lasers”, *Nature Photon.*, **4**, 395-399 (2010)
- [16] K. Yu, A. Lakhani, and M. C. Wu : “Subwavelength metal-optic semiconductor nanopatch lasers”, *Optics Express*, **18**, 8790-8799 (2010)
- [17] S.-H. Kwon, J.-H. Kang, C. Seassal, S.-K. Kim, P. Regreny, Y.-H. Lee, C. M. Lieber, and H.-G. Park : “Subwavelength Plasmonic Lasing from a Semiconductor Nanodisk with Silver Nanoparticle Cavity”, *Nano Lett.*, **10**, 3679-3683 (2010)
- [18] S.-W. Chang, T.-R. Lin, and S. L. Chuang : “Theory of plasmonic Fabry-Perot nanolasers”, *Optics Express*, **18**, 15039-15053 (2010)
- [19] K. Ding, M. T. Hill, Z. C. Liu, L. J. Yin, P. J. Veldhoven, and C. Z. Ning : “Record performance of electrical injection sub-wavelength metallic-cavity semiconductor lasers at room temperature”, *Optics Express*, **21**, 4728-4733 (2013)
- [20] C.-H. Cho, C. O. Aspetti, J. Park, and R. Agarwal : “Silicon coupled with plasmon nanocavities generates bright visible hot luminescence”, *Nature Photon.*, **7**, 285-289 (2013)
- [21] N. Kumar : “Spontaneous Emission Rate Enhancement Using Optical Antennas”, Technical Report, U. C. Berkeley (2013)
- [22] R. Soref : “Mid-infrared photonics in silicon and germanium”, *Nature Photon.*, **4**, 495-497 (2010)
- [23] S. Assefa, F. Xia, S. W. Bedell, Y. Zhang, T. Topuria, P. M. Rice, and Y. A. Vlasov : “CMOS-integrated high-speed MSM germanium waveguide photodetector”, *Optics Express*, **18**, 4986-4999 (2010)
- [24] M. Casalino, G. Coppola, M. Iodice, I. Rendia, and L. Sirlito : “Near-Infrared Sub-Bandgap All-Silicon Photodetectors: State of the Art and Perspective”, *Sensors*, **10**, 10571-10600 (2010)
- [25] M. Casalino : “Near-Infrared Sub-Bandgap All-Silicon Photodetectors: A Review”, *Int. J. Optics and Applications*, **2**, 1-16 (2012)
- [26] R. Schafiiha, D. Zheng, S. Liao, P. Dong, H. Liang, F. Feng, B. J. Luff, D. Feng, G. Li, J. Cunningham, K. Raj, A. V. Krishnamoorthy, and M. Asghari : “Silicon Waveguide Coupled Resonator Infrared Detector”, *Proceedings of Optical Fiber Communication Conference* (2010)
- [27] T. B. Jones, M. Hochberg, and A. Scherer : “Photodetection in silicon beyond the band edge with surface states”, *Optics Express*, **16**, 1659-1668 (2008)
- [28] M. Casalino, L. Sirlito, M. Iodice, N. Saffioti, M. Gioffre, I. Rendina, and G. Coppola : “Cu/p-Si Schottky barrier-based near infrared photodetector integrated with a silicon-on-insulator waveguide”, *Appl. Phys. Lett.*, **96**, 241112/1-241112/3 (2010)
- [29] A. Akbari, R. N. Tait, and P. Berini : “Surface plasmon waveguide Schottky detector”, *Optics Express*, **18**, 8505-8514 (2010)

- [30] T. Tanabe, H. Sumikura, H. Taniyama, A. Shinya, and M. Notomi : “All-silicon sub-Gb/s telecom detector with low dark current and high quantum efficiency on chip”, *Appl. Phys. Lett.*, **96**, 101103/1-101103/3 (2010)
- [31] P. Berini : “Surface plasmon photodetectors and their applications”, *Laser Photonics Rev.*, **8**, 197-220 (2014)
- [32] T. Ishii, J. Fujikata, K. Makita, T. Baba, and K. Ohashi, : “Si Nano-Photodiode with a Surface Plasmon Antenna”, *Jpn. J. Appl. Phys.*, **44**, L364-L366 (2005)
- [33] A. Karar, N. Das, C. L. Tan, K. Alameh, Y. T. Lee, and F. Karouta : “High-responsivity plasmonics-based GaAs metal-semiconductor-metal photodetectors”, *Appl. Phys. Lett.*, **99**, 133112/1-133112/3 (2011)
- [34] A. Karar, C. L. Tan, K. Alameh, Y. T. Lee, and F. Karouta : “Metal Nano-Grating Optimization for Higher Responsivity Plasmonic-Based GaAs Metal-Semiconductor-Metal Photodetector”, *IEEE J. Lightwave Tech.*, **31**, 1088-1092 (2013)
- [35] H. Satoh, A. Ono, and H. Inokawa : “Enhanced Visible Light Sensitivity by Gold Line-and-Space Grating Gate Electrode in Thin Silicon-On-Insulator p-n Junction Photodiode”, *IEEE Trans. Electron. Dev.*, **60**, 812-818 (2013)
- [36] H. Satoh and H. Inokawa : “Surface Plasmon Antenna with Gold Line and Space Grating for Enhanced Visible Light Detection by a Silicon-on-Insulator Metal-Oxide-Semiconductor Photodiode”, *IEEE Trans. Nanotech.*, **11**, 346-351 (2012)
- [37] D. Okamoto, J. Fujikawa, K. Nishi, and K. Ohashi : “Numerical Study of Near-Infrared Photodetectors with Surface-Plasmon Antenna for Optical Communication”, *Jpn. J. Appl. Phys.*, **47**, 2921-2923 (2008)
- [38] A. Sobhani, M. W. Knight, Y. Wang, B. Zheng, N. S. King, L. V. Brown, Z. Fang, P. Nordlander, and N. J. Halas : “Narrowband photodetection in the near-infrared with a plasmon-induced hot electron device”, *Nature Comm.*, **4**, 1-5 (2013)
- [39] J. Rosenberg, R. V. Shenoi, T. E. Vandervelde, S. Krishna, and O. Painter : “A multispectral and polarization-selective surface-plasmon resonant midinfrared detector”, *Appl. Phys. Lett.*, **95**, 161101/1-161101/3 (2009)
- [40] Z. Ouyang, S. Pilla, F. Beck, O. Kunz, S. Varlamov, K. R. Catchpole, P. Campbell, and M. A. Green : “Effective light trapping in polycrystalline silicon thin-film solar cells by means of rear localized surface plasmons”, *Appl. Phys. Lett.*, **96**, 261109 (2010)
- [41] M. W. Knight, H. Sobhani, P. Nordlander, and N. J. Halas : “Photodetection with Active Optical Antennas”, *Science*, **332**, 702-704 (2011)
- [42] J. Fujikata, K. Nose, J. Ushida, K. Nishi, M. Kinoshita, T. Shimizu, T. Ueno, D. Okamoto, A. Gomyo, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi : “Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and its Application to On-chip Optical Clock Distribution”, *Appl. Phys. Express*, **1**, 022001/1-022001/3 (2008)
- [43] M. Alavirad, S. S. Mousavi, L. Roy, and P. Berini : “Schottky-contact plasmonic dipole rectenna concept for biosensing”, *Optics Express*, **21**, 4328-4347 (2013)
- [44] L. Tang, S. E. Kocabas, S. Latif, A. K. Okyay, D.-S. L. Gagnon, K. C. Saraswat, and D. A. B. Miller : “Nanometre-scale germanium photodetector enhanced by a near-infrared dipole antenna”, *Nature Photon.*, **2**, 226-229 (2008)
- [45] C. Scales, I. Breukelaar, R. Charbonneau, and P. Berini : “Infrared Performance of Symmetric Surface-Plasmon Waveguide Schottky Detectors in Si”, *IEEE J. Lightwave Tech.*, **29**, 1852-1860 (2011)
- [46] C. Scales and P. Berini : “Thin-Film Schottky Barrier Photodetector Models”, *IEEE J. Quantum Electron.*, **46**, 633-643 (2010)
- [47] Y. Wang, X. Su, Y. Zhu, Q. Wang, D. Zhu, J. Zhao, S. Chen, W. Huang, and S. Wu : “Photocurrent in Ag-Si photodiodes modulated by plasmonic nanopatterns”, *Appl. Phys. Lett.*, **95**, 241106/1-241106/3 (2009)
- [48] P. Berini, A. Olivieri, and C. Chen : “Thin Au surface plasmon waveguide Schottky detectors on p-Si”, *Nanotechnology*, **23**, 444011/1-444011/9 (2012)
- [49] A. Akbari and P. Berini : “Schottky contact surface-plasmon detector integrated with an asymmetric metal stripe waveguide”, *Appl. Phys. Lett.*, **95**, 021104/1-021104/3 (2009)
- [50] M. Fukuda, T. Aihara, K. Yamaguchi, Y. Y. Ling, K. Miyaji, and M. Tohyama : “Light detection enhanced by surface plasmon resonance in metal film” *Appl. Phys. Lett.*, **96**, 153107/1-153107/3 (2010)
- [51] M. W. Knight, Y. Wang, A. S. Urban, A. Sobhani, B. Y. Zheng, P. Nordlander, and N. J. Halas : “Embedding Plasmonic Nanostructure Diodes Enhances Hot Electron Emission”, *Nano Lett.*, **13**, 1687-1692 (2013)
- [52] A. Olivieri, A. Avbari, and P. Berini : “Surface plasmon waveguide Schottky detectors operating near breakdown”, *Rapid Research Lett.*, **4**, 283-285 (2010)
- [53] I. Goykhman, B. Desiatov, J. Khurgin, J. Shappir, and U. Levy : “Locally Oxidized Silicon Surface-Plasmon Schottky Detector for Telecom Regime”, *Nano Lett.*, **11**, 2219-2224 (2011)
- [54] I. Goykhman, B. Desiatov, J. Khurgin, J. Shappir, and U. Levy : “Waveguide based compact silicon Schottky photodetector with enhanced responsivity in the telecom spectral band”, *Optics Express*, **20**, 28594-28602 (2012)
- [55] T. Dufaux, J. Dorfmuller, R. Vogelgesang, M. Burghard, and K. Kern : “Surface plasmon coupling to nanoscale Schottky-type electrical detectors”, *Appl. Phys. Lett.*, **97**, 161110/1-161110/3 (2010)
- [56] T. Aihara, K. Nakagawa, M. Fukuhara, Y. L. Yu, K. Yamaguchi, and M. Fukuda : “Optical frequency signal detection through surface plasmon polaritons”, *Appl. Phys. Lett.*, **99**, 043111/1-043111/3 (2011)

- [57] T. Aihara, M. Fukuhara, A. Ayumi, B. Lim, M. Futagawa, Y. Ishii, K. Sawada, and M. Fukuda : “Monolithic Integration of Surface Plasmon Detector and Metal-Oxide-Semiconductor Field-Effect Transistors”, *IEEE Photonics Journal*, **5**, 6800609 (2013)
- [58] T. Aihara, H. Sakai, A. Takeda, M. Fukuhara, M. Ota, Y. Kimura, Y. Ishii, and M. Fukuda : “Coherent signal operation of surface plasmon and electronic integrated circuit”, International conference on Near Field Optics 13, accepted (2014)
- [59] H. Elabd and W. F. Kosonocky : “Theory and Measurements of Photoresponce for Thin Film Pd2Si and PtSi Infrared Schottky-Barrier Detectors with Potical Cavity”, *RCA Review*, **43**, 569-589 (1982)
- [60] J. Cohen, J. Vilms, and R. J. Archer : “Investigation of Semiconductor Schottky Barriers for Optical Detection and Cathodic Emission”, Air Force Cambridge Research Labs. Report (1968)
- [61] J. S. Helman and F. S. Sinencio : “Theory of Internal Photoemission”, *Phys. Rev. B*, **7**, 3702-3706 (1973)
- [62] C. A. Mead and W. G. Spitzer : “Photoemission from Au and Cu into Cds”, *Appl. Phys. Lett.*, **2**, 74-75 (1963)
- [63] M. J. Cazeca, C. C. Chang, and A. S. Karakashian : “A model calculation for surface plasma-enhanced internal photoemission in Schottky-barrier photodiodes”, *J. Appl. Phys.*, **66**, 3386-3391 (1989)
- [64] 太田 英二, 坂田 亮 : 新教科書シリーズ 半導体の電子物性工学, 裳華房 (2005)
- [65] 石田 哲郎, 清水 東 : 改訂 半導体素子, コロナ社 (2002)
- [66] A. Rogalski : *Infrared Detectors, Second Edition*, CRC Press (2011)
- [67] 藤方 潤一, 石勉, 西 研一, 大橋 啓之 : “プラズモンアンテナを利用した Si ナノフォトダイオード”, 電子情報通信学会技術研究報告. OPE, 光エレクトロニクス, **105**, 47 (2006)
- [68] 米津 宏雄 : 光通信素子光学, 工学図書 (2003)
- [69] M. Casalino, L. Sirleto, L. Moretti, M. Gioffre, G. Coppola, and L. Rendina : “Silicon resonant cavity enhanced photodetector based on the internal photoemission effect at 1.55 μm : Fabrication and characterization”, *Appl. Phys. Lett.*, **92**, 251104/1-251104/3 (2008)
- [70] S. Park, T. Tsuchizawa, T. Watanabe, H. Shinojima, H. Nishi, K. Yamada, Y. Ishikawa, K. Wada, and S. Itabashi : “Monolithic integration and synchronous operation of germanium photodetectors and silicon variable optical attenuators”, *Optics Express*, **18**, 8412-8421 (2010)
- [71] 辻内 順平, 黒田 和男, 大木 裕史, 河田 聡, 小嶋 忠, 武田 光夫, 南 節雄, 谷田貝 豊彦, 山本 公明 : 最新 光学技術ハンドブック (普及版), 朝倉書店 (2012)
- [72] S. M. Sze : *Physics of Semiconductor Devices, Third Edition*, Wiley Interscience (2007)
- [73] 荒井 英輔 : インターユニバーシティ 集積回路 A, オーム社 (1998)
- [74] J. Takahara : *Plasmonic Nanoguides and Circuits* (S. I. Bozhevolnyi (Ed.)), Pan Stanford Publishing (2009)
- [75] A. Harrer, B. Schwarz, R. Gansch, P. Reininger, H. Detz, T. Zederbauer, A. M. Andrews, W. Schrenk, and G. Strasser : “Plasmonic lens enhanced mid-infrared quantum cascade detector”, *Appl. Phys. Lett.*, **105**, 171112/1-171112/4 (2014)
- [76] E. D. Palik : *Handbook of Optical Constants of Solids*, Academic Press (1985)
- [77] 永島 圭介 : “表面プラズモンの基礎と応用”, *J. Plasma Fusion Res.*, **84**, 10-18 (2008)
- [78] 太田 雅, 福原 誠史, 酒井 宏基, 相原 卓磨, 石井 佑弥, 福田 光男 : “検出器構造を有する低損失表面プラズモン導波路”, 電気学会 マイクロマシン・センサシステム研究会, MSS-144-010 (2014)
- [79] 梶川 浩太郎, 岡本 隆之, 高原 淳一, 岡本 晃一 : アクティブ・プラズモニクス, コロナ社 (2013)
- [80] X. Jiao, P. Wang, L. Tang, Y. Lu, Q. Li, D. Zhang, P. Yao, H. Ming, J. Xie : “Fabry-Perot-like phenomenon in the surface plasmons resonant transmission of metallic gratings with very narrow slits”, *Appl. Phys. B*, **80**, 301-305 (2005)
- [81] A. Takeda, T. Aihara, M. Fukuhara, Y. Ishii, and M. Fukuda : “Schottky-type surface plasmon detector with nano-slit grating using enhanced resonant optical transmission”, *J. Appl. Phys.* **116**, 084313/1-084313/5 (2014)
- [82] H. Norde : “A modified forward *I-V* plot for Schottky diodes with high series resistance”, *J. Appl. Phys.*, **50**, 5052-5053 (1979)
- [83] K. Sato and Y. Yamada : “Study of forward *I-V* plot for Schottky diodes with high series resistance”, *J. Appl. Phys.* **58**, 3655-3657 (1985)

3 表面プラズモンを介した コヒーレント光信号の伝送

3.1 緒言

表面プラズモンは、金属表面を伝搬する光の電界と結合した自由電子の疎密波であり、ナノスケール領域への光エネルギーの閉じ込めを可能とする。その表面プラズモンの特異な性質を利用し、光デバイスの小型化や高性能化が実現してきた。特に、表面プラズモンを利用した光源や導波路、検出器といったプラズモニックデバイスは、チップ内の光配線部品への応用を考えた場合、サイズの観点から、他の光部品よりも優れると言える。

表面プラズモンを信号のキャリアとして利用する場合、信号の速度や容量、単位ビットあたりの消費電力、クロストークなどが重要となる。そのため、それらの理論的な解析や、信号伝送の実験がこれまでに行われてきた。しかしながら、表面プラズモンの波としての性質、すなわちコヒーレンス性を利用した信号伝送の報告例は少ない。特に、表面プラズモンのコヒーレンス性が伝搬の過程でどのように変化するのかは明らかにされてこなかった。

本研究では、表面プラズモン導波路を作製し、表面プラズモンのコヒーレンス性の伝搬特性を評価した。

本章では、はじめに、コヒーレント光通信技術の特徴を述べた後、表面プラズモンを介した信号伝送に関わる研究動向について解説し、本研究の位置付けを明らかにする。次に、伝搬特性の評価に用いた遅延自己ヘテロダイン法の原理について述べる。その後、特性の評価に用いた素子の電磁界解析結果および素子の作製について述べる。最後に、本研究で実験および理論的に明らかにした表面プラズモンを介したコヒーレント光信号の伝送可能性について述べる。

3.2 コヒーレント光通信技術

光ファイバ通信は、光波を介して通信を行う方式であるが、伝送する媒体が空間である空間伝搬光通信方式と光ファイバを媒体とする光ファイバ通信に大別される。特に、後者に属するコヒーレント光通信技術は、近年、急増する通信トラフィックを支えるために注目を集めている。本節では、はじめに、光ファイバ通信の研究動向について述べる。その後、コヒーレント光通信技術の特徴について解説する。最後に、表面プラズモンを介した信号伝達技術に関わる研究動向について述べ、本研究の位置付けを明らかにする。

3.2.1 光ファイバ通信の研究動向^[1,2]

光ファイバ通信方式は、光送信機と受信機の間を、低損失性および広帯域性を有する光ファイバで接続することにより長距離かつ大容量通信を可能としている。

1970年代には低損失で広帯域な光ファイバと高出力で高速変調可能な半導体レーザーが開発され、1980年代には半導体集積回路による超高速電気多重技術(ETDM: Electrical Time Division Multiplexing)によって光通信システムの高速度が進み、数十メガビット級の商用システムが実用化された。その後、シングルモード光ファイバの利用により、1本の光ファイバあたりギガビット級の大容量通信システムが実用化された。それまでの光ファイバ通信技術は、1つの波長で強度変調/直接検波(IM/DD: Intensity Modulation/Direct Detection)方式を用いて大容量通信を可能としていたが、1990年代になるとインターネットの普及により、更なる通信容量の向上が求められた。1990年頃に登場した光ファイバ増幅器は、低雑音での光中継を可能とし、伝送容量と通信容量の飛躍的な向上をもたらした。さらに、波長多重システムにより、効率の良い大容量通信が実現した。2000年代では、高い伝送容量・距離積を得るために、直接検波方式から差分検出方式に変わり、さらに2000年代後半からはコヒーレント検波が主流となった。近年では、1つの波長あたり100 Gbit/sの信号を134チャンネル分多重化し、10 Tbit/s以上の大容量伝送が実現したとともに、3,600 kmの長距離伝送が実現している^[3]。この技術は、光直交周波数多重変復調技術やデジタルコヒーレント信号処理技術の利用、および光増幅中継器の広帯域・低雑音化により実現している。また、現在では、1本のファイバあたりの伝送容量を向上させるために、マルチコア光ファイバや多モード光ファイバに関する研究が行われている^[4]。

デジタルコヒーレント方式の基本を成すコヒーレント検波方式は、3.2.2項で述べる通り、従来用いられてきた直接検波方式と比較して高い受信感度の実現が可能であることから、光ファイバ通信システムの中継距離拡大を目指して1980年代から1990年代の前半にかけて盛んに研究されてきた^[5]。しかし、先に挙げた光ファイバ増幅器の登場および波長多重伝送方式の普及により、光ファイバ通信システムにコヒーレント検波方

3 表面プラズモンを介したコヒーレント光信号の伝送

式を採用する動機付けはいったん失われた。その後再び、本方式が注目された理由は、主に、100 Gbit/s という高速伝送システムでは、受信における信号対雑音比の不足が長距離伝送上の主たる問題となったためである。また、半導体集積回路技術の進歩により、高速なデジタル信号処理が可能となり、信号光と局発光の周波数および位相差をデジタル信号処理により補正する技術が実現したためである。

3.2.2 コヒーレント光通信技術の特徴^[6-8]

コヒーレント光通信は、光の位相や周波数といった波としての性質を利用する通信である。その特徴は主に (1) 受信感度の改善および (2) 伝送容量の向上を可能とする点である。

(1) 受信感度の改善

受信感度の改善とは、あらかじめ規定されている符号誤り率 (BER : Bit Error Rate) を達成するのに必要な受信信号レベルが低減されることと言い換えられる。この受信感度の改善は、以下の二つの効果によってもたらされる。

一つは、ヘテロダインもしくはホモダイン方式の採用により、与えられた入力信号強度に対して光検出器の前置増幅器の出力段における信号対雑音比が改善される、という効果である。これは、コヒーレント検波では、光検出器の出力が局発光パワーの平方根に比例して増幅されるためである。ヘテロダイン検波によって得られる信号強度の式は、3.3.1 項で示される。なお、信号光を光増幅器で増幅した後に受信する方式、すなわち光プリアンプ受信方式においても受信感度の改善が得られるが、信号光と光増幅器の自然放出光との間のビート雑音が受信限界の要因となる^[9]。

もう一つは、コヒーレント変復調方式の利用により、与えられた信号対雑音比に対する BER が改善する効果である。コヒーレント変方式による感度改善の効果は、図 3.1 のようにまとめられる^[7]。周波数偏移変調 (FSK : Frequency-Shift Keying) では 2 つの周波数 (マークとスペース) を用いて信号を伝送し、2 つの受信機でそれぞれ受信する。これは振幅偏移変調 (ASK : Amplitude-Shift Keying) 信号を 2 つ同時に送っていることと等価であり、ASK と比較して 3 dB の感度が改善する。また、位相偏移変調 (PSK : Phase-Shift Keying) では、復調後の信号レベルが正または負となるため、ASK に比べて、受信感度が 6 dB 改善する。さらに、ホモダイン方式は、ヘテロダイン方式に比べて半分のバンド幅となるため、雑音電力も半分に抑えられ、その結果、受信感度が 3 dB 改善する。

3 表面プラズモンを介したコヒーレント光信号の伝送

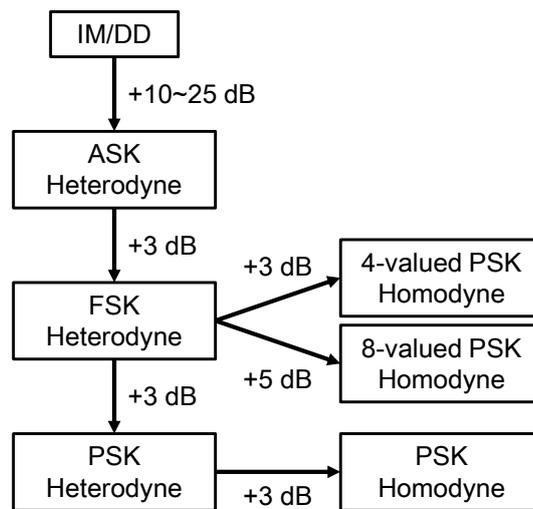


図 3.1 各種光通信方式による受信感度の改善

(2) 伝送容量の向上

伝送容量の向上は、周波数選択性の改善および周波数利用効率の向上に対する効果である。

前者は、光フィルタよりも鋭い遮断特性を持つ電気フィルタを用いて中間周波数信号が分波できることに由来する。コヒーレント検波では、任意の信号が中間周波数フィルタを通過するよう局発光の周波数を調整することにより、任意の周波数の光を受信できる^[10]。この結果、極めて狭い搬送波間隔の周波数分割多重 (FDM : Frequency Division Multiplexing) が可能となる。

後者は、コヒーレント変調方式の利用に由来する。近年の光ファイバ通信では、多値変調方式および直交周波数分割多重 (OFDM : Orthogonal Frequency Division Multiplexing) 方式が注目を集めている^[11]。多値変調方式には、直交振幅変調 (QAM : Quadrature Amplitude Modulation) 方式や直交 PSK がある。これは、2つの直交 (位相差が $\pi/2$) した信号光にそれぞれ情報を与える変調方式であり、1チャンネルあたりの伝送容量が向上できる。OFDM は、直交関係にある複数のサブキャリアに情報を与える変調方式であり、通常の FDM と比較して周波数利用効率が高いのが特徴である。また、サブキャリア多重は、1つの光信号に複数の信号を多重するため、信号毎に異なるレーザを用いる必要がなく、システムの小型化・低コスト化に適する^[12]。加えて、情報をサブキャリアに分割することにより、1つのサブキャリアあたりの変調速度を低速にできるため、電気および光素子の帯域の制限を回避できる^[13]。

3.2.3 表面プラズモンを介した信号伝達技術

1950年代に、Bohm と Pines は固体内電子ガスの集団振動が量子化されたプラズマ振動であるという理論を展開した^[14]。その存在は、金属薄膜を用いた実験でも確認され、固体プラズモンと呼ばれる^[15]。1957年には、Ritchie により固体中だけではなく金属の表面においてもプラズモンが存在することが予測された^[16]。その後、間もなくしてその存在が実験で確認され、荷電粒子の表面波は表面プラズモンと呼ばれるようになった^[17]。また、縦波である表面プラズモンと横波である光がエバネッセント波を介して共鳴することが発見された^[18]。これを契機に、1960年代では、主に表面プラズモンを利用したセンシングの分野に興味集中した。これは今日の生体分子計測技術などの実用化につながっている^[19]。一方、表面プラズモンの金属中での高い損失は、他の応用への障害となっていた。しかし、近年のナノ加工技術や計測技術、シミュレーション技術の進展によって、高密度ストレージや太陽電池、光集積回路など様々な分野への応用の期待が高まった^[19]。特に、表面プラズモンの進行方向の制御^[20]や、集光^[21]、低損失表面プラズモン導波路^[22]などが報告されるようになり、チップ内での新たな通信キャリアとして表面プラズモンが期待されるようになった^[23-26]。

表面プラズモンを通信キャリアとして利用する場合には、通信速度（遅延時間）や、1ビットあたりの消費電力、クロストークなどが重要となる。Conway らは、表面プラズモン導波路として円筒型の銀細線を仮定し、従来の電気配線との比較を解析的に行った^[27]。群速度から求めた表面プラズモンの伝搬時間は、電気配線におけるRC遅延時間よりも1桁以上短いことが明らかにされている。また、数十 μm 以下の長さでは、表面プラズモンを利用した配線（表面プラズモン配線と呼ぶ）が電気配線よりも1ビットあたりの消費電力が低いことが示されている。これは、電気配線の消費電力が配線長に比例して増加するのに対して、表面プラズモン配線の消費電力は配線長に対して指数関数的に増加するためである。さらに、周波数の高い表面プラズモンの利用あるいは径の小さな導波路の利用により、表面プラズモンのクロストークは電気配線のそれよりも小さくなることが示されている。これら表面プラズモン配線の優位性は、表面プラズモン導波路の伝搬損失や閉じ込めの強さを改善させることにより増す。

Jang らは、導波路長4 cm、金膜厚14 nmの長距離伝搬型表面プラズモンポラリトン（LRSPP : Long-Range Surface Plasmon Polariton）導波路を作製し、40 Gbit/sの光信号（変調パルス幅2.5 ps）の伝送実験を行った^[28]。測定されたアイパターンより、時間ジッタの2乗平均平方根は、0.1 ps以下であることが示された。これは、40 Gbit/sの信号伝送において導波路分散（Waveguide dispersion）によるパルスの広がりは無視できる程小さいことを意味する。また、Kim らは、LRSPP導波路を垂直共振器面発光レーザアレイおよびフォトダイオードアレイと集積し、チップ間の光インターコネクトを行った^[29]。4つのチャンネルにそれぞれ2.5 Gbit/sの信号を伝送させ、計10 Gbit/sのチップ間光インターコネクトをLRSPP導波路を用いて実現している。また、変調パルス幅がfsオーダー

3 表面プラズモンを介したコヒーレント光信号の伝送

となると、表面プラズモンが面内で収束する現象^[30]や、群速度分散（Wavelength dispersion）および損失分散（Loss dispersion）を使うことにより表面プラズモンのソリトンが生成可能^[31]であることが報告されている。

Rashidらは、Youngのダブルスリット実験を表面プラズモンで実施し、金属表面での近接場を検出することにより、表面プラズモンの回折や干渉を可視化した^[32]。すなわち、表面プラズモンの波動性が実験的に明確に示された。また、表面プラズモンの波動性を利用した表面プラズモンの Mach-Zehnder 干渉計やリング共振器、分波器が研究されている^[22,33]。

3.2.2 項で述べたように、コヒーレント光通信を行うことにより、高感度・大容量通信が可能となる。したがって、表面プラズモンを信号キャリアとした通信においても、コヒーレント変復調方式が利用可能となれば、ナノスケールでの高感度・大容量通信が可能となる。そのため、表面プラズモン（および近接場光）を介した FDM 信号の伝送実験が行われている^[34]。この実験では、金属と誘電体球の混合膜からなる表面プラズモン導波路を用いて、多重化した周波数信号の伝送を確認している。また、本研究では、2.7.4 項で示した通り、光ヘテロダイン法を用いて表面プラズモン信号のコヒーレント検波の可能性を実証している^[35]。コヒーレント光通信において、信号のスペクトル線幅の広がり、信号対雑音比の劣化や BER の増加を引き起こすため、そのスペクトル線幅は重要な因子と言える^[6]。したがって本研究では、コヒーレンス性（スペクトル線幅）の伝搬特性について明らかにしている^[36]。

表 3.1 に、表面プラズモンを介した信号伝達に関連する研究経過をまとめる。

3 表面プラズモンを介したコヒーレント光信号の伝送

表 3.1 表面プラズモンを介した信号伝達に関連する研究経過（太字は本研究の成果）

Date	Contents	Ref.
1950s	Theory of bulk plasmon	[14]
1950s	Prediction of electromagnetic wave on metal surface	[16]
1950s	Experimental confirmation of surface plasmon (SP)	[17]
1960s	Evanescent coupling of SP and light	[18]
2000s	Technological developments (Steering of SP, low-loss waveguiding, nanofocusing)	[20-22]
2000s-2010s	Approach to data processing applications	[23-26]
Mar. 2006	Plasmonic interferometer and ring resonator	[22]
Jul. 2007	Young's double-slit experiment for SP	[32]
Sep. 2007	Analyses of group velocity and loss in localized SP waveguide	[37]
Oct. 2007	40 Gbit/s optical signal transmission in LRSPP waveguide	[28]
Aug. 2008	Chip-to-chip optical interconnect using LRSPP waveguide	[29]
Jan. 2010	Optical frequency signal transmission in random metal-dielectric film	[34]
Jan. 2011	Propagation of femtosecond SP pulses	[31]
Jul. 2011	Coherent detection of SP signal using optical heterodyne method	[35]
May 2012	Transmission properties of SP coherence	[36]
Jun. 2013	Plasmonic amplification using gain material	[38]

3.3 光ヘテロダイン法の原理

光ヘテロダイン法とは、周波数の異なる光を干渉させたときに現れるビート（うなり）の信号の周波数、振幅、あるいは位相を計測して、信号光の周波数、振幅、あるいは位相を取得する方法である。本節では、光ヘテロダイン法の基本原理について述べた後、本研究で利用した遅延自己ヘテロダイン法について述べる。

3.3.1 基本原理^[8]

情報を持った信号光およびそれに重ね合わせる参照光の角周波数をそれぞれ ω_s 、 ω_r 、振幅をそれぞれ u_s 、 u_r 、位相をそれぞれ ϕ_s 、 ϕ_r とすると、光電変換器上の点における時刻 t での 2 つの光の電界はそれぞれ次式で表せる。

$$E_s(t) = u_s \cos(\omega_s t + \phi_s) \quad (3.1)$$

$$E_r(t) = u_r \cos(\omega_r t + \phi_r) \quad (3.2)$$

光の強度 $I(t)$ は、2 つの電界の和の 2 乗に比例し、

$$I(t) = \frac{u_s^2 + u_r^2}{2} + \frac{1}{2} [u_s^2 \cos\{2(\omega_s t + \phi_s)\} + u_r^2 \cos\{2(\omega_r t + \phi_r)\}] + u_s u_r \cos\{(\omega_s + \omega_r)t + (\phi_s + \phi_r)\} + u_s u_r \cos\{(\omega_s - \omega_r)t + (\phi_s - \phi_r)\} \quad (3.3)$$

が得られる。式 (3.3) より、検出される光の強度は、それぞれの光の差周波数、和周波数、および 2 倍周波数の成分を持つことが分かる。したがって、2 つの光の周波数差が光電変換器の応答周波数範囲内にあれば、ビート信号が取り出せることとなる。また、ビート信号の強度は、光の電界に比例することが分かる。

3.3.2 遅延自己ヘテロダイン法^[39-44]

スペクトル線幅の測定法の 1 つに、ファブリ・ペロー干渉計を用いた測定法があるが、10 MHz 程度の分解能しか得られず、狭い線幅のスペクトルの測定には適さない。また、2 つのレーザ光のビート信号からスペクトル線幅を測定する光ヘテロダイン法は、信号光と局発光の発振周波数が近く、かつ各光の周波数を安定化させる必要があるという欠点がある。光路長差を掃引して干渉の度合いの変化からスペクトル線幅を測定するフーリエ分光法は、機械的移動部分が必要なため安定性に問題があり、また信号処理が必要であるという欠点がある。一方、遅延自己ヘテロダイン法とは、単一の光源を用いて、光ヘテロダインを実現する方法であり、安定した周波数かつ、高い測定分解能でスペクトル線幅を RF スペクトラムアナライザ上で測定できる方法である。

3 表面プラズモンを介したコヒーレント光信号の伝送

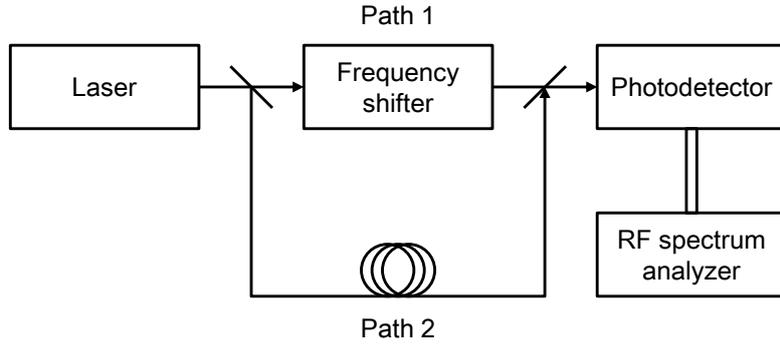


図 3.2 遅延自己ヘテロダイン法の測定系

図 3.2 に、遅延自己ヘテロダイン法の測定系を示す。被線幅測定光源から出射された光は、一度 2 つの光路に分けられ、一方は周波数シフタにより周波数シフトを受け、もう一方は遅延ファイバを通る。その後、両者は合波され、光電変換器でヘテロダイン検波される。いま、光路 1 を通った光は遅延ファイバによって時間 t_d だけ遅延され、光路 2 を通った光は角周波数 Ω だけ周波数シフトされる場合を考える。この場合、遅延自己ヘテロダイン法によって得られるビート信号のパワースペクトル $S(\omega)$ は、

$$S(\omega) = \exp\left(-2\frac{t_d}{\tau_c}\right)\delta(\omega - \Omega) + \frac{2/\tau_c}{(\omega - \Omega)^2 + (2/\tau_c)^2} \left[1 - \exp\left(-2\frac{t_d}{\tau_c}\right) \cdot \left\{ \cos(\omega - \Omega)t_d + 2\frac{t_d}{\tau_c} \frac{\sin(\omega - \Omega)t_d}{(\omega - \Omega)t_d} \right\} \right] \quad (3.4)$$

で与えられる (付録 C)。ここで、 τ_c はレーザ光のコヒーレンス時間、 ω はレーザ光の中心角周波数である。上式において、遅延時間がコヒーレンス時間よりも十分に長いとき、 \exp 項の影響によって \cos 項と \sin 項の振動部の影響がなくなる。このとき、ビート信号のパワースペクトルは、

$$S_L(\omega) = \frac{2\pi\Delta\nu}{(\omega - \Omega)^2 + (2\pi\Delta\nu)^2} \quad (3.5)$$

で近似される。ただし、

$$\Delta\nu = \frac{1}{\pi\tau_c} \quad (3.6)$$

の関係を用いた。 $\Delta\nu$ はレーザ光のスペクトル半値全幅である。つまり、遅延自己ヘテ

3 表面プラズモンを介したコヒーレント光信号の伝送

ロダイン法で測定されるスペクトル形状はローレンツ型となり、そのスペクトル線幅は、光源のスペクトル線幅の2倍になることが分かる。なお、周波数シフトがない、すなわち $\Omega=0$ においては、遅延自己ホモダイン法となる。

図 3.3 に、式 (3.4) より求めた各遅延時間 t_d に対するビート信号のスペクトルを示す。なお、 $\Delta\nu=200$ kHz、 $\Omega/2\pi=100$ MHz とした。遅延時間が長くなるにつれて、式 (3.4) における \cos 項と \sin 項の振動部の影響が小さくなり、ローレンツ型に近づくことが分かる。したがって、式 (3.5) に基づき、スペクトル線幅を評価するためには、被測定光源のスペクトル線幅に対応した長さの遅延光ファイバを使用する必要がある。

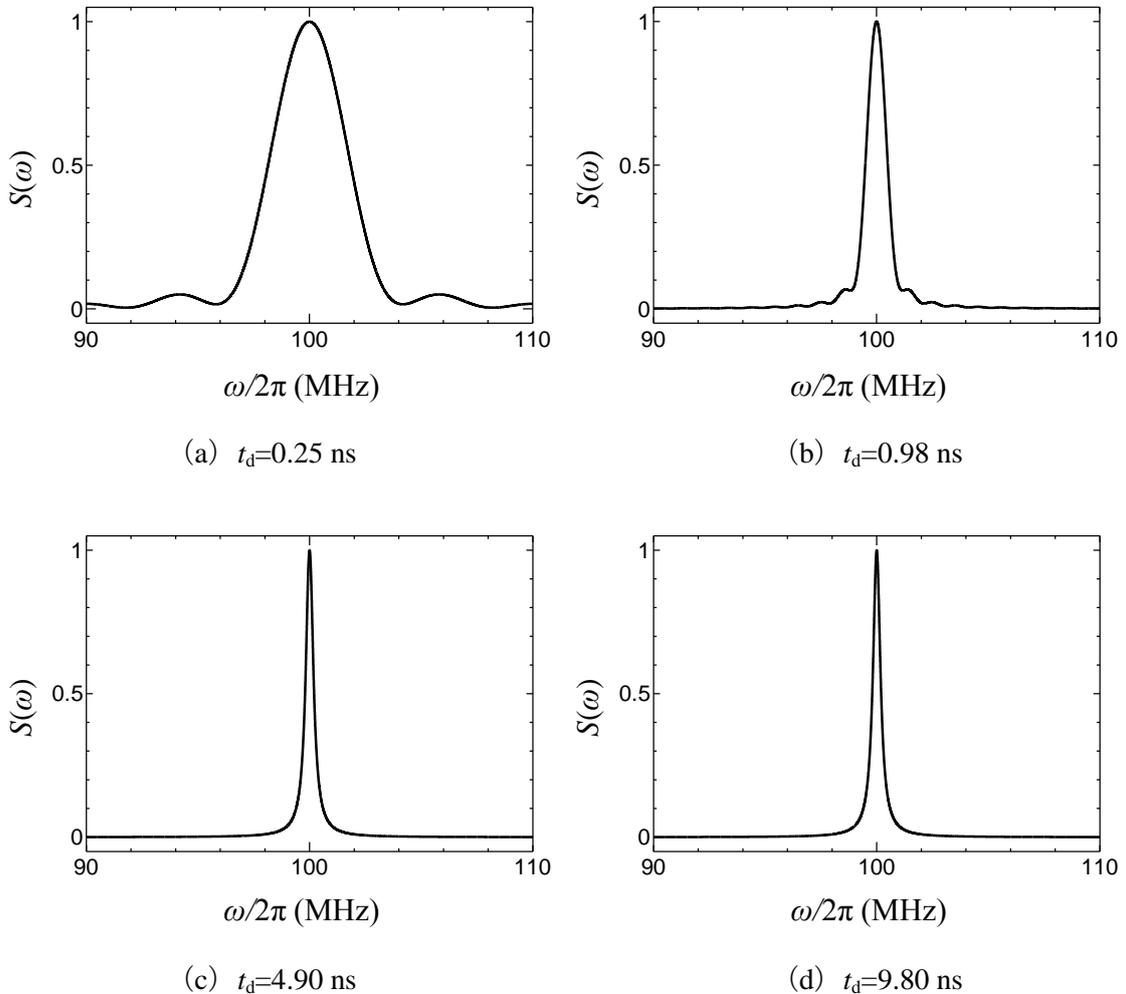


図 3.3 各遅延時間に対するビート信号のパワースペクトルの形状

3 表面プラズモンを介したコヒーレント光信号の伝送

図 3.4 に、被測定光源のスペクトルの半値全幅 $\Delta\nu$ と、遅延自己ヘテロダイン法によって得られるビート信号のスペクトルの半値全幅 Δf_{beat} との関係を示す。ここで、コアの屈折率が $n=1.468$ の場合、長さ $L=1, 2, 3$ km の光ファイバに対して、それぞれ時間 $t_d=4.90, 9.79, 14.7$ ns だけ遅延する ($t_d=nL/c$, c は光速)。図 3.5 に示すように、被測定光源のスペクトルの半値全幅が狭くなると、誤差 $(|\Delta\nu - \Delta f_{\text{beat}}|/2)/\Delta\nu$ が大きくなること分かる。

なお、各光路を通る光のスペクトル線幅が異なり、それぞれ $\Delta\nu_1$ および $\Delta\nu_2$ である場合、ビート信号のパワースペクトルは、

$$S(\omega) \propto \frac{(2\pi\Delta\nu_1 + 2\pi\Delta\nu_2)/2}{(\omega - \Omega)^2 + \{(2\pi\Delta\nu_1 + 2\pi\Delta\nu_2)/2\}^2} \quad (3.7)$$

となる。上式より、ビートスペクトルの線幅は、2つの光源のスペクトル線幅の和となることが分かる。

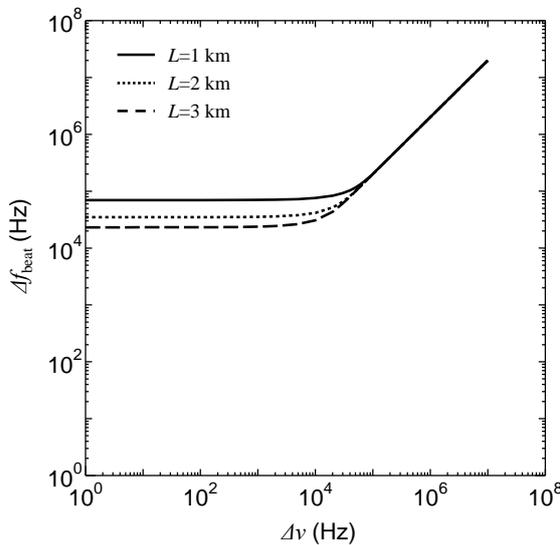


図 3.4 $\Delta\nu$ と Δf_{beat} の関係

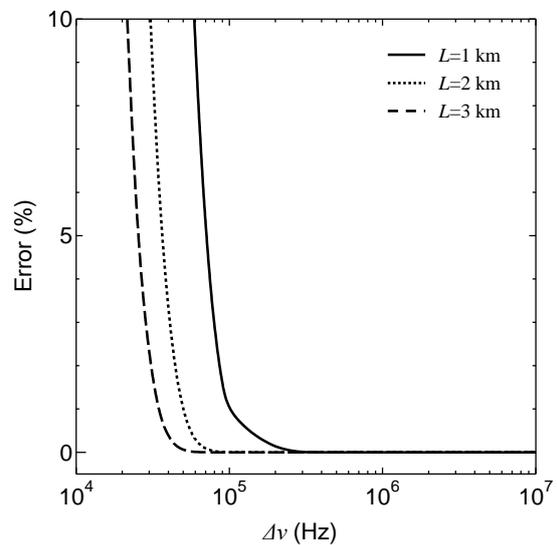


図 3.5 $\Delta\nu$ と誤差の関係

3.4 素子構造の概要

図 3.6 に、特性の評価に用いた素子の構造を示す。石英ガラス基板に金薄膜が形成され、その金薄膜上に表面プラズモンの励起および散乱用グレーティングがそれぞれ設けられている。本素子において、光は以下に示す経路を通る。

- 石英ガラス基板側から金薄膜の励起用グレーティングに向かって光が入射する。
- 励起用グレーティングによって、そのグレーティングの両側に表面プラズモンが励起する。
- 金と空気界面を表面プラズモンが伝搬する。
- 散乱用グレーティングに到達した表面プラズモンの一部は、そのグレーティングによって再び自由空間中に放出される。

この表面プラズモンとして伝搬した後の散乱光をテーパ型先端球ファイバで取り込み、そのスペクトルを 3.3 節で述べた光ヘテロダイン法を用いて観測した。

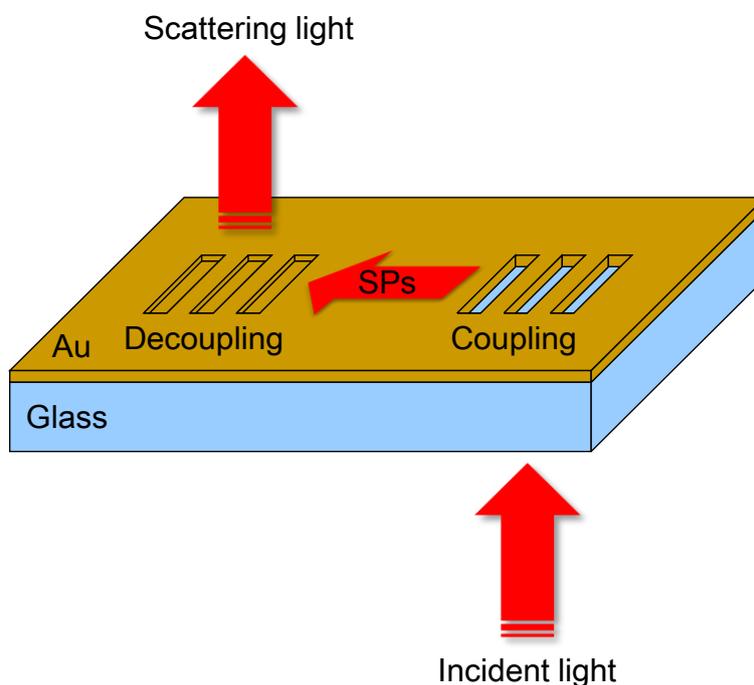


図 3.6 特性評価に用いた素子の構造

3 表面プラズモンを介したコヒーレント光信号の伝送

なお、表面プラズモンの励起および散乱にグレーティングを用いた理由は、表面プラズモンの発生の確認が容易であり、また、散乱光の放射方向の制御が可能のためである。2.2.1 項で述べた通り、表面プラズモンが存在し得るのは **TM** 偏光波のみである。すなわち、素子内で入射光の偏光方向の回転が無い限り、結合する光は **TM** 偏光波のみとなる。したがって、入射光の偏光方向と散乱光強度との関係から表面プラズモンの励起が確認できる。また、散乱用グレーティングから放射される光の進行方向は、素子に対して垂直であることが、光の取り込み効率の観点から望ましい。グレーティングを用いて表面プラズモンを放射モードに変換する場合は、グレーティングの周期によって放射モードの進行方向を制御できるため、光ファイバにより散乱光を取り込むことが容易となる。

なお、散乱用グレーティングに関しては、ガラス基板側までスリットが開いていないトレンチ型とした。これは、散乱用グレーティングへのガラス基板側からの伝搬光、および表面プラズモンの入射を防ぎ、空気と金界面を伝搬してきた表面プラズモンのみを散乱させ、そのスペクトルを評価するためである。

3.5 グレーティング構造の設計

2.5 節と同様に、FDTD 法に基づいた電磁界解析により、グレーティング構造の設計を行った。本節では、計算に用いたモデルおよび条件を述べた後、励起用および散乱用グレーティング構造の設計について述べる。

3.5.1 計算モデルおよび条件

図 3.7 に示す計算モデルを用いて、電磁界解析を行った。また、計算条件を表 3.2 にまとめて示す。ガラス基板上に 2 種類のグレーティングを有する金薄膜が配置されている。y 方向には、周期境界条件を適用し、y 方向に無限に長い構造体を仮定した。なお、媒質の複素屈折率の値は文献を参照した^[45]。

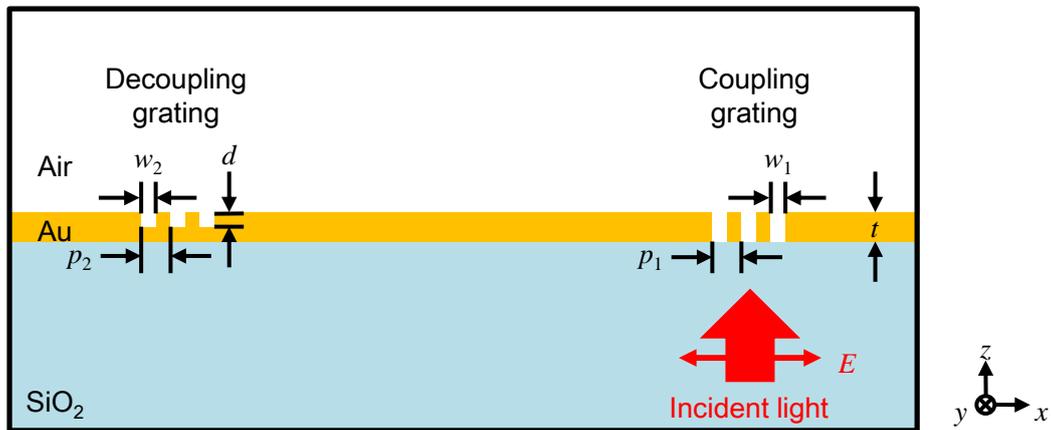


図 3.7 電磁界解析のモデル

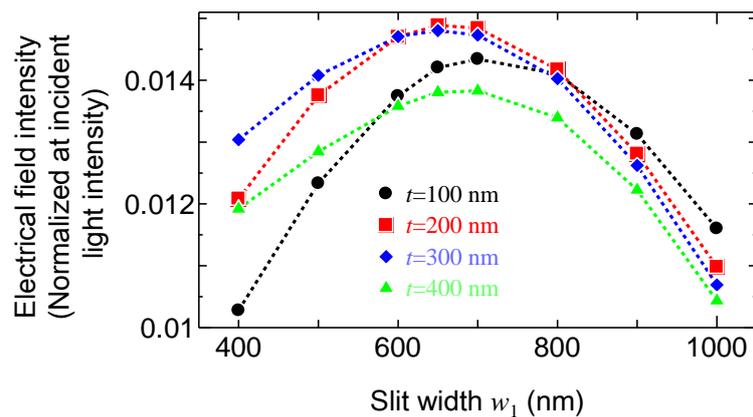
表 3.2 電磁界解析の条件

Base conditions	Mesh spacing	$x: 10 \text{ nm}, y: 10 \text{ nm}, z: 10 \text{ nm}$
	Time spacing	18.87317 as
	Boundary condition	$x: \text{Mur } 1^{\text{st}}, y: \text{PBC}, z: \text{Mur } 1^{\text{st}}$
Light conditions	Wavelength	1550 nm
	Polarization	x direction
	Wave distribution	Plane wave
	Wave front	Uniform
Refractive indices	Au	$0.55+i11.5$
	SiO_2	1.5277

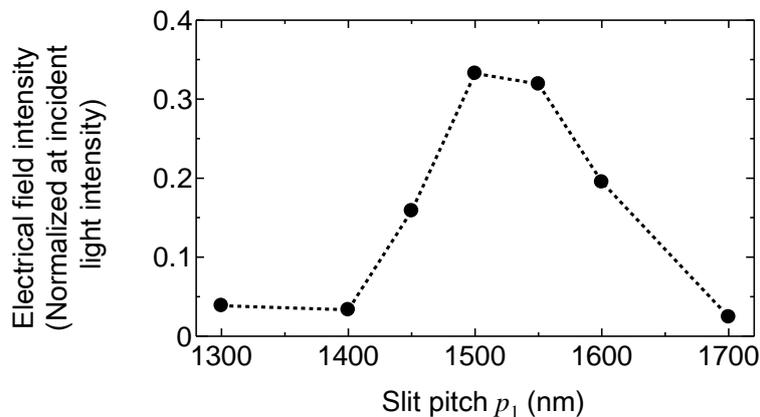
3.5.2 励起用グレーティング構造の設計

はじめに、励起用グレーティングにおけるスリット構造の最適化を行った。図 3.8 (a) に、各金膜厚におけるスリット幅と表面プラズモンの強度の関係を示す。電界強度の観測点は、スリットの中心より x 方向に $10\ \mu\text{m}$ 離れた空気と金の界面とした。同図において、縦軸の値は入射光強度で規格化してある。この結果より、単一スリットにおいて、空気と金の界面の表面プラズモンの強度が最も高くなる構造は、金膜厚 t が $200\ \text{nm}$ 、スリット幅 w_1 が $650\ \text{nm}$ であることが分かった。次に、この単一スリットを 10 本周期的に配置し、その周期と表面プラズモン強度の関係を解析した。図 3.8 (b) に示す通り、表面プラズモン強度が最も高くなるスリット間隔 p_1 は $1500\ \text{nm}$ であることが分かった。この値は、式 (2.11) から求まる空気と金の界面に励起される表面プラズモンの波長 ($\lambda_{\text{sp}}=1544\ \text{nm}$) と一致する。

以上の電磁界解析結果より、表面プラズモンの励起用グレーティング構造を、金膜厚 $t=200\ \text{nm}$ 、スリット幅 $w_1=650\ \text{nm}$ 、スリット間隔 $p_1=1500\ \text{nm}$ に決定した。



(a) スリット幅と金膜厚の最適化



(b) スリットピッチの最適化

図 3.8 励起用グレーティング構造の設計

3.5.3 散乱方向の制御

次に、散乱用グレーティングにおけるトレンチ構造の設計を行った。波数保存則より導かれる式 (2.13) を変形すれば、

$$p = \frac{2\pi M}{k_{\text{SP}} - \frac{\omega}{c} \sqrt{\epsilon_m} \sin \theta} = \frac{M}{\frac{1}{\lambda_{\text{SP}}} - \frac{1}{\lambda_0} \sqrt{\epsilon_m} \sin \theta} \quad (3.8)$$

が得られる。ここで、 λ_{SP} は空気と金界面の表面プラズモンの波長であり、式 (2.11) より $\lambda_{\text{SP}}=1544 \text{ nm}$ と求められる。また、 λ_0 は自由空間における光の波長である。 $M=1$ 、 $\epsilon_m=1$ 、 $\lambda_0=1550 \text{ nm}$ として式 (3.8) を計算すると、図 3.9 に示すように、散乱用グレーティングから放射される光の角度 θ とトレンチ周期 p_2 の関係が得られる。当然のことながら、 $\theta=0$ degree、すなわち表面に対して垂直方向に光を放射させるためには、トレンチ間隔を 1544 nm 程度にする必要があることが分かる。図 3.10 に、トレンチ周期 $p_2=1550 \text{ nm}$ における電磁界強度分布を示す。本結果から、散乱用グレーティングによって、基板に対して垂直方向に光が放射されていることが確認できた。

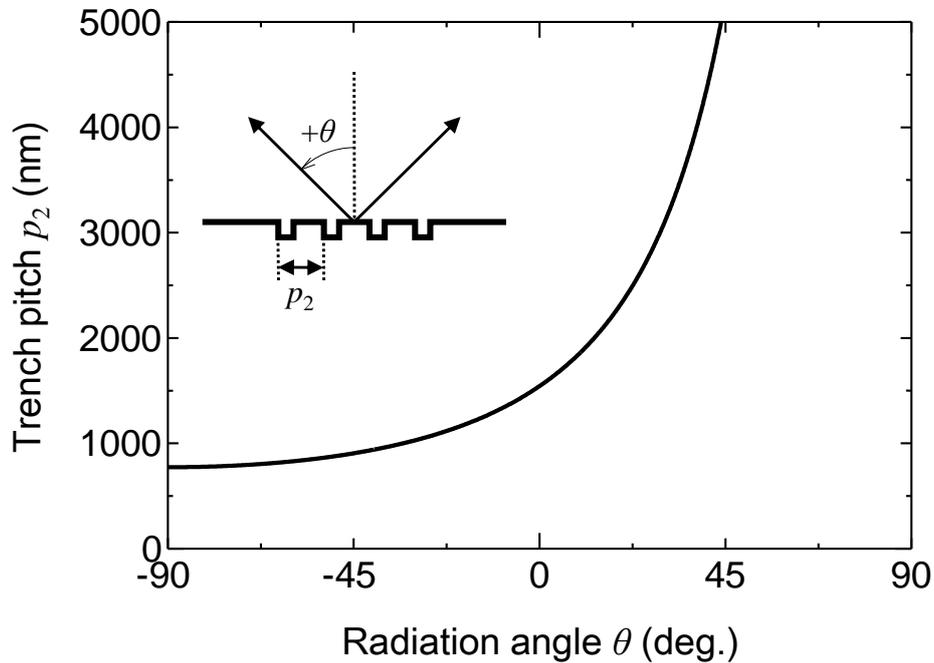
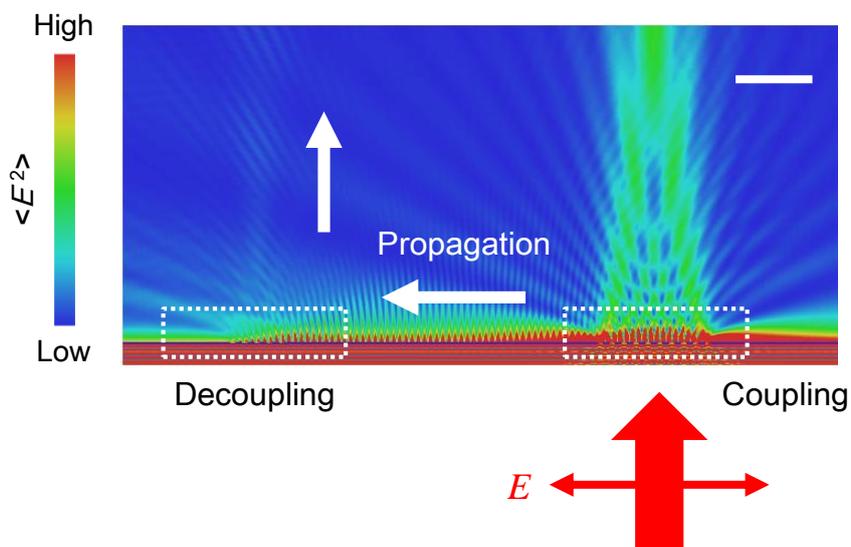
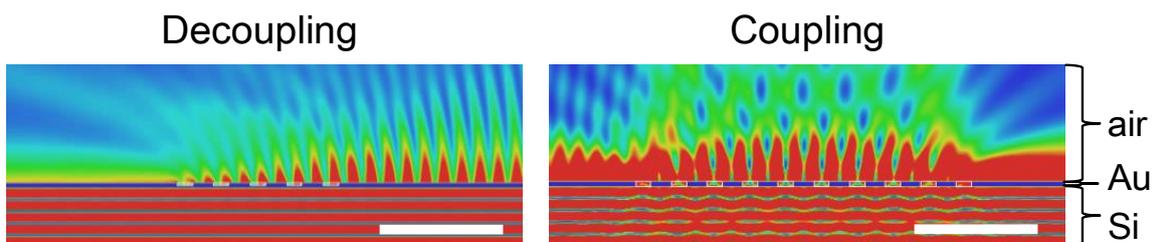


図 3.9 光の放射方向とトレンチ間隔の関係

3 表面プラズモンを介したコヒーレント光信号の伝送



(a) 全体像 (Bar : 10 μm)



(b) 拡大図 (Bar : 5 μm)

図 3.10 二つのグレーティングを有する素子における電磁界解析結果
 ($t=200\text{ nm}$ 、 $w_1=650\text{ nm}$ 、 $p_1=1500\text{ nm}$ 、 $d=100\text{ nm}$ 、 $w_2=650\text{ nm}$ 、 $p_2=1550\text{ nm}$)

3.6 素子の作製

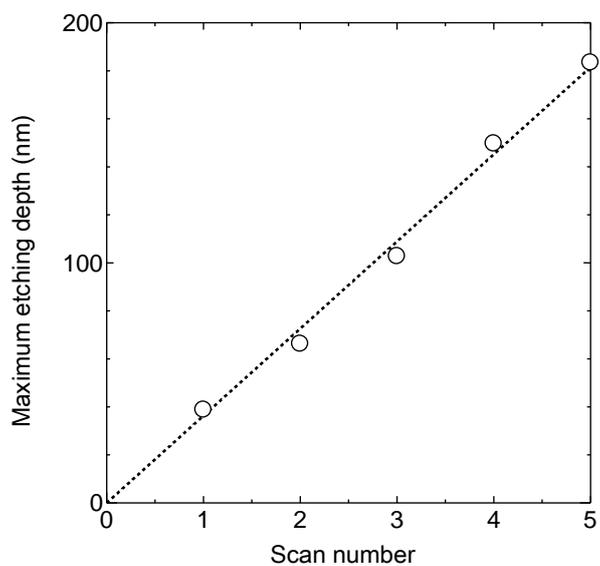
3.5 節で述べた設計に基づき、素子を作製した。表 3.3 に、素子の作製プロセスを示す。石英ガラス基板をアセトンで有機洗浄後、イソプロピルアルコール (IPA : Isopropyl Alcohol) および超純水で洗浄した。その後、抵抗加熱蒸着により、石英ガラス基板の上に金を成膜した。最後に、FIB 装置により設計したグレーティングを形成した。

表 3.3 素子の作製プロセス

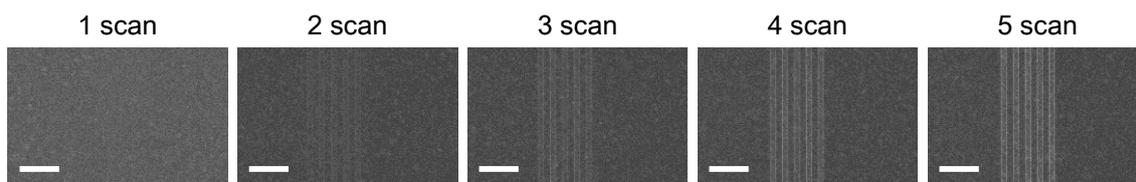
Process	Conditions		Time
Cleaning	Acetone IPA DIW (overflow)		5 min 5 min 10 min
Au evaporation	Film thickness : 200 nm Evaporation rate : 0.5 nm/s Vacuum : 1.7×10^{-4} Pa Purity of gold : 99.99%		9 min34 sec
FIB etching	Coupling grating	Ion accelerating voltage : 30.0 kV Beam current : 75.7 pA Image scale : 24 μ m Slit width : 650 nm Slit pitch : 1500 nm	11 min46 sec
	Decoupling grating	Ion accelerating voltage : 30.0 kV Beam current : 75.7 pA Image scale : 24 μ m Slit width : 650 nm Slit pitch : 1550 nm	20 sec

なお、FIB 装置によるエッチング深さは、照射するイオンの走査回数およびビーム電流により決定される。素子の散乱用グレーティングにおいては、石英ガラス基板側まで金がエッチングされない必要があるため、FIB 装置による金のエッチングレート (エッチング深さ/走査回数) を原子間力顕微鏡 (AFM : Atomic Force Microscope) を用いて求めた。図 3.11 (a) に、FIB 装置によるイオンの走査回数と AFM により測定したエッチング深さの関係を示す。また同図 (b) に、各走査回数における加工された金表面の SEM 像も合せて示す。この結果より、FIB 装置における金のエッチングレートは、36 nm/scan であることが分かる。したがって、散乱用グレーティングは、走査回数を 3 回で加工することとした。図 3.12 に、作製した素子の (a) 光学顕微鏡像および (b) SEM 像を示す。グレーティング間距離は、100、200、および 300 μ m とした。

3 表面プラズモンを介したコヒーレント光信号の伝送



(a) 走査回数とエッチング深さの関係

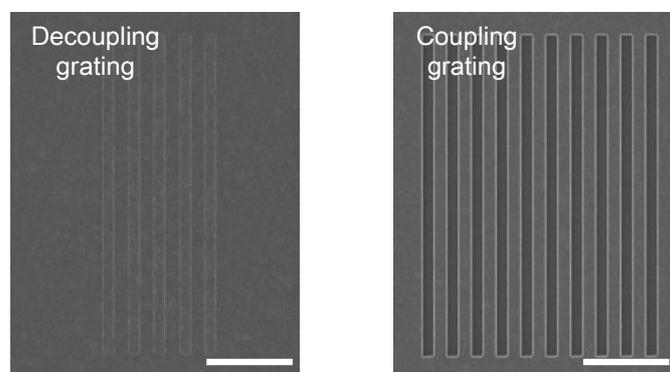


(b) 各走査回数における加工された金表面の SEM 像 (Bar : 5 μm)

図 3.11 FIB 装置による加工条件の導出



(a) 光学顕微鏡像



(b) SEM 像 (Bar : 5 μm)

図 3.12 作製した素子の光学顕微鏡像および SEM 像

3.7 表面プラズモンの伝送特性

作製した素子を用いて、表面プラズモンを介した光周波数変調信号の伝送特性およびコヒーレンス性の伝送特性の評価を行った。本章では、はじめに、表面プラズモンの励起を確認するための実験について述べる。その後、各伝送特性について述べる。

3.7.1 表面プラズモンの励起

作製した素子において、表面プラズモンが励起していることを確認するために、散乱光強度の偏光角依存性を測定した。図 3.13 に、本測定に使用した実験系を示す。波長可変光源から出射されるレーザ光は、偏波コントローラを通った後、対物レンズで平行光となり、ビームスプリッタへ入射する。ビームスプリッタにより分岐した一方の光は、偏光板を通して光検出器に入射する。ここで、光の偏光方向が観測される。もう一方の光は、素子の励起用グレーティングに入射する。テーパ型光 SMF は、散乱用グレーティングの上方に位置し、そこから取り込まれた光の強度は、光スペクトラムアナライザにより観測される。なお、光軸の調整は以下の手順で行った。

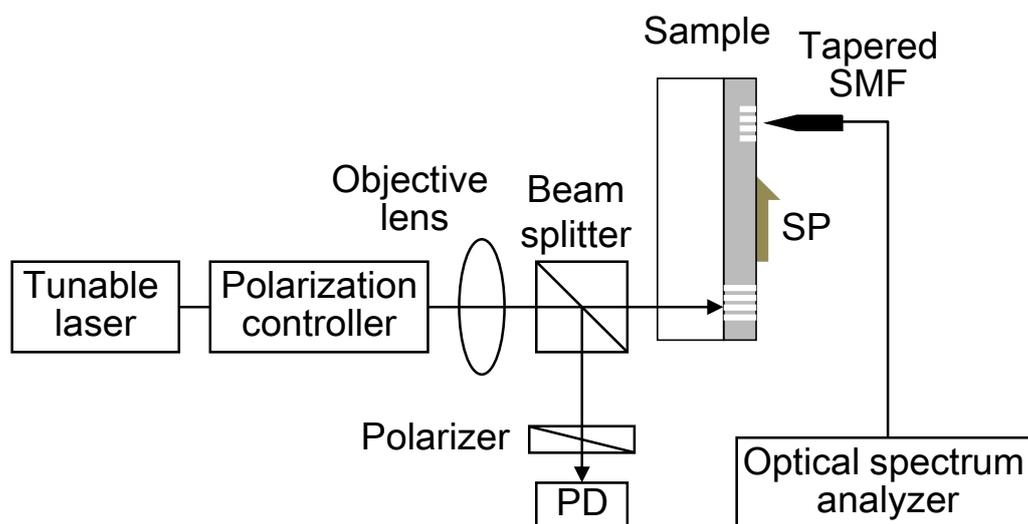
- a. 素子を取り除き、レンズで集光された光が最も取り込まれる位置にテーパ型 SMF を移動させる。
- b. 素子をビームスプリッタとテーパ型 SMF の間に挿入し、レンズで集光された光がテーパ型 SMF に最も取り込まれる位置に励起用グレーティングを移動させる。このとき、励起用グレーティングからの透過光がテーパ型 SMF によって取り込まれることとなる。したがって、光軸上に励起用グレーティングが位置する。
- c. テーパ型 SMF を散乱用グレーティングの上方に移動する。

図 3.14 に、測定した散乱光強度の偏光角依存性を示す。なお、 x 偏光 ($\theta=90$ deg.) は、光の電界の振動方向がスリットの長軸に対して垂直な方向の光を、 y 偏光 ($\theta=0, 180$ deg.) は、光の電界の振動方向がスリットの長軸に対して平行な方向を意味する。 x 偏向において散乱光強度が増大し、 y 偏向においては散乱光強度が減少した。また、図 3.15 に、各偏光の光の入射に対する電界強度分布の計算結果を示す。本図より、 x 偏光では、表面プラズモンが空気と金の界面に励起され、その界面を伝搬し、その後、散乱用グレーティングによって散乱され自由空間に放出されていることが分かる。一方、 y 偏光においては、空気と金の界面に表面プラズモンが励起されていないことが分かる。なお、2.7.2 項の図 2.21 の示した場合と異なり、 y 偏光においても透過光が現れている。これは、スリットの幅が入射光の波長に対して $1/2$ 程度であり、スリット内部にも TE モードが存在し得るためである^[46]。また、透過した光が空気とシリコンの界面の表面プラズ

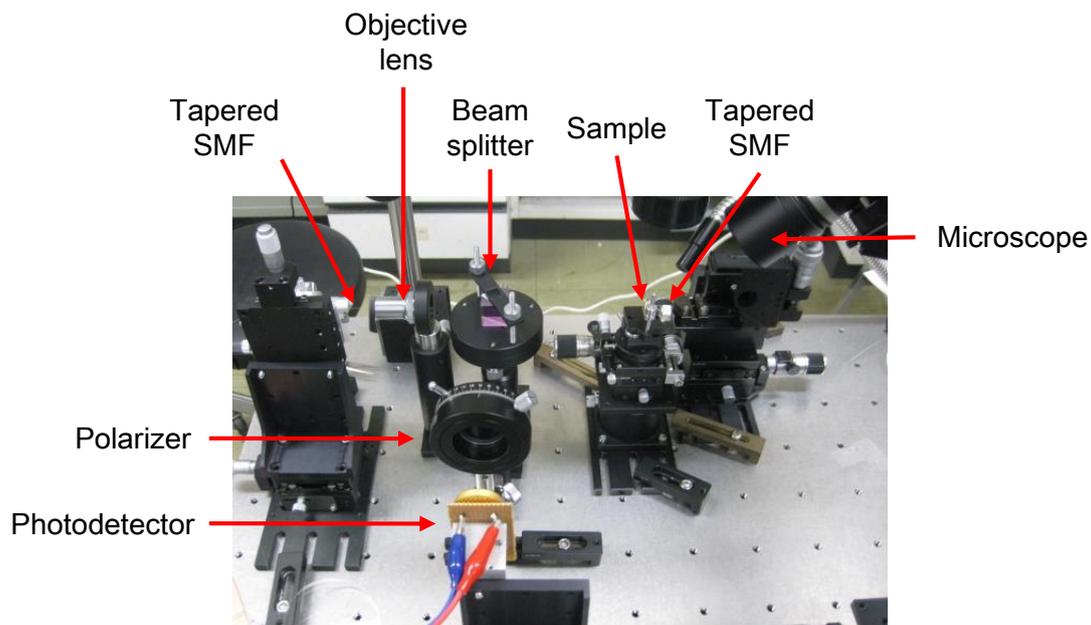
3 表面プラズモンを介したコヒーレント光信号の伝送

モンと結合しない理由は、2.2.1 項で述べた通り、表面プラズモンが TM モードしか存在し得ないためである。

以上の結果より、作製した素子における表面プラズモンの励起とその散乱を確認できたと言える。



(a) ブロック図



(b) 写真

図 3.13 実験系のブロック図および写真

3 表面プラズモンを介したコヒーレント光信号の伝送

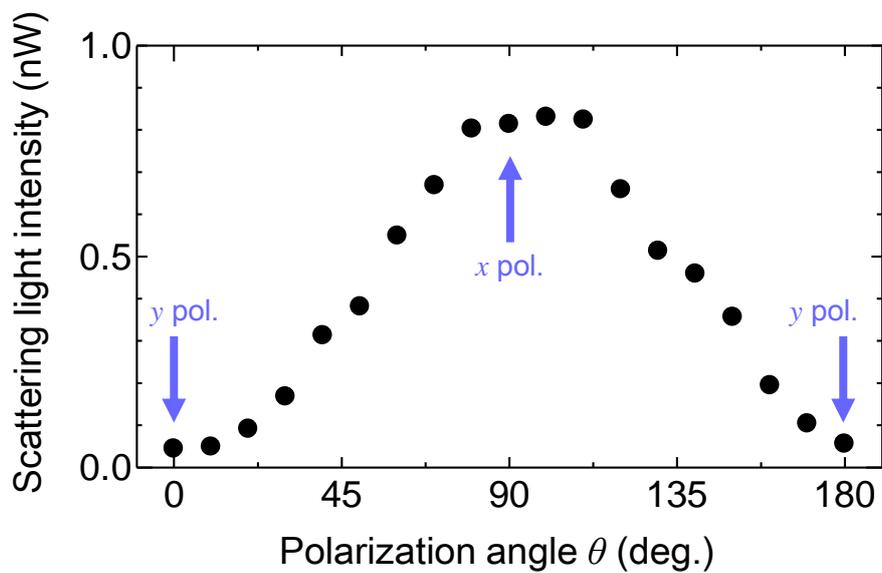
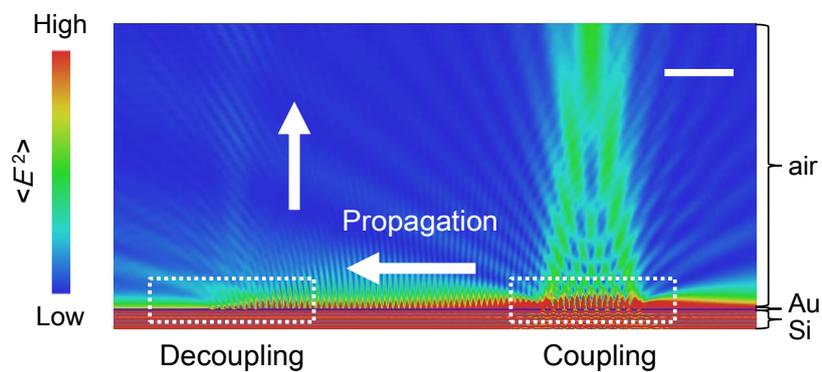
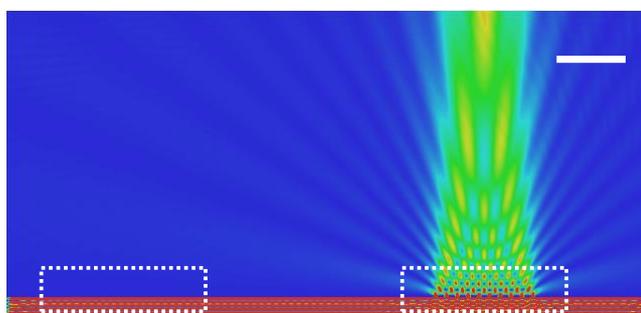


図 3.14 散乱光強度の偏光角依存性



(a) x 偏光



(b) y 偏光

図 3.15 各偏光方向の光入射に対する電界強度分布の計算結果 (Bar : 10 μm)

3.7.2 光周波数変調信号の伝送特性

作製した素子を用いて、表面プラズモンを介した光周波数変調信号の伝送の可能性を検討した。図 3.16 に、本検討のために用いた実験系を示す。DFB レーザに 41.04 mA (閾値電流の 5.2 倍) の直流電流を注入し、波長を 1550.41 nm ($f_1=193.363$ THz) に設定した。また、本直流バイアス電流に周波数 100 MHz、振幅 0.36 mA の交流電流を重畳し、レーザ光を直接変調した。変調されたレーザ光を素子の励起用グレーティングへ x 偏光で入射し、表面プラズモンを空気と金の界面に伝搬させ、散乱用グレーティングからの放射光をテーパ型 SMF により取り込んだ。そして、テーパ型 SMF を導波する光の周波数信号を、光ヘテロダイン法により検出した。なお、光ヘテロダイン検波の局発光として用いた波長可変光源の波長を 1550.44 nm ($f_2=193.359$ THz) に設定し、各光の周波数差 $|f_1-f_2|$ を光検出器の応答周波数範囲内に合せた。

図 3.17 に、光ヘテロダイン検波により得られた信号のスペクトルを示す。各光の差周波数近傍に複数のピークが現れ、それらピークの周波数間隔は、変調周波数に等しい 100 MHz であった。また、中央のピーク強度 P_C 、高周波側のピーク強度 P_H 、および低周波側のピーク強度 P_L は、それぞれ、 $P_C=0$ dB、 $P_H=-14.14$ dB、および $P_L=-14.56$ dB であった。ただし、各値は 10 回測定した値の平均値であり、また、 P_C の値を基準に表している。

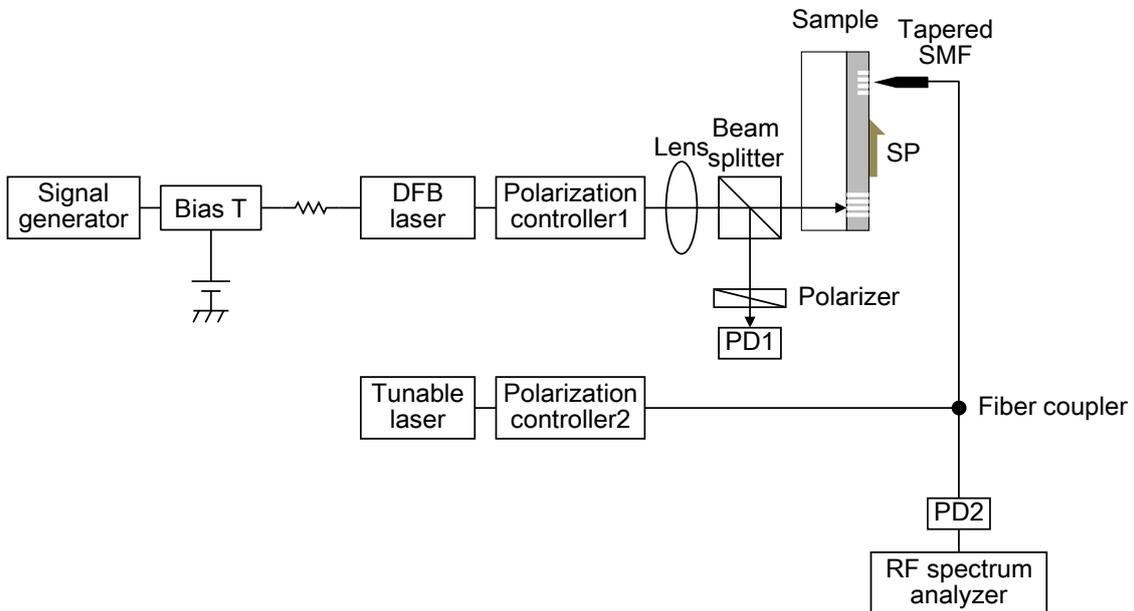


図 3.16 光周波数変調信号の伝送および光ヘテロダイン検波系

3 表面プラズモンを介したコヒーレント光信号の伝送

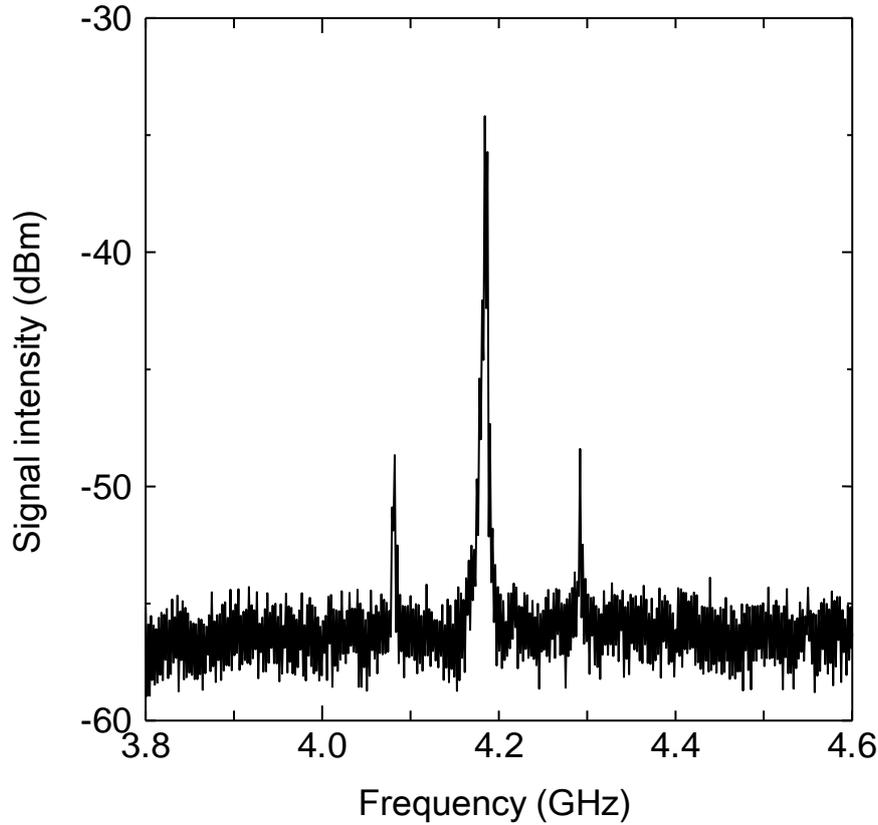


図 3.17 光ヘテロダイン法により観測した信号のスペクトル

ここで、DFB レーザにおいて、周波数変調（FM : Frequency Modulation）と強度変調（AM : Amplitude Modulation）が同時に生じていると仮定し、キャリア波と側帯波の信号強度比を求める。いま、周波数および強度変調されている光の電界を下式で表す^[47]。

$$E = E_0 \{1 + M \cos(2\pi f_m t)\} \exp[j\{2\pi f_0 t + \beta \sin(2\pi f_m t)\}] \quad (3.9)$$

$$f = f_0 + \Delta F \cos(2\pi f_m t) \quad (3.10)$$

ここで、 E_0 は電界の振幅、 M は強度変調指数、 β は周波数変調指数、 f_0 はキャリア周波数、 f_m は変調周波数、 f は瞬時周波数、 ΔF は最大周波数偏移である。上式において、周波数変調と強度変調の位相差がないと仮定し、キャリア波と側帯波成分に展開すれば、

$$\text{キャリア波成分} \quad J_0 E_0 \exp\{j(2\pi f_0 t)\} \quad (3.11)$$

$$\text{第一側帯波（高周波側）} \quad \left[J_1(\beta) + \frac{M}{2} \{J_2(\beta) + J_0(\beta)\} \right] E_0 \cdot \exp\{j2\pi(f_0 + f_m)t\} \quad (3.12)$$

$$\text{第二側帯波（低周波側）} \quad \left[-J_1(\beta) + \frac{M}{2} \{J_2(\beta) + J_0(\beta)\} \right] E_0 \cdot \exp\{j2\pi(f_0 - f_m)t\} \quad (3.13)$$

3 表面プラズモンを介したコヒーレント光信号の伝送

が得られる。ここで、 $J_l(\beta)$ はベッセル関数である (l はベッセル関数の次数を表す)。上式より、キャリア周波数から変調周波数だけ離れた周波数に第一側帯波が現れ、また、高周波側の第一側帯波は、低周波側の第二側帯波よりも電界の振幅が大きいことが分かる。周波数変調指数は最大周波数偏移と変調周波数の比、すなわち

$$\beta = \frac{\Delta F}{f_m} \quad (3.14)$$

で与えられる。また、最大周波数偏移は、周波数変調効率 F_D (単位注入電流量あたりの周波数偏移量) と注入電流の積で表される。この周波数変調効率を求めるために、信号光を周波数 10 MHz、電流振幅 0.56 mA の正弦波で変調し、光ヘテロダイン検波により信号スペクトルを観測した (図 3.18)。この結果から、周波数変調効率は、 $F_D=29$ MHz/0.56 mA=52 MHz/mA と求められる。したがって、電流振幅 0.36 mA の正弦波で変調した場合、最大周波数偏移は $\Delta F=2 \times 52$ MHz/mA \times 0.36 mA=37 MHz となる。以上より、周波数変調指数 $\beta=37$ MHz/100 MHz=0.37 が得られる。図 3.19 に、0 次、1 次、および 2 次のベッセル関数を表す。 $\beta=0.37$ における各次数のベッセル関数の値は、 $J_0=0.966$ 、 $J_1=0.182$ 、 $J_2=0.017$ である。また、強度変調指数は式 (3.15) から求められる^[47]。

$$M = \frac{I_m}{I_0 - I_{th}} \quad (3.15)$$

ここで、 I_m はレーザに注入する電流の変調成分、 I_0 はレーザに注入する電流の直流成分、 I_{th} はレーザの閾値電流である。この式より、強度変調指数 $M=0.36$ mA/(41.04 mA-7.90 mA)=0.011 が得られる。以上で求めた周波数変調指数および強度変調指数を式 (3.11)、式 (3.12)、および式 (3.13) に代入し、電界の振幅成分を 2 乗すると、キャリア波と側帯波の信号強度比が求まる。キャリア波の強度を基準とすれば、キャリアの強度 P_{C-FMAM} 、高周波側の第一側帯波の強度 P_{H-FMAM} 、および低周波側の第一側帯波の強度 P_{L-FMAM} はそれぞれ、 $P_{C-FMAM}=0$ dB、 $P_{H-FMAM}=-14.25$ dB、および $P_{L-FMAM}=-14.76$ dB が得られる。これらの値は、図 3.17 に示したピーク強度の比と一致する。すなわち、図 3.17 に示したスペクトルは FM-AM 信号スペクトルであると言える。なお、AM が生じていない場合、すなわち $M=0$ では、 $P_{C-FMAM}=0$ dB、 $P_{H-FMAM}=P_{L-FMAM}=-14.50$ dB となり、高周波および低周波側の側帯波の強度に差は生じない。また、FM が生じていない場合、すなわち $\beta=0$ では、 $P_{C-FMAM}=0$ dB、 $P_{H-FMAM}=P_{L-FMAM}=-45.30$ dB となり、側帯波の強度は著しく小さいことが分かる。

以上の結果は、表面プラズモンを介して FM-AM 変調信号が伝送したことを意味する。

3 表面プラズモンを介したコヒーレント光信号の伝送

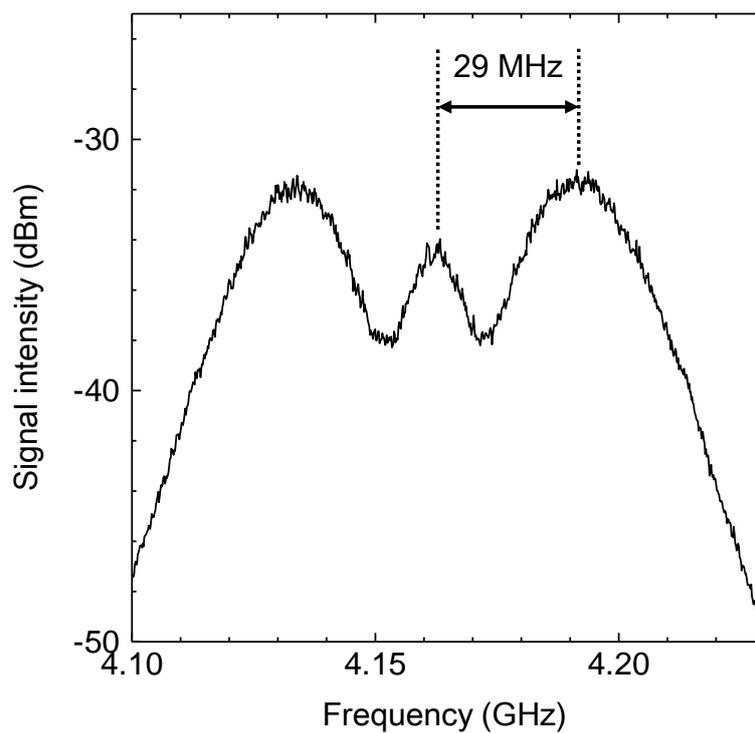


図 3.18 周波数変調効率を求めるためのスペクトル

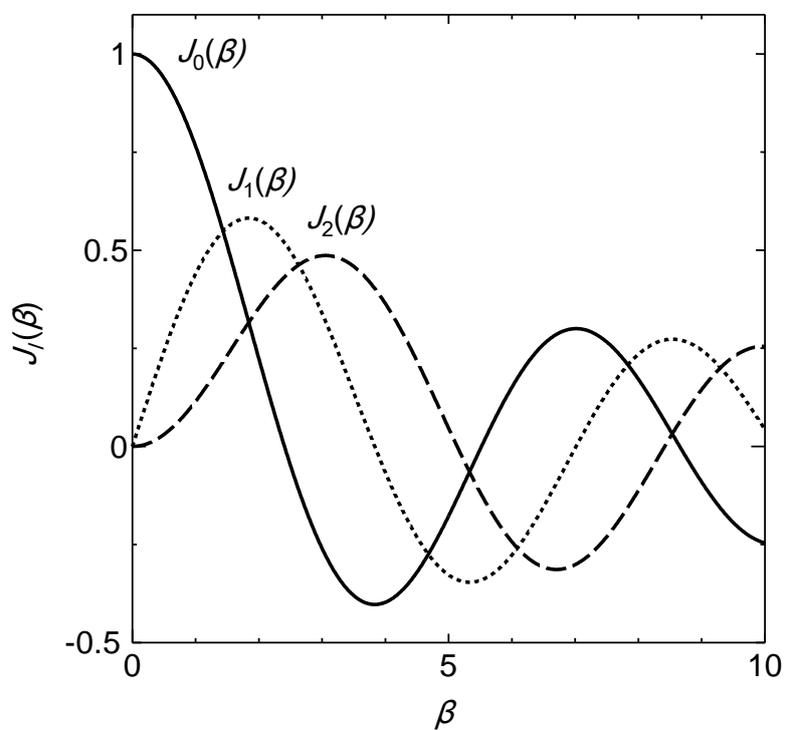


図 3.19 ベッセル関数

3.7.3 コヒーレンス性の伝送特性

前項では、表面プラズモンを介した光周波数変調信号の伝達可能性を明らかにした。本項では、安定した周波数でスペクトル線幅の測定が可能な遅延自己ヘテロダイン法を用いて、表面プラズモンのコヒーレンス性の伝送特性を評価した。

図 3.20 に、本測定に用いた実験系を示す。波長可変光源から出射される光は二つに分岐され、光路 1 では、偏波コントローラ、レンズ、およびビームスプリッタを介して素子の励起用グレーティングに入射される。同時に、その光の偏光方向は、ビームスプリッタにより分けられた一方の光により観測される。散乱用グレーティングに入射した光は、表面プラズモンとして伝搬し、その後、散乱用グレーティングによって自由空間中に放射される。この光は、テーパ型 SMF に取り込まれ、長尺の SMF によって遅延される。光路 2 では、周波数シフタによって 100 MHz の周波数シフトを受けた後、偏波コントローラを介して、光路 1 を通った光と光ファイバカプラ内で合波される。合波された光は、光検出器に入射し、その電気的な出力が RF スペクトラムアナライザによって観測される。なお、遅延ファイバ長は 3.3.2 項で述べた考察から 3 km とした。

図 3.21 に、RF スペクトラムアナライザにより観測したビートスペクトルを示す。同図において d は、表面プラズモンとして伝搬させた距離、すなわち、励起用グレーティングと散乱用グレーティング間の距離を表している。いずれのグレーティング間距離においても、中心周波数 100 MHz のビートスペクトルが観測された。また、図 3.22 に、横軸をグレーティング間距離、縦軸をビートスペクトルの半値全幅 (FWHM) およびピーク値としたグラフを示す。同図より、グレーティング間距離が増えてもビートスペクトルのピーク値は減衰するものの半値全幅は一定に保たれることが明らかとなった。

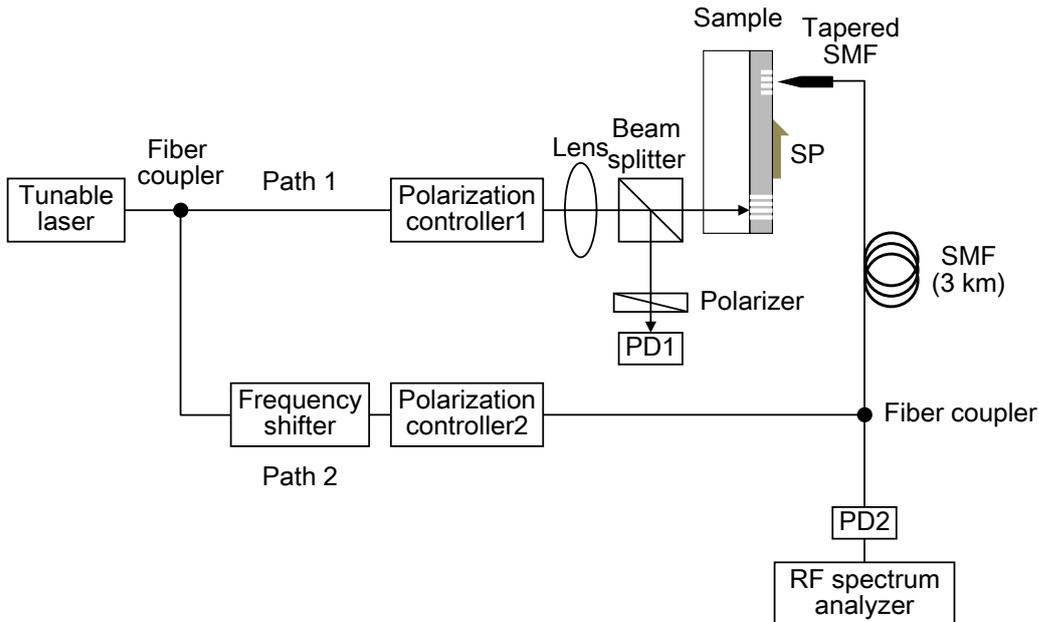


図 3.20 遅延自己ヘテロダイン検波系

3 表面プラズモンを介したコヒーレント光信号の伝送

以上の結果は、表面プラズモンとして金表面を数百マイクロメートル伝搬しても、そのコヒーレンス性は保たれることを実験的に示している。すなわち、自由電子の集団振動である表面プラズモンは、フォノンとの衝突などにより振動の振幅を減衰させるが、その振動数は変化せずに金表面を伝搬することを意味する。

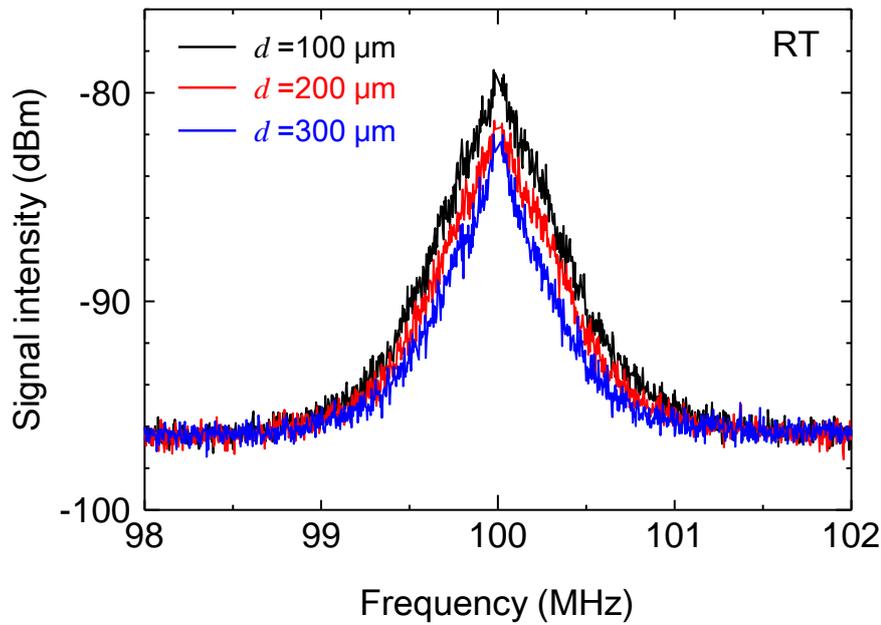


図 3.21 遅延自己ヘテロダイン法により得られたビートスペクトル

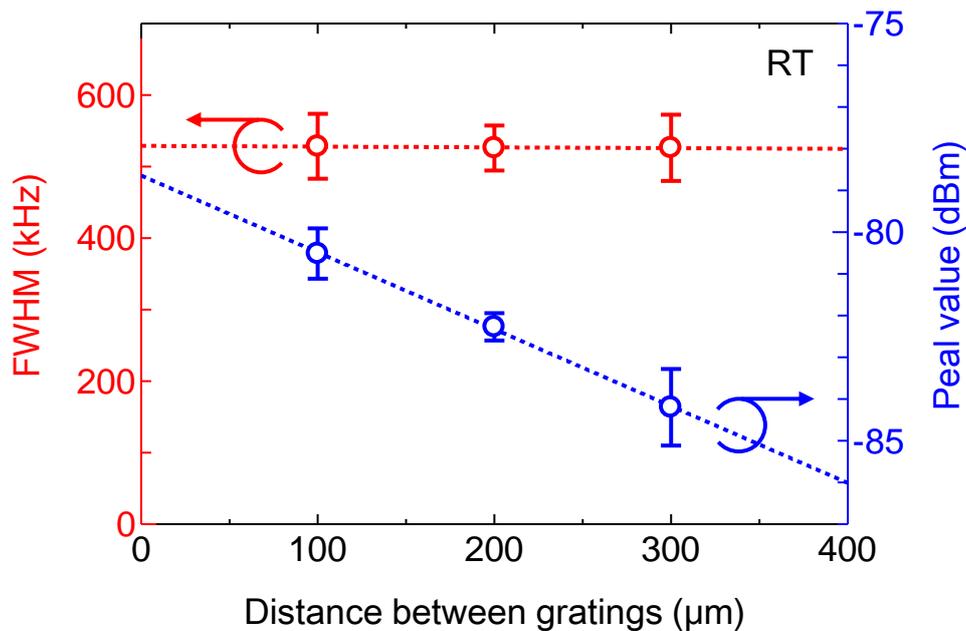


図 3.22 ビートスペクトルの半値全幅およびピーク値

3 表面プラズモンを介したコヒーレント光信号の伝送

ここで、表面プラズモンの伝搬におけるスペクトル形状の変化をドルーデモデルに基づいて理論的に解析する。表面プラズモンの電界は、

$$\begin{aligned} E &= E_0 \exp\{j(k_x x - \omega_0 t)\} \\ &= E_0 \exp[j(k'_x x - \omega_0 t)] \exp(-k''_x x) \end{aligned} \quad (3.16)$$

で表せる。ここで、 E_0 は電界の振幅、 ω_0 は振動の角周波数、 k'_x および k''_x は、それぞれ表面プラズモンの波数ベクトル（金属表面に水平方向）の実部および虚部である。Wiener-Khintchine の理論に基づくと、式 (3.16) のパワースペクトル $S(\omega)$ はその自己相関関数のフーリエ変換で与えられ、

$$S(\omega) = \begin{cases} E_0^2 \exp(-2k''_x x) & (\omega = \omega_0) \\ 0 & (\omega \neq \omega_0) \end{cases} \quad (3.17)$$

となる。また、表面プラズモンの分散関係は、

$$k_x = \frac{\omega}{c} \sqrt{\frac{\varepsilon_1 \varepsilon_2}{\varepsilon_1 + \varepsilon_2}} \quad (3.18)$$

である。ここで、 ε_1 および ε_2 はそれぞれ誘電体および金属の誘電率である。ドルーデモデルに基づく金属の誘電率は

$$\varepsilon_2(\omega) = \varepsilon_0 \left(1 - \frac{\omega_p^2}{\omega^2 + j\omega/\tau} \right) \quad (3.19)$$

で表される。ここで ε_0 は真空の誘電率、 ω_p はプラズマ周波数、 τ は平均衝突時間である。いま、表面プラズモンのスペクトルをローレンツ関数で表現すと

$$S_0(\omega) = \frac{w}{(\omega - \omega_0)^2 + w^2} \quad (3.20)$$

となる。ここで w はスペクトルの半値半幅である。また、表面プラズモンの強度の減衰距離 L を

3 表面プラズモンを介したコヒーレント光信号の伝送

$$L(\omega) = \frac{1}{2k_x''} \quad (3.21)$$

で定義すれば、距離 d 伝搬後の表面プラズモンのスペクトルは

$$S(\omega, d) = S_0 \exp\left(-\frac{d}{L}\right) \quad (3.22)$$

で表せる。

図 3.23 に、横軸を周波数、縦軸をドルーデモデルに基づく表面プラズモンの減衰距離としたグラフを示す。ただし、本計算では金に対するプラズマ周波数 $\omega_p = 1.4 \times 10^{16}$ rad/s および平均自由行程 $\tau = 8.64 \times 10^{-15}$ s を用いた^[45,48]。同図が示す通り、表面プラズモンの周波数の増加に伴い、表面プラズモンの減衰距離が短くなることが分かる。特に、周波数 193.41 THz (波長 1550.0 nm) では、表面プラズモンの減衰距離は 338.7 μm であった。なお、実験により得られた減衰距離は 151 μm であった。この差異は、計算において金表面の粗さを考慮していないためと考えられる。

図 3.24 に、式 (3.22) より計算した距離 d だけ伝搬した後の表面プラズモンのスペクトルを示す。伝搬前の表面プラズモンのスペクトルの半値半幅として、5 MHz および 5 THz を仮定した。また、中心の周波数は 193.4145 THz (波長 1550.000 nm) とした。図 3.24 (a) に示す通り、 $w=5$ MHz の場合は、伝搬において全体の強度が減衰するだけでスペクトル形状は変化していない。これは、狭い周波数範囲においては表面プラズモンの強度の減衰距離がほぼ一定であるためである。一方、図 3.27 (b) に示す通り、 $w=5$ THz の場合は、伝搬において全体の強度が減衰するとともにスペクトル形状が変化している。これは、図 3.23 で示した通り、高周波数領域では減衰が大きいのにに対し、低周波数領域では減衰が小さいためである。例えば、周波数 120 THz では減衰距離が 894.4 μm であり、周波数 280 THz では減衰距離が 157.0 μm である。このスペクトル形状の変化は、表面プラズモンとして伝搬させた距離が長い、あるいは、初期の表面プラズモンのスペクトル線幅が広いほど顕著に現れる。

3.7.3 項で述べた実験では、表面プラズモンとして伝搬させた距離は最長で 300 μm であり、また、表面プラズモンの励起に用いた光源のスペクトル線幅は 200 kHz 程度である。これらの値は、スペクトルの形状が変化しなかった計算に使用した値よりも小さい。したがって、ドルーデモデルに基づいた計算より、実験結果の妥当性が示された。

3 表面プラズモンを介したコヒーレント光信号の伝送

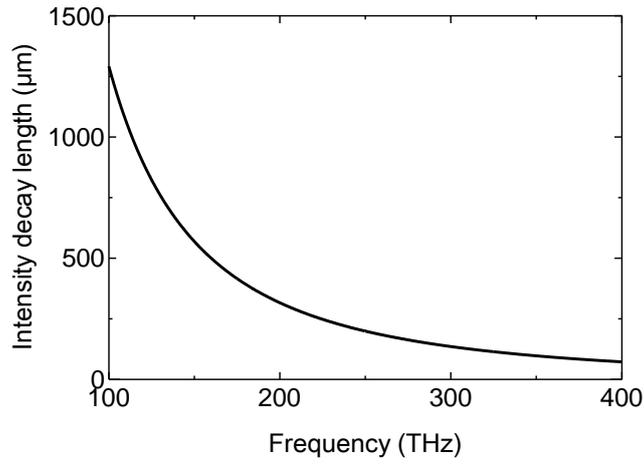
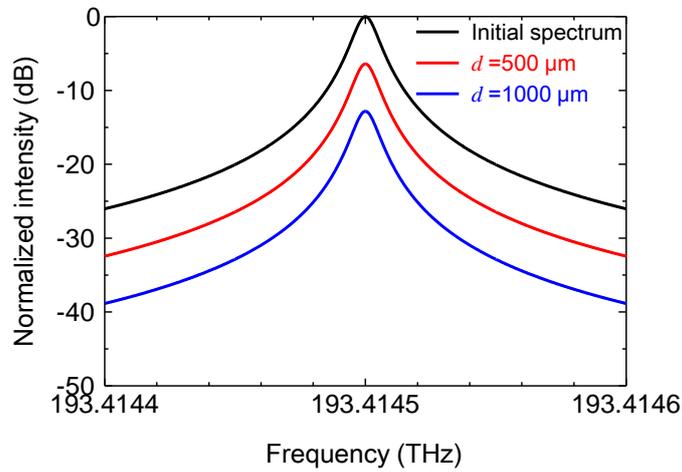
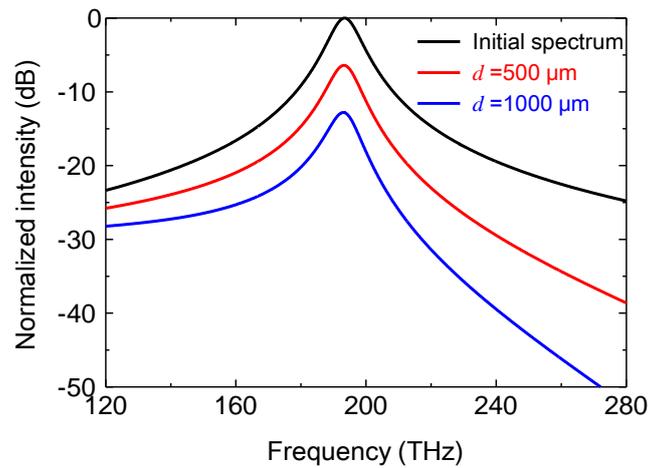


図 3.23 ドルーデモデルに基づく表面プラズモンの減衰距離



(a) $w=5$ MHz



(b) $w=5$ THz

図 3.24 距離 d 伝搬後の表面プラズモンのスペクトルの変化

3.8 結言

本章では、光ヘテロダイン法を用いて、表面プラズモンを介したコヒーレント光信号の伝送可能性を明らかにした。本章の要点を以下に示す

- (1) 表面プラズモンを空気と金の界面に励起し、長さ数百マイクロメートルだけ表面プラズモンとして伝搬させた後、その表面プラズモンを伝搬光として外部に取り出す構造を提案した。その構造は、対向したスリット型（励起用）のグレーティングとトレンチ型（散乱用）のグレーティングを金薄膜上に配置した構造である。
- (2) 電磁界解析において、素子の励起用グレーティングに x 偏光で光を入射した場合、表面プラズモンが空気と金界面に励起し、金表面を伝搬した後、その表面プラズモンは散乱用グレーティングによって金薄膜に対して垂直方向に放射されることを確認した。また、 y 方向の偏光の光では励起用グレーティングからの透過光は現れるものの、空気と金の界面には表面プラズモンは励起しないことを確認した。
- (3) 作製した素子における励起用グレーティングに入射する光の偏光方向と散乱用グレーティングから放射される光の強度の関係を測定することにより、表面プラズモンの空気と金界面での励起およびその散乱を確認した。
- (4) 素子の励起用グレーティングに入射するレーザー光を変調し、散乱用グレーティングから取り出される光のスペクトルを光ヘテロダイン検波したところ、複数のピーク強度が現れた。このピークは FM-AM スペクトルであることを述べた。この結果より、表面プラズモンを介した光周波数変調信号の伝送可能性を明らかにした。
- (5) 遅延自己ヘテロダイン法を用いて、表面プラズモンとして伝搬させた距離と表面プラズモンのスペクトル線幅の関係を測定した。実験の結果から、表面プラズモンとして金表面を数百マイクロメートル伝搬させても、そのスペクトル線幅、すなわちコヒーレンス性は保たれることを明らかにした。この結果は、ドルーデモデルに基づいた理論的解析により裏付けられた。

参考文献

- [1] 正田 英介：アルテ 21 通信技術, オーム社 (1998)
- [2] 宮本 裕：“「最先端技術のタイムリーな実用化」を目指して”, NTT 技術ジャーナル, **23**, 44-47 (2011)
- [3] 日本電信電話株式会社 研究企画部門：NTT 研究所の挑戦 ~夢の実現に向けて~, 電気通信協会 (2012)
- [4] 盛岡 敏夫, 淡路 祥成：“光通信インフラの飛躍的な高度化に向けた取り組み—概要—”, 電子情報通信学会誌, **97**, 98-101 (2014)
- [5] J. C. Rasmussen, 星田 剛司, 中島 久雄：“100 Gbps 光伝送システムのためのデジタルコヒーレント受信技術”, Fujitsu, **60**, 476-483 (2009)
- [6] 島田 禎晋：コヒーレント光通, コロナ社 (1988)
- [7] 大越 孝敬, 菊池 和郎：コヒーレント光通信工学, オーム社 (1989)
- [8] 吉澤 徹, 瀬田 勝男：光ヘテロダイン技術, 新技術コミュニケーションズ (2003)
- [9] 久保園 浩明：すべてが解る! 光ファイバ通信, オーム社 (2012)
- [10] 山下 真司：イラスト・図解 光ファイバ通信のしくみがわかる本, 技術評論社 (2002)
- [11] 大宮 達則, 後藤 広樹, 葛西 恵介, 吉田 真人, 中沢 正隆：“サブキャリアに 64QAM を用いた OFDM コヒーレント光伝送”, 電子情報通信学会技術研究報告. OCS, 光通信システム, **109**, 1-6 (2009)
- [12] 柴田 治, 瀬戸 一郎, 尾林 秀一, 庄木 祐樹：“サブキャリア多重光無線伝送方式によるアダプティブアレイアンテナの遠隔制御法”, 電子情報通信学会技術研究報告. SST, スペクトル拡散, **100**, 15-22 (2001)
- [13] 高橋 英憲, ペン ウェイレン, 森田 逸朗, 田中 英明：“超 100Gbit/s に向けた光 OFDM 伝送技術”, 電子情報通信学会技術研究報告. OCS, 光通信システム, **111**, 99-104 (2011)
- [14] S. Takayama and J. Kawai：“On intrinsic and Extrinsic Origin of Plasmon Peaks”, Adv. X-Ray. Chem. Annual., Japan, **39**, 161-178 (2008)
- [15] 宇野 良清, 津屋 昇, 森田 章, 山下 次郎：第 7 版 キッテル固体物理学入門 (上), 丸善 (1998)
- [16] R. H. Ritchie：“Plasma losses by fast electrons in thin films”, Phys. Rev., **106**, 874 (1957)
- [17] T. W. Ebbesen, C. Genet, and S. I. Bozhevolnyi：“Surface-plasmon circuitry”, Physics Today, 44-50 (2008)
- [18] 福井 萬壽夫, 大津 元一：光ナノテクノロジーの基礎, オーム社 (2003)
- [19] 谷口 彰敏：プラズモン基礎理解の徹底と応用展開 ~実用化への要求仕様と課題/解決策検討~, 情報機構 (2011)
- [20] H. Ditlbacher, J. R. Krenn, G. Schider, A. Leitner, and F. R. Aussenegg：“Two-dimensional optics with surface plasmon polaritons”, Appl. Phys. Lett., **81**, 1762-1764 (2002)
- [21] C. Ropers, C. C. Neacsu, T. Elsaesser, M. Alberecht, M. B. Raschke, and C. Lienau：“Grating-Coupling of Surface Plasmon onto Metallic Tips: A Nanoconfined Light Source”, Nano Lett., **7**, 2784-2788 (2007)
- [22] S. I. Bozhevolnyi, V. S. Volkov, E. Devaux, J.-Y. Laluet, and T. W. Ebbesen：“Channel plasmon subwavelength waveguide components including interferometers and ring resonators”, Nature, **440**, 508-511 (2006)
- [23] E. Ozbay：“Plasmonics: Merging Photonics and Electronics at Nanoscale Dimensions”, Science, **311**, 189-193 (2006)
- [24] R. Zia, J. A. Schuller, A. Chandran, and M. J. Brongersma：“Plasmonics: The next chip-scale technology” Materials Today, **9**, 20-27 (2006)
- [25] J. A. Dionne, L. A. Sweatlock, M. T. Sheldon, A. P. Alivisatos, and A. Atwater, “Silicon-Based Plasmonics for On-Chip Photonics”, IEEE J. Sel. Topics Quantum Electron., **16**, 295-306 (2010)
- [26] D. K. Gramotnev and S. I. Bozhevolnyi：“Plasmonics beyond the diffraction limit”, Nature Photon., **4**, 83-91 (2010)
- [27] J. A. Conway, S. Sahni, and T. Szkopek：“Plasmonic interconnects versus conventional interconnects: a comparison of latency, crosstalk and energy costs”, Optics Express, **15**, 4474-4484 (2007)
- [28] J. J. Ju, S. Park, M.-S. Kim, J. T. Kim, S. K. Park, Y. J. Park, and M.-H. Lee：“40 Gbit/s light signal transmission in long-range surface plasmon waveguides”, Appl. Phys. Lett., **91**, 171117/1-171117/3 (2007)
- [29] J. J. Kim, J. J. Ju, S. Park, M.-S. Kim, S. K. Park, M.-H. Lee：“Chip-to-chip optical interconnect using gold long-range surface plasmon polariton waveguides”, Optics Express, **16**, 13133-13138 (2008)
- [30] R. Rokitski, K. A. Tetz, and Y. Fainman：“Propagation of Femtosecond Surface Plasmon Polariton Pulses on the Surface of a Nanostructured Metallic Film: Space-Time Complex Amplitude Characterization”, Phys. Rev. Lett., **95**, 177401/1-177401/4 (2005)
- [31] Z. L. Samson, P. Horak, K. F. MacDonald, and N. I. Zheludev：“Femtosecond surface plasmon pulse propagation”, Optics Lett., **36**, 250-252 (2011)
- [32] R. Zia and M. L. Brongersma：“Surface plasmon polariton analogue to Young’s double-slit experiment”, Nature Nanotech., **2**, 426-429 (2007)
- [33] C. Zhao and J. Zhang：“Plasmonic Demultiplexer and Guiding”, ACS Nano, **4**, 6433-6438 (2010)
- [34] M. Fukuda and K. Yamaguchi：“Detailed observation of optical intensity and frequency signal transmission in

3 表面プラズモンを介したコヒーレント光信号の伝送

- random metal-dielectric film”, Proc. of SPIE, 7604, 1-8 (2010)
- [35] T. Aihara, K. Nakagawa, M. Fukuhara, Y. L. Yu, K. Yamaguchi, and M. Fukuda : “Optical frequency signal detection through surface plasmon polaritons”, Appl. Phys. Lett., **99**, 043111/1-043111/3 (2011)
- [36] T. Aihara and M. Fukuda : “Transmission properties of surface-plasmon-polariton coherence”, Appl. Phys. Lett., **100**, 213115 (2012)
- [37] K.-Y. Jung, F. L. Teixeira, and R. M. Reano : “Au/SiO₂ Nanoring Plasmon Waveguides at Optical Communication Band”, J. Lightwave Tech., **25**, 2757-2765 (2007)
- [38] N. Liu, H. Wei, J. Li, Z. Wang, X. Tian, A. Pan, and H. Xu : “Plasmonic Amplification with Ultra-High Optical Gain at Room Temperature”, Scientific Report, **3**, 1-7 (2013)
- [39] 飯山 宏一 : “半導体レーザーの光注入同期系に関する研究”, 博士論文, 金沢大学 (1993)
- [40] 西田 慶次 : “Yb 原子が有する長寿命な準安定状態への励起に向けた半導体レーザーの線幅狭窄化”, 卒業論文, 東京工業大学 (2014)
- [41] L. E. Richter, H. I. Mandelberg, M. S. Kruger, and P. A. McGrath : “Linewidth Determination from Self-Heterodyne Measurement Subcoherence Delay Times”, IEEE J. Quantum Electron., **QE-22**, 2070-2074 (1986)
- [42] 菊池 和明, 大越 孝敬, 中山 明芳 : “半導体レーザーの発振スペクトルの新しい高分解能測定法 (遅延自己ヘテロダイン法)”, 電子情報通信学会技術報告, **QQE80-50** (1980)
- [43] L. B. Mercer : “1/f frequency noise effects on self-heterodyne linewidth measurement”, IEEE J. Lightwave Tech. **9**, 485-493 (1991)
- [44] 大坪 順次 : フォトニクス情報処理入門, コロナ社 (2009)
- [45] E. D. Palik : Handbook of Optical Constants of Solids, Academic Press (1985)
- [46] 梶川 浩太郎, 岡本 隆之, 高原 淳一, 岡本 晃一 : アクティブ・プラズモニクス, コロナ社 (2013)
- [47] S. Kobayashi, Y. Yamamoto, M. Ito, and T. Kimura : “Direct Frequency Modulation in AlGaAs Semiconductor Lasers”, IEEE J. Quantum Electron., **QE-18**, 582-594 (1982)
- [48] W. L. Barnes : “Surface plasmon-polaritons length scale: a route to subwavelength optics”, J. Opt. A : Pure Appl. Opt. **8**, S87-S93 (2006)

4 プラズモニックデバイスの集積化

4.1 緒言

表面プラズモンを信号キャリアとして利用したチップ内光配線技術が期待されている。そのため、表面プラズモンの検出器や導波路、発生器、変調器といったプラズモニックデバイスが研究されてきた。また、それらデバイスを介した信号伝送に関する研究も行われている。加えて、各種プラズモニックデバイスの集積デバイスが報告されている。

本研究においても、表面プラズモンを用いたチップ内光配線の実現を目指し、シリコンベースの表面プラズモン検出器を実現してきた。また、表面プラズモンを介したコヒーレント光信号の伝送および検出可能性をこれまでに明らかにしてきた。

本研究では、その次の段階として、上述のプラズモニックデバイスと MOSFET のモノリシック集積回路の実現を目的とした。さらに、表面プラズモンのコヒーレント信号を利用したチップ内光配線技術の実現可能性を検討した。

本章では、はじめに、光電子集積回路およびプラズモニックデバイスの集積化に関する研究動向について述べ、本研究の位置付けを明らかにする。その後、プラズモニックデバイスと MOSFET の集積化プロセスについて説明する。さらに、本プロセスを用いて作製した、表面プラズモン検出器と MOSFET で構成されるモノリシック集積回路の動作特性について述べる。次に、表面プラズモン導波路と表面プラズモン検出器の集積化構造について説明し、本プラズモニックデバイスと MOSFET で構成される集積回路の動作特性について述べる。最後に、遅延自己ホモダイン法を用いて明らかにした、本集積回路におけるコヒーレント光信号の利用可能性について述べる。

4.2 光電子集積回路

本節では、光電子集積回路の研究動向について述べた後、光デバイスと電子デバイスの集積化技術について解説する。その後、プラズモニックデバイスの集積化に関する研究動向に関して述べ、本研究の位置付けを明らかにする。

4.2.1 光電子集積回路の概要

光デバイスと電子デバイスが集積された回路は、光電子集積回路（OEIC：Optoelectronic integrated circuit）と呼ばれる。撮像素子の一つである CCD（Charge Coupled Device）イメージセンサや、フォトダイオードに電子回路を備えた光ファイバ通信用の受信デバイス、そしてチップ内で光インターコネクトを行うデバイスもこれに該当する。OEIC は、光デバイスと電子デバイスが一体となることで、それらの接続における寄生成分を抑制できる、相補的に機能が高まる、あるいは新機能が発現することなどにより、様々な分野から期待されている^[1]。1978 年頃カリフォルニア工科大学の Yariv らにより光デバイスと電子デバイスの集積化が試みられ、その後の 1980 年代からは OEIC の研究が活発化した^[2,3]。

前述した通り、OEIC の一つの特長は、光デバイスと電子デバイスの接続における寄生インダクタンスや容量を抑制できることである。したがって、高速な光通信システムの技術として期待されている。1982 年には、MESFET（Metal-Semiconductor Field-Effect Transistor）と BH（Buried Heterostructure）レーザを集積した変調帯域 4 GHz 程度の送信用 OEIC が報告されている^[4]。また、多重量子井戸レーザとモニタおよび 12 個の FET を集積した送信用 OEIC^[5]や、DFB レーザと変調ドープ FET を集積した送信用 OEIC^[6]などが報告されている。受信用 OEIC においては、MSM（Metal-Semiconductor-Metal）フォトダイオードを FET と集積した OEIC などが報告されている^[1-3]。これらの OEIC は、インジウムリンやガリウムヒ素といった化合物半導体がベースとなっている。

一方、シリコンをベースとした OEIC の研究は、現在、シリコンフォトニクスと呼ばれる分野で活発化している。特に、高品質のゲルマニウムがシリコン上に形成可能となり^[7]、高速かつ低消費電力の受信用デバイスがシリコンをベースとして実現されるようになった^[8-13]。また、1.2.3 項で述べた通り、チップ内光配線にシリコン導波路を利用する研究も活発化し、デバイスや集積化に関する研究が行われている。

また、2.2.2 項で述べた通り、プラズモニクスをチップ内光配線に応用する研究も活発化している。それらは、光配線部品の高集積化あるいは高機能化を目的としている。ただし、本研究では、基板をシリコンとしていることから、表面プラズモンを利用した光配線技術をシリコンフォトニクスの一部と考える。

4.2.2 各種集積化方法の比較

光回路が集積される位置は、図 4.1 に示す通り (1) 電気配線層の上側、(2) 電子集積回路 (EIC : Electronic Integrated Circuit) と同じ層、(3) EIC の裏面側に大別される。各種集積化の方法の比較を表 4.1 にまとめる^[4]。

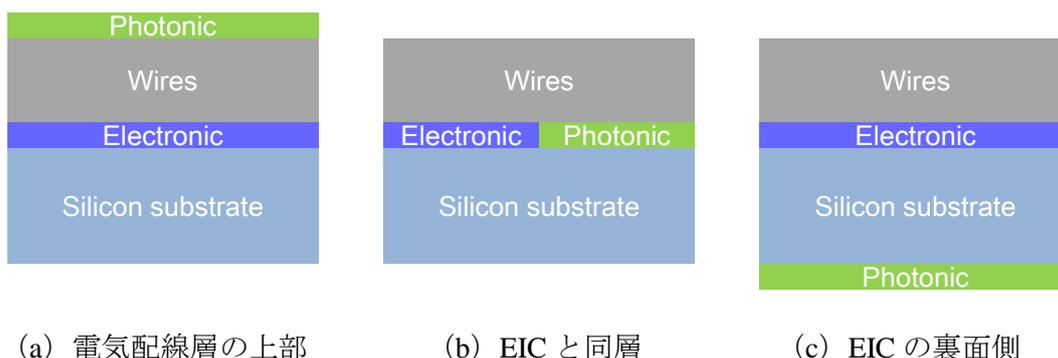


図 4.1 光回路と電子回路の集積化

表 4.1 各種集積化方法の比較

Integration	Advantages	Disadvantages
Wire bonding	<ul style="list-style-type: none"> - Known process - Heat separation - Separate dies - Multiple EIC node 	<ul style="list-style-type: none"> - Large - Parasitics - Reproducibility
Flip-chip Cu bumps	<ul style="list-style-type: none"> - Footprint - Different die technologies and sizes - High density - Multiple EIC nodes 	<ul style="list-style-type: none"> - Thermal crosstalk - RF limitation
Cu bonding	<ul style="list-style-type: none"> - Footprint - Different wafer technologies - High density - Low RC - Multiple EIC nodes 	<ul style="list-style-type: none"> - Similar die sizes - Thermal management
AIC low temperature	<ul style="list-style-type: none"> - Footprint - High density - Low RC - Multiple EIC nodes 	<ul style="list-style-type: none"> - Hybrid technology - Yield of added process steps - Similar die sizes
AIC high temperature	<ul style="list-style-type: none"> - Footprint - Different wafer technologies - Multiple EIC nodes 	<ul style="list-style-type: none"> - Similar die size - Thermal management
Backside fabrication	<ul style="list-style-type: none"> - Footprint - Different wafer technologies - Separate sides - Multiple EIC nodes 	<ul style="list-style-type: none"> - RF limitation - TSV fabrication
Combined fabrication	<ul style="list-style-type: none"> - Common electrode process steps - Very low RC 	<ul style="list-style-type: none"> - Footprint - Single EIC node integration - Cointegration of photonic and electronics

(1) 電気配線層の上部

光回路は EIC における金属配線後に集積され、金属配線の上側に位置する (図 4.1 (a))。これは、3D (Three-Dimensional) 集積あるいは AIC (Above Integrated Circuit) 集積と呼ばれる。ワイヤボンディングやフリップチップ実装などはこれに該当する。

ワイヤボンディングによる集積では、個別の製造工程で作製されたチップを集積できるため、集積化のための製造プロセスの制約がなく、各チップの性能が最大限に発揮できる。ただし、ボンディング部での寄生成分による動作速度の制限や、ばらつきによる再現性の劣化が問題となる。フリップチップ実装は、アレイ状に並んだバンプと呼ばれる突起状のハンダ端子によって各チップを接続する方法であり、ボンディングと比較してばらつきを抑えられる。自己整合を利用した方法では、精度 $1\ \mu\text{m}$ 以下でのチップの結合が可能となっており、チップ間での光配線が実現している^[15]。また、銅のピラーを利用したボンディングでは、ワイヤボンディングと比較して接続部が微小であるため、RC 遅延が抑えられる。

AIC 集積の中でも、同じウェハ上で、EIC の上部に光回路を形成し、それらの配線を直接接続する方法は、EIC と光回路の電気的な接続部を短くできるため、RC 遅延は小さくなる。しかし、光回路の形成においては、EIC の特性を変化させないために、使用可能なプロセス上の制約が多い。特に、 400°C 以下での低温熱処理が求められている。また、レーザ等のアクティブ素子の集積においては、現状ではボンディングが用いられている。一方、SOI 基板を用いてウェハを貼り合わせる AIC 集積では、個別の工程で各チップを製造できるため、熱の問題を回避でき、また光回路においては単結晶のシリコンを利用できる利点がある。なお、単結晶のシリコン導波路は、非結晶あるいは多結晶のそれと比較して伝搬損失は格段に低い。この方法において、貼り合わせにおける位置調整の精度は $2\ \mu\text{m}$ 程度であり、その値をプロセスルールのマージンに考慮させる必要がある。また、各ウェハ表面の平坦性や貼り合わせの際の熱処理温度に注意を払う必要がある。

(2) FET と同じ層

図 4.1 (b) に示すように、光配線部品は EIC と隣り合わせに集積される (Combined fabrication)。この場合、EIC と光回路の接続における RC 遅延を最大限に抑えられるため、高速化に対して最も有利と言える。また、上述した (1) では光配線化がグローバル配線部に限られるのに対し、(2) では配線数の最も多いローカル配線に光配線化を適用できる。したがって、光配線化の適用範囲を広げるためには (2) が必要と言える。さらに、この方法では、EIC の形成前に光回路を形成できるため (Front-end fabrication)、光回路形成における EIC 特性への影響を考慮しなくてよく、光回路形成のためのプロセスに制限はかからない。ただし、その場合、EIC 形成における光回路特性への影響を考慮する必要がある。

SOI 基板の利用は、CMOS 回路および光回路の両者に対して有効であることから、SOI 基板を用いた CMOS 回路と光回路のモノリシック集積回路が提案されている^[16]。CMOS 回路に対する SOI 基板利用の効果としては、完全な素子間分離ができることと寄生容量を低減できることが挙げられる。光回路に対しては、例えばシリコン導波路を用いる場合には、基板と導波路に屈折率差を与えられ、基板側への光の漏れを抑えられることが挙げられる。ただし、SOI 基板における最適なシリコンおよびボックス層の膜厚は CMOS 回路および光回路の両者で異なるため、その最適化には工夫を要する。

この集積化の問題として、光デバイスと電子デバイスのサイズ不整合が挙げられる。電子デバイスの最小寸法が 10 nm に向かっているのに対し、光デバイスのサイズは小さくても光の波長程度である。各デバイスを近接して配置することは、それらの接続部での寄生成分の低減につながるが、集積化の際、EIC の集積密度が低下すれば、結局全体としては低速となる。これには、光の回折限界の制約を受けない表面プラズモンの利用が有効である^[17-20]。表面プラズモン配線の電気配線と比較した優位性に関する考察は、付録 D に記述する。

(3) EIC の裏面側

EIC の形成後、その基板であるシリコンが薄膜化され、裏面側にウェハボンディングあるいは低温プロセスにより光回路が形成され、それらは TSV (Through-Silicon Via) によって接続される (図 4.1 (c) 参照)。この方法 (Back-side fabrication) の利点としては、AIC と同様に、各回路を個別に作製できることである。しかし、TSV が動作速度を制限する。したがって、高速情報処理を要さないイメージングデバイスなどのセンシングデバイスに対して有効である。

本研究では、上述した優位性から (2) を選択した。ただし、シリコンベースのプラズモニックデバイスの利用を前提としている。

4.2.3 プラズモニックデバイスの集積化

2.2.2 項で述べたように、表面プラズモンを利用した光源や導波路、検出器などのプラズモニックデバイスが研究されている。また、3.2.3 項で述べたように、それらデバイスを介した信号伝送に関する研究も行われている。ここでは、プラズモニックデバイスの集積化に関する研究に関して解説する。

これまでに、主に、(1) 誘電体導波路と表面プラズモン導波路の集積化^[22,26,29]、(2) 誘電体導波路と表面プラズモン検出器の集積化^[23,33]、(3) 表面プラズモン導波路と光あるいは表面プラズモン検出器の集積化^[21,25,28,36]、(4) 光源と表面プラズモン導波路の集積化^[24,27]、(5) プラズモニックロジック素子の集積化^[30,32,35]、そして(6) プラズモニックデバイスと EIC の集積化^[23,34,37]が報告されている。

(1) では、シリコン導波路の先端をテーパ形状とすることで、表面プラズモン導波路との結合効率を高めている。シリコン導波路と金のギャップ型表面プラズモン導波路の集積化構造において、理論値 88%、実験値 35%の結合効率が報告されている^[26]。また、CMOS プロセスで作製した Al/SiO₂/Si/SiO₂/Al 構造のスロット型表面プラズモン導波路をシリコン導波路と集積した構造においても、80%程度の結合効率が得られている^[29]。これらは、空間的に狭い領域に光信号を導くために必要な技術であり、表面プラズモン変調器などにも利用されている^[38]。

(2) では、シリコンやシリコン窒化酸化膜の誘電体を導波した光信号を表面プラズモンアンテナなどで検出することで、検出面積の小型化を実現している。シリコン窒化酸化物を導波した波長 850 nm のレーザー光が、銀のナノアンテナに結合し、光電流として検出される構造が報告されており、80%程度の結合効率が実現している^[23]。また、シリコン導波路の一部に金属を成膜し、金属とシリコンのショットキーダイオードを形成した構造が報告されている^[33]。このショットキーダイオードは、2.2.2 項で述べた通り、表面プラズモン検出器として機能する。したがって、簡易なプロセスでシリコン導波路と表面プラズモン検出器が集積される。

(3) では、MIM 導波路とガリウムヒ素の検出器との集積化^[25]や、フィルム型表面プラズモン導波路と有機半導体の検出器との集積化^[21]、フィルム型表面プラズモン検出器とショットキー型表面プラズモン検出器の集積化^[36]が報告されている。いずれの構造においても、表面プラズモンが導波する金属を検出器の電極として用いている。この金属を電極として併用できる特徴は、プラズモニックデバイスの優位性の一つと言える。

(4) では、同一チップ上で、化合物半導体レーザーの端面から放射された光をエンド・ファイヤ法によって金属ストライプ型の表面プラズモン導波路に結合（結合効率 36%）する構造が報告されている^[27]。

(5) では、表面プラズモンの干渉を利用した論理素子（XNOR、XOR、NOT、OR）を集積した素子が報告させている^[32]。本構造において、消光比 24 dB が実現している。また、論理素子を組み合わせさせた比較器も報告されている^[35]。

以上で述べたように、プラズモニクデバイスの集積化に関する研究は、活発に行われている。これら研究の多くは、表面プラズモンを利用したチップ内の光配線化を目指している。一方、プラズモニクデバイスを実際に EIC に集積する研究は少ない。2008 年には、表面プラズモンアンテナを有する検出器と EIC との集積化が報告されているが^[23]、チップの貼り合わせを用いており、モノリシック集積ではない。本研究では、本章で述べるように、簡易な構造のプラズモニクデバイスと MOSFET とのモノリシック集積回路を実現している^[34,37]。

表 4.2 プラズモニクデバイスの集積化に
関連する研究経過（太字は本研究の成果）

Date	Contents	Ref.
Oct. 2006	Ag-film waveguide and organic diode (SP detector)	[21]
Jan. 2007	Dielectric slab waveguide and MIM plasmonic waveguide	[22]
Jan. 2008	SiON waveguide and Si Nano-Photodiode with SP antenna, and chip-on-chip bonding with LSI	[23]
Sep. 2008	Organic diode (light source) and Au-film waveguide	[24]
Apr. 2009	MIM plasmonic waveguide and GaAs MSM detector	[25]
Jul. 2009	Si waveguide and MIM plasmonic waveguide	[26]
May 2010	Laser and Au-film waveguide	[27]
Jul. 2010	MIM plasmonic waveguide and metal nano antenna	[28]
Jan. 2011	Si waveguide and MISIM plasmonic waveguide	[29]
Jul. 2011	Cascade plasmonic logic gate	[30]
Nov. 2011	Metal-clad nanolaser cavity and Si waveguide	[31]
Nov. 2012	Logic gates based on plasmonic slot waveguides	[32]
Dec. 2012	Si waveguide and Schottky-type SP detector	[33]
Aug. 2013	Schottky-type SP detector and MOSFETs	[34]
Jan. 2014	Plasmonic logic comparator	[35]
Feb. 2014	Au-film waveguide and Schottky-type SP detector	[36]
Aug. 2014	Au-film waveguide, Schottky-type SP detector, and MOSFETs	[37]

4.3 集積化プロセス

以下に述べる集積化プロセスにより、プラズモニックデバイスと MOSFET とのモノリシック集積回路を作製した。集積化のプロセスを図 4.2 に示す断面図を用いて説明する。なお、具体的な作製プロセスは付録 A に示されている。

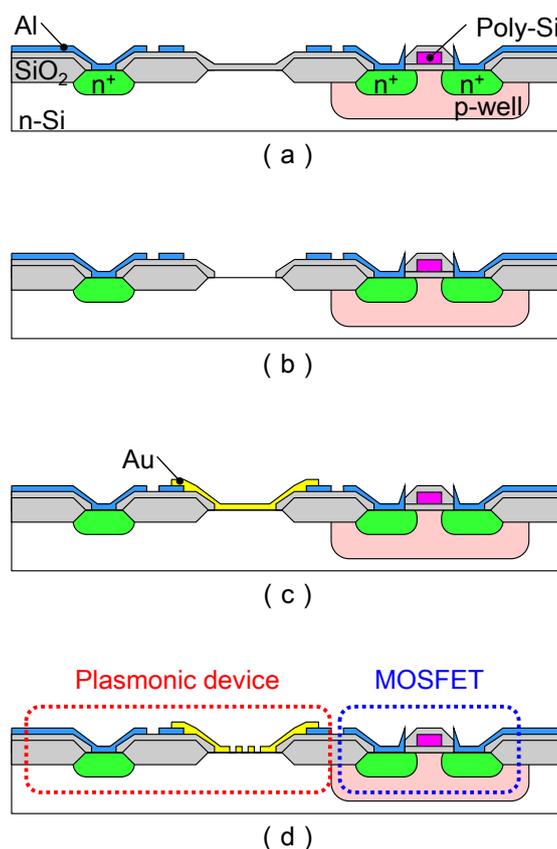


図 4.2 プラズモニックデバイスと MOSFET の集積化プロセス

はじめに、(a) 標準 CMOS プロセスにより n 型シリコン基板上の p 型ウェル領域に n チャンネル MOSFET を形成した。なお、素子間分離には、LOCOS (Local Oxidation of Silicon) 法を用いた。次に、(b) 減圧 CVD (Chemical Vapor Deposition) 法によって製膜したシリコン酸化膜をバッファードフッ酸によりウェットエッチングし、コンタクトホールを開口した。次に、(c) 金薄膜を抵抗加熱蒸着し、その後、リフトオフ工程により、コンタクトホール上に金電極をパターンニングした。これにより、金薄膜と n 型シリコンのショットキーダイオードが形成される。最後に、(d) FIB (Focused Ion Beam) 装置を用いて金薄膜に微細構造を形成した。これにより、プラズモニックデバイスが形成される。

以上のプロセスにより、MOSFET と同一基板上にプラズモニックデバイスが形成される。

4.4.2 信号の増幅特性

4.4.1 項で述べた回路にバイアス電圧を印加し、回路の動作特性を測定した。図 4.3 に、測定のための回路図を示す。

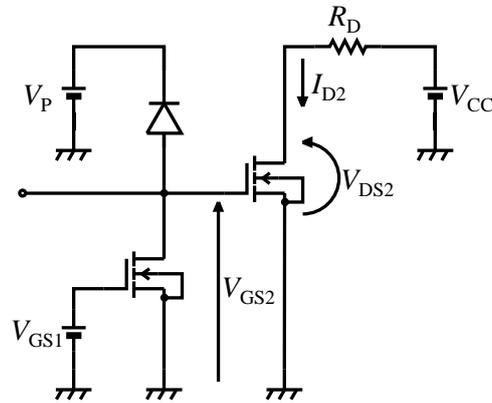


図 4.3 測定に用いた回路

作製した素子にバイアス電圧を印加し、また抵抗 R_D を付加することでソース接地増幅回路を構成した。MOSFET2 のドレイン・ソース間電圧を $V_{CC}=5.0$ V、表面プラズモン検出器の逆バイアス電圧を $V_P=5.0$ V とした。また、負荷抵抗を $R_D=22$ k Ω とした。この場合、式 (4.1) から求まる負荷線^[39]は図 4.4 のようになる。

$$I_D = \frac{1}{R_D}(V_{CC} - V_{DS}) \quad (4.1)$$

同図に、各ゲート・ソース間電圧 V_{GS} に対する MOSFET のドレイン・ソース間電圧 V_{DS} とドレイン電流 I_D の関係を示す。これより、 $V_{GS}=2.0$ V においては、動作点が $V_{DS}=1.9$ V、 $I_D=140$ μ A となることが分かる。また、ソース接地増幅回路における電圧増幅率 A_V は、 $V_{GS}=2.0$ V において $A_V=5$ 程度であり、その値は $V_{GS}=2.2$ V 以降で低下することが分かる。

本条件の下、表面プラズモン検出器にレーザー光を照射し、回路の動作を測定した。図 4.5 に測定系の写真を示す。2.7.2 項の図 2.19 に示した方法と同様に、波長 1550 nm のレーザー光をテーパ型 PMF を介して、表面プラズモン検出器のグレーティングに x 偏光で照射した。また、 V_{GS2} の測定においては、測定による負荷効果^[40]を抑えるために、内部抵抗が 200 T Ω の電圧測定器を用いた。回路のバイアス電圧は、直流プローブを介して印加した。なお、基板の温度は 20 $^{\circ}$ C 一定となるようにペルチェ素子によって制御した。本測定系を用いて、各入射光強度 P_m に対する V_{DS2} と V_{GS2} の関係および I_{D2} と V_{GS2} の関係を測定した。

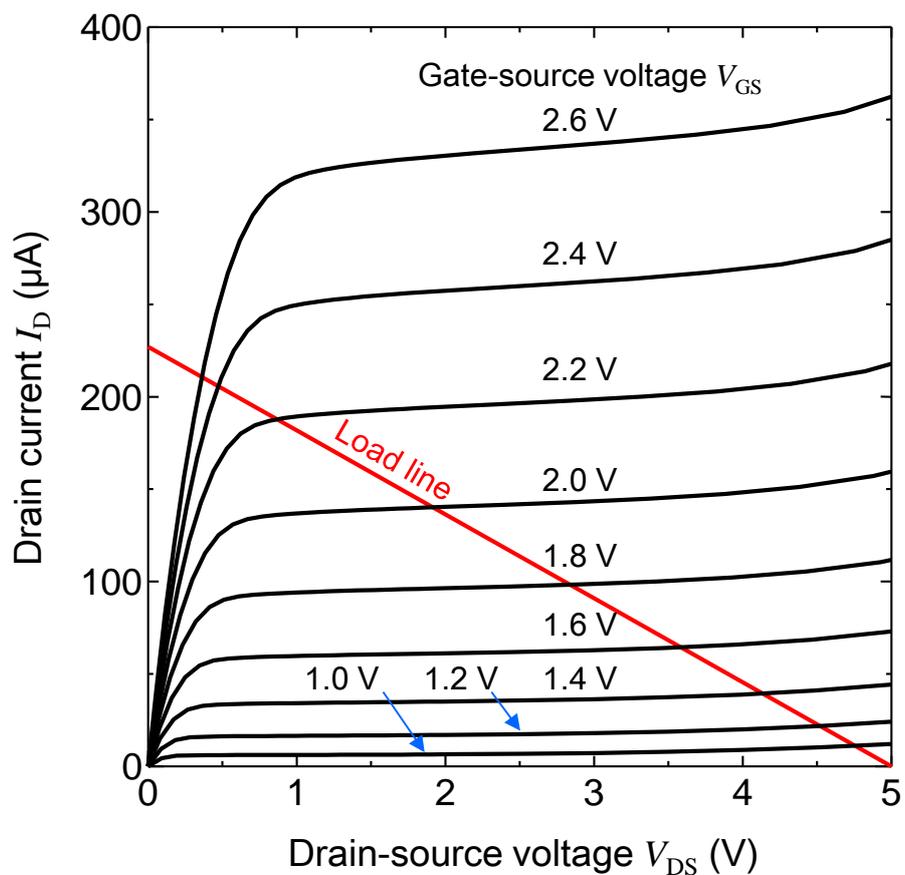


図 4.4 ドレイン・ソース間電圧対ドレイン電流特性および負荷線

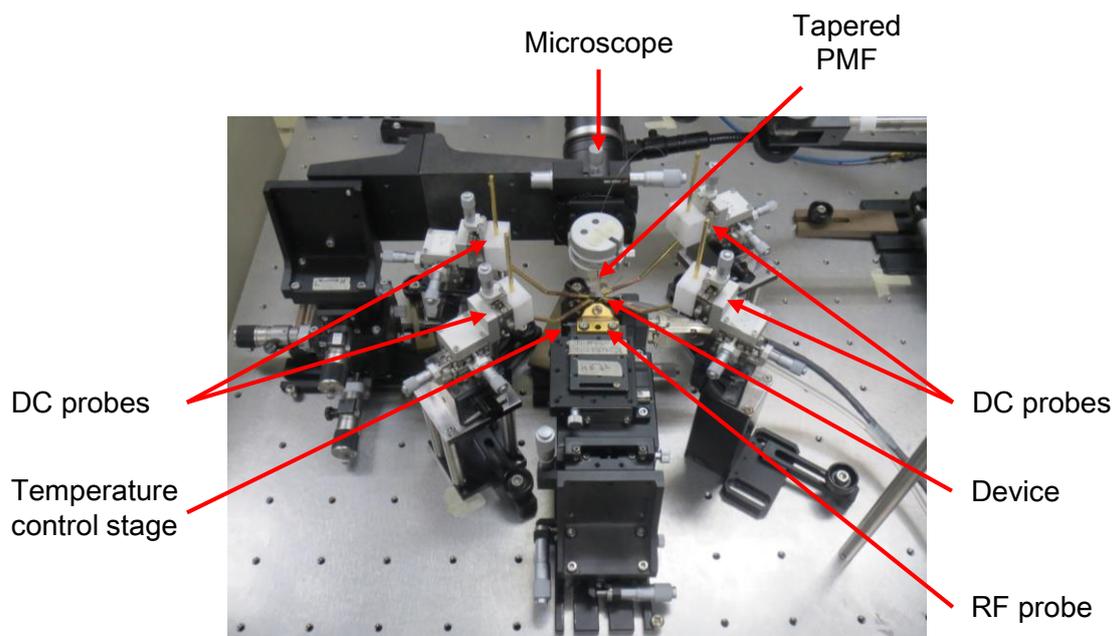


図 4.5 測定系の写真

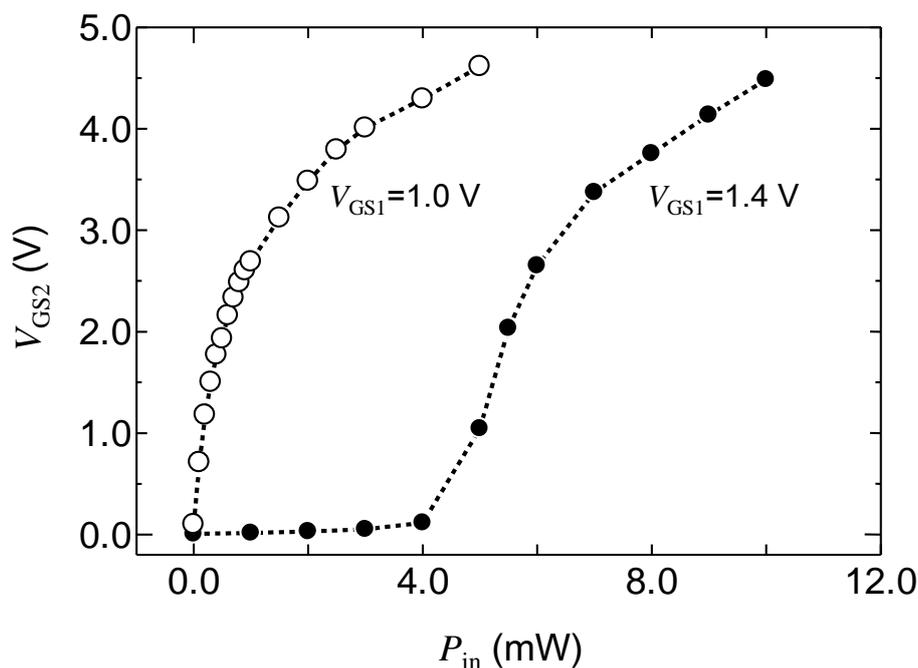


図 4.6 P_{in} の変化に対する V_{GS2} の変化

図 4.6 に、測定により得られた P_{in} と V_{GS2} の関係を示す。本図より、表面プラズモン検出器へ入射する光強度の増加に伴い、MOSFET1 のドレイン・ソース間電圧 V_{DS1} すなわち MOSFET2 のゲート・ソース間電圧 V_{GS2} が増加していることが分かる。また、 $V_{GS1}=1.4$ V では、 $V_{GS1}=1.0$ V の場合と比べて、入力光強度 4 mW 以下における V_{GS2} の変化が小さい。この非線形性は、表面プラズモン検出器の電流電圧 (V_P - I_{D1}) 特性、および MOSFET1 のドレイン・ソース間電圧ドレイン電流 (V_{DS1} - I_{D1}) 特性を用いて説明できる。図 4.7 に、 V_P - I_{D1} 特性および V_{DS1} - I_{D1} 特性を同一のグラフ上に示す。なお、 V_P - I_{D1} 特性においては、表面プラズモン検出器の受光感度 24 nA/mW、および $P_{in}=0$ mW における電流電圧特性を用いて描いた。また、 V_{DS1} - I_{D1} 特性は、 $V_{GS1}=1.0$ V における特性である。MOSFET の飽和領域で I_{D1} が増加している理由は、チャンネル長変調効果によるものと考えられる。同図より、入力光強度の増加に伴い、各曲線の交点、すなわち動作点が変わることが分かる。この P_{in} の変化に対する動作点の変化は、図 4.6 に示した P_{in} の変化に対する V_{GS2} の変化と一致した。

以上の結果は、表面プラズモン検出器から生成された光電流が MOSFET1 のドレイン・ソース間を流れ、MOSFET1 の V_{DS1} - I_{D1} 特性に対応して V_{DS1} が変化したことを示している。また、 V_{DS1} の大きさは、 V_{GS1} によって変化可能であることが確認できた。

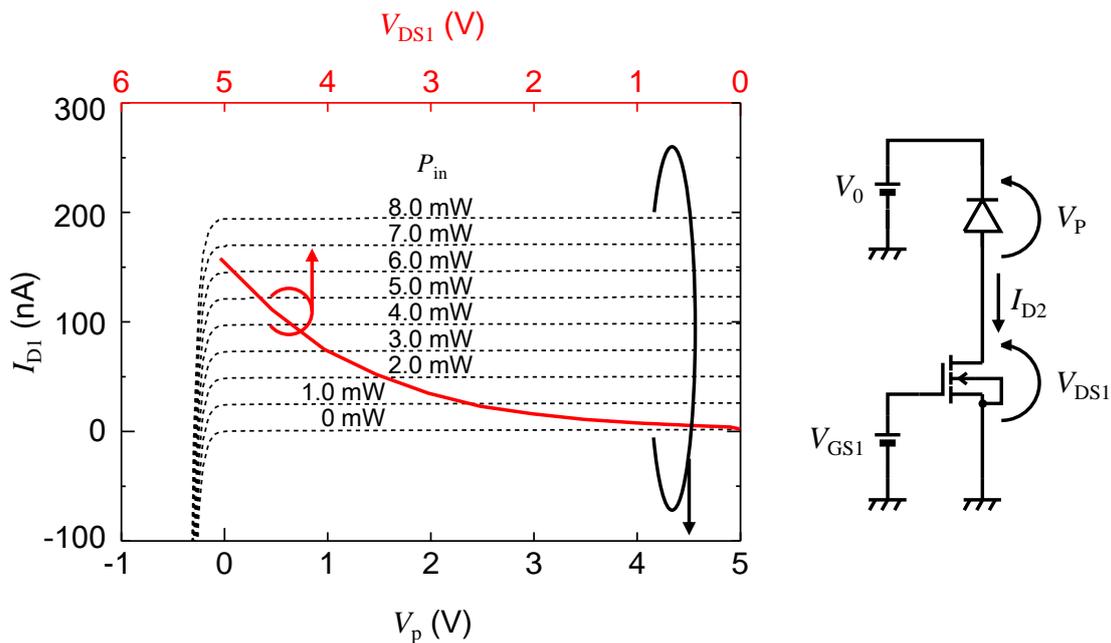


図 4.7 表面プラズモン検出器および MOSFET1 の電流電圧特性

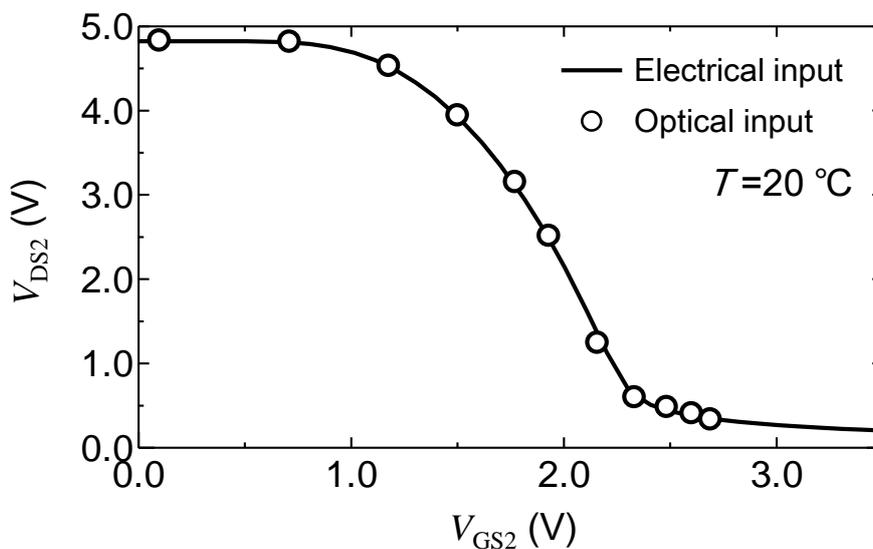
図 4.8 V_{GS2} - V_{DS2} 特性

図 4.8 に、各入力光強度 P_{in} に対する V_{DS2} と V_{GS2} の関係を示す。また、同図に、外部電源を用いて電氣的に V_{GS} を与えた場合の結果を合わせて示す。なお、入力光強度は 0 mW から 1.0 mW まで増加させた。また、MOSFET1 のバイアス条件として $V_{GS1}=1.0$ V とした。 P_{in} の増加に対する V_{GS2} の変化は、図 4.6 で示した通りであるが、その V_{GS2} の増加に伴い、出力電圧 V_{DS2} が変化することが確認できた。この表面プラズモン検出器に光を入力した場合の結果は、電気入力における結果と一致した。また、 $V_{GS2}=2.0$ V にお

いて電圧増幅率は $A_v=5$ であり、その増幅率は $V_{GS2}=2.2\text{ V}$ 以降に低下した。このソース接地増幅回路における電圧増幅の結果は、図 4.4 に示した負荷線から予測される傾向と一致する。

以上の結果は、表面プラズモン検出器から生成された光電流が MOSFET1 のドレイン・ソース間を流れ、これにより MOSFET2 のゲート・ソース間電圧が発生し、この電圧がソース接地増幅回路によって増幅したことを意味している。

次に、図 4.9 に、各入力光強度 P_{in} に対する I_{D2} と V_{GS2} の関係を示す。また、同図に、外部電源を用いて電氣的に V_{GS} を与えた場合の結果を合わせて示す。なお、入力光強度は 0 mW から 2.7 mW まで増加させた。また、回路のバイアス条件は、 $V_p=5.0\text{ V}$ 、 $V_{GS1}=1.4\text{ V}$ 、 $V_{CC}=2.0\text{ V}$ とした。 P_{in} の増加に対する V_{GS2} の変化は、図 4.6 で示した通りであるが、その V_{GS2} の増加に伴い、ドレイン電流 I_{D2} が変化することが確認できた。この表面プラズモン検出器に光を入力した場合の結果は、電気入力における結果と一致した。

また、図 4.10 に示す通り、 $P_{in}=6.0\text{ mW}$ 以上では、単位入力光強度あたりのドレイン電流の変化は、 $340\text{ }\mu\text{A/mW}$ であった。一方、表面プラズモン検出器の受光感度は 24 nA/mW であった。したがって、本結果は、モノリシックに集積された MOSFET によって光電流が約 14000 倍増幅したことを意味する。

以上で述べた結果は以下の通りにまとめられる。

- 表面プラズモン検出器から生成された光電流が MOSFET1 のドレイン・ソース間に流れることによって、MOSFET2 にゲート電圧が与えられた。この結果は、表面プラズモン検出器と MOSFET1 の電流電圧特性より裏付けられた。
- 光入力により与えられたゲート電圧により、MOSFET と抵抗で構成されるソース接地増幅回路が動作した。この結果は、電気入力の結果および負荷線から得られる結果に裏付けられた。
- モノリシックに集積された MOSFET によって、表面プラズモン検出器から生成された光電流が約 14000 倍増幅した。この結果は、電気入力の結果より裏付けられた。

以上より、表面プラズモン検出器と MOSFET で構成されるモノリシック集積回路が実現できたと結論付けられる。

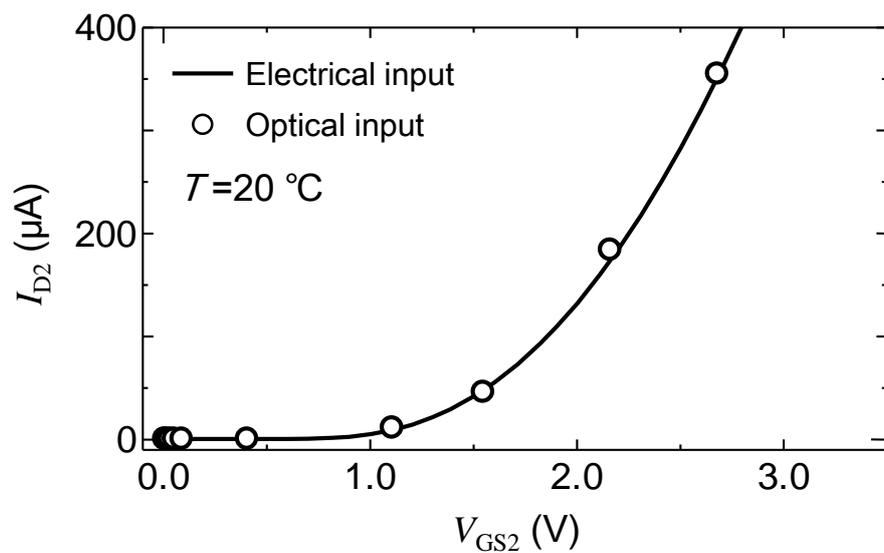


図 4.9 V_{GS2} - I_{D2} 特性

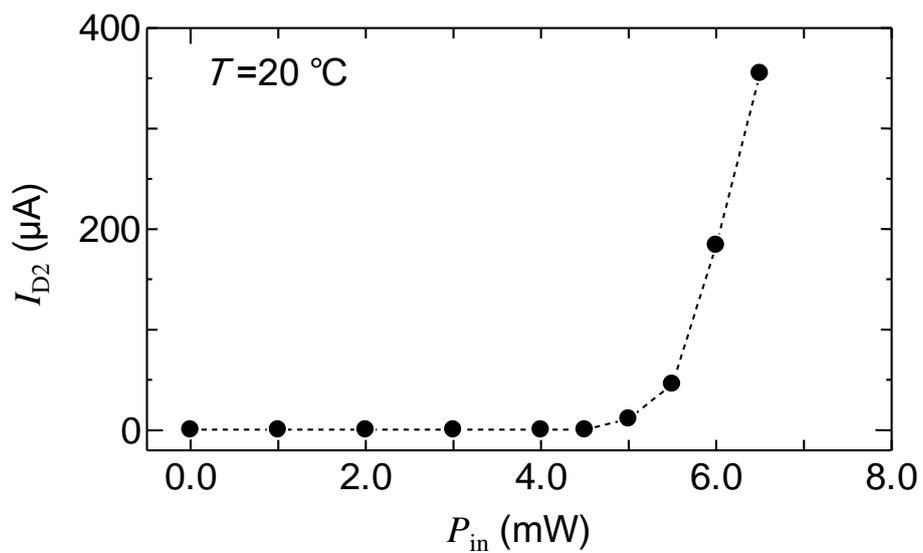


図 4.10 P_{in} - I_{D2} 特性

4.4.3 光強度変調信号による交流動作

入力光の強度を変調し、回路の交流動作特性を測定した。光源として DFB レーザを用い、直流電流 50.00 mA（閾値電流の 6.3 倍）に振幅 5.00 mA、周波数 1 MHz の正弦波電流を重畳し強度変調を行った。変調前のレーザの発振波長は 1550.38 nm、ファイバからの出力光強度は 7.2 mW である。回路のバイアス条件は、 $V_p=5$ V、 $V_{GS1}=1.4$ V、 $V_{CC}=2$ V とした。図 4.11 に示すように、MOSFET2 から出力される信号をバイアス T およびプリアンプを介してスペクトラムアナライザにより観測した。スペクトラムアナライザにおける信号の観測条件は、分解能帯域幅 1.0 Hz、ビデオ帯域幅 1.0 Hz とした。

図 4.12 に、観測した信号のスペクトルを示す。図 4.12 (a) に示すように、表面プラズモン検出器に強度変調光を照射した場合、変調周波数である 1 MHz に明確なピークが観測された。一方、図 4.12 (b) に示すように、表面プラズモン検出器に強度変調光を照射しない場合には、そのピークは観測されなかった。

以上の結果より、表面プラズモン検出器と MOSFET で構成されるモノリシック集積回路の交流動作を確認した。

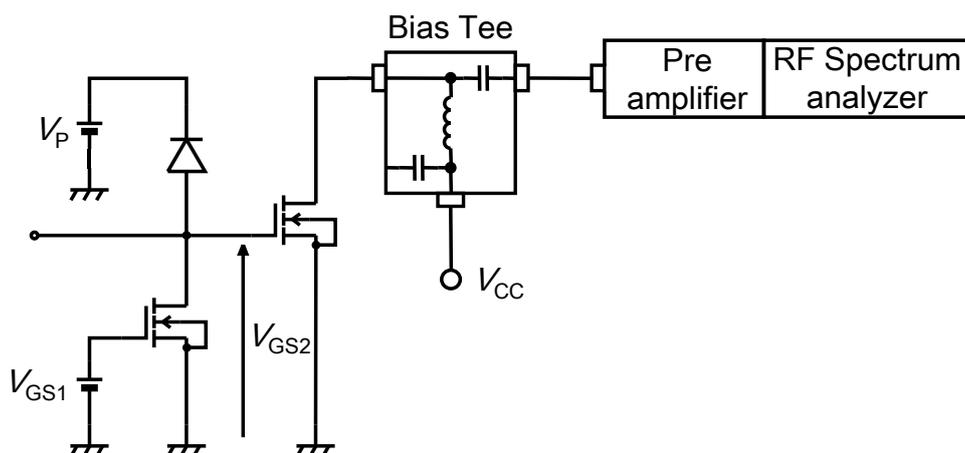
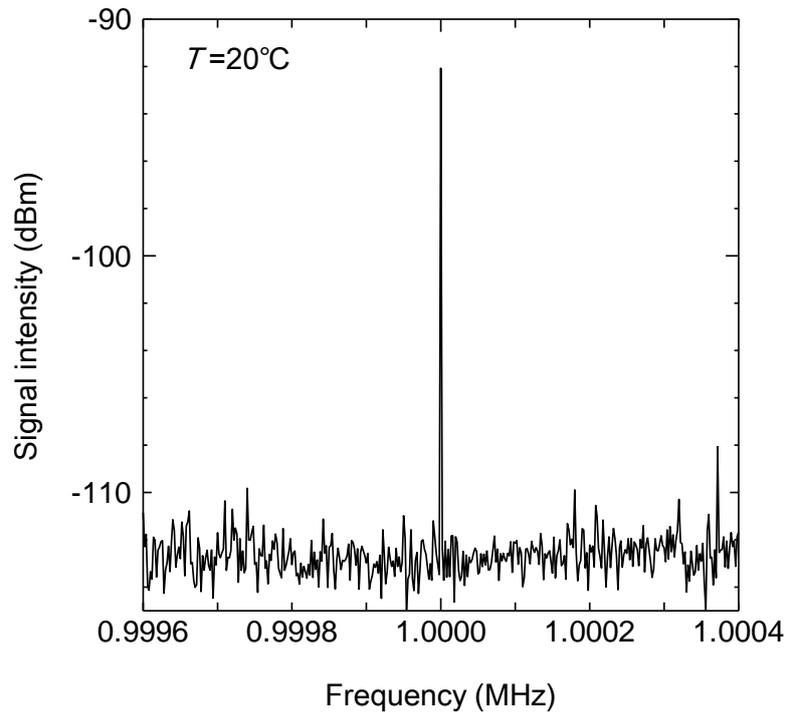
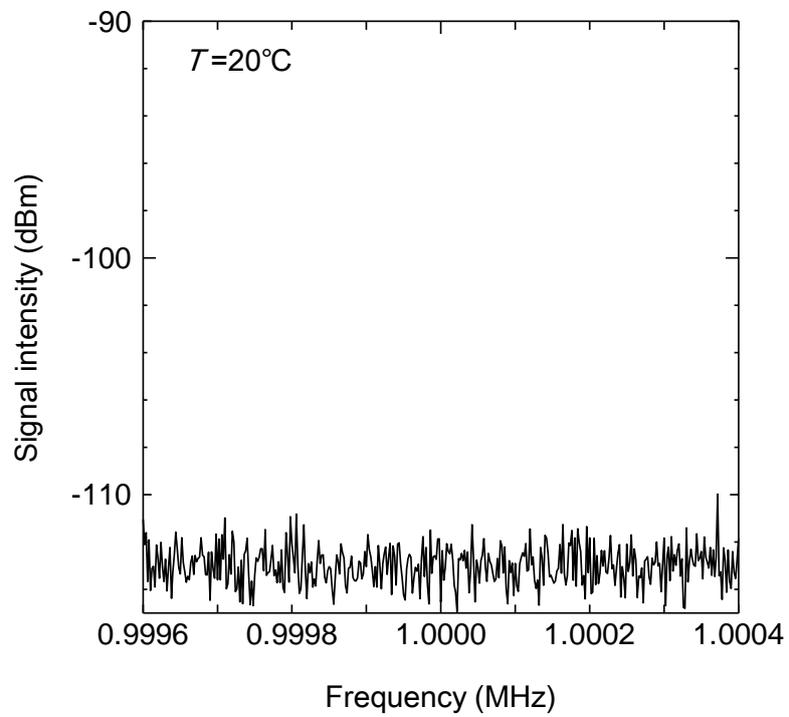


図 4.11 動特性の測定回路



(a) 光照射



(b) 光非照射

図 4.12 MOSFET2 から出力される信号スペクトル

4.5 表面プラズモン検出器と導波路の集積化

4.4 節で述べたモノリシック集積回路に、表面プラズモン導波路を集積するための事前検討として、表面プラズモン検出器と表面プラズモン導波路の集積化を行った。本節では、本集積化構造の概要を説明した後、デバイスに用いたグレーティング構造の設計およびデバイスの特性について述べる。

4.5.1 集積化構造

図 4.13 に、表面プラズモン検出器と表面プラズモン導波路の集積化構造を示す。本デバイスは、 n 型シリコン基板と金薄膜で構成され、金薄膜には二つのグレーティングが形成されている。

本デバイスの動作原理は以下の通りである。

- グレーティング A への光照射により、回折光が生成される。
- この回折光が空気と金界面の表面プラズモンと結合する。
- 空気と金の界面を表面プラズモンが導波する。
- グレーティング B への表面プラズモンの入射により、回折光が生成される。
- この回折光が金とシリコン界面の表面プラズモンと結合する。
- 内部光電子放出の原理に基づき、金/シリコンのショットキー界面から光電流が生成される。

すなわち、空気とシリコンの界面が表面プラズモン導波路、金とシリコンの界面がショットキー型の表面プラズモン検出器として機能する。

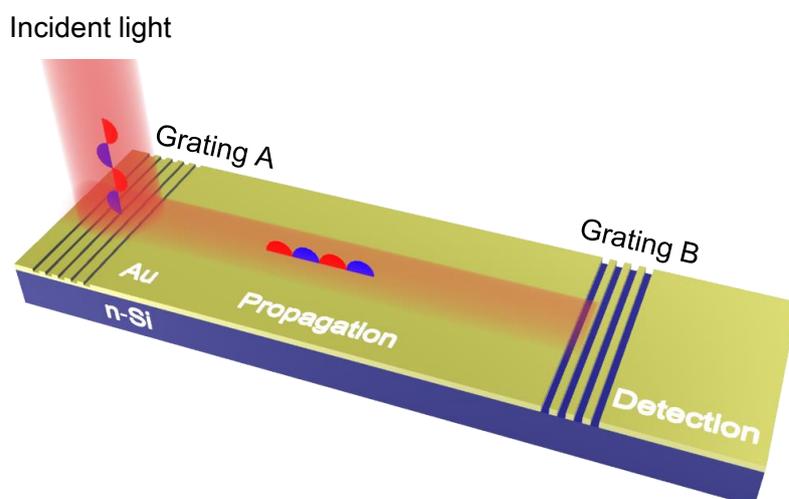


図 4.13 表面プラズモン検出器と導波路の集積化構造

本デバイスは、シリコンと金属のみで構成されるため、同一シリコン上に形成される電子デバイスとのプロセスおよび材料の整合性が高い。加えて、式 (2.12) から求められる空気とシリコン界面の表面プラズモンの伝搬距離は $340 \mu\text{m}$ であり、表面プラズモン導波路の中では比較的 low 損失である。なお、金とシリコン界面の伝搬距離は $7 \mu\text{m}$ である。ショットキー界面での光吸収を考慮すれば、この値はさらに短くなると考えられる。したがって、本デバイスは、集積化に適する簡易な構造であり、低損失導波路を伝搬した表面プラズモンを光電流に変換することができる。

本デバイスにおける材料および構造の選定理由は、2.4 節で述べた表面プラズモン検出器における理由と同じである。

4.5.2 グレーティング構造の設計

FDTD 法に基づいた電磁界解析により、回折光を生成するためのグレーティング B の設計を行った。図 4.14 に計算モデルを示す。また、計算の条件を表 4.3 にまとめて示す。y 方向には、周期境界条件 (PBC : Periodic Boundary Condition) を適用し、y 方向に無限に長い構造体を仮定した。なお、媒質の複素屈折率の値は文献を参照した^[41]。x 方向に向かう空気と金界面の表面プラズモンは、自由空間波長 1550 nm の x 偏光をグレーティングに照射することにより励振した。

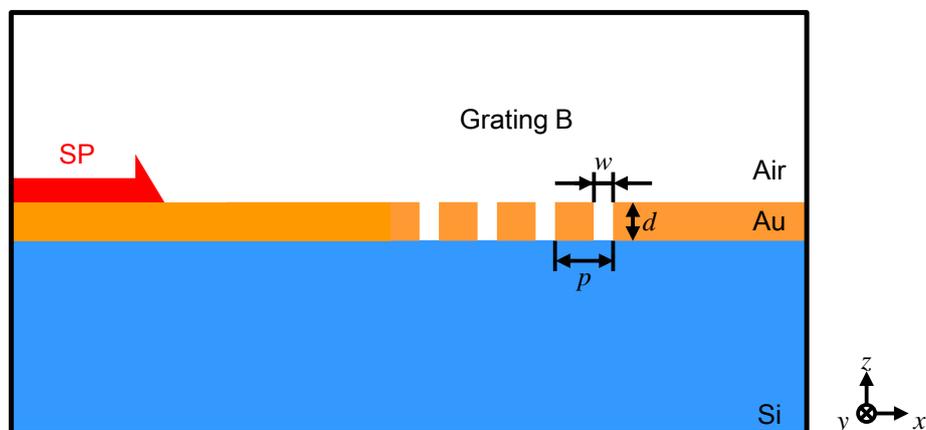


図 4.14 電磁界解析のモデル

表 4.3 電磁界解析の条件

Base conditions	Mesh spacing	$x: 10 \text{ nm}, y: 10 \text{ nm}, z: 10 \text{ nm}$
	Time spacing	21.79285 as
	Boundary condition	$x: \text{Mur } 1^{\text{st}}, y: \text{PBC}, z: \text{Mur } 1^{\text{st}}$
Refractive indices	Au	$0.55+i11.5$
	Si	3.47644

本計算モデルを用いて、観測点で電界強度が最大となるグレーティング構造を決定した。観測点は、グレーティング B の右端部から x 方向に $5 \mu\text{m}$ 離れた金とシリコンの界面とした。設計の順序は、(1) 単一スリットにおける最適なスリット幅 w の決定、(2) 二つのスリットにおける最適なスリット間隔 p の決定、(3) スリット数 n の決定とした。なお、スリット深さ（金の膜厚） d は、2.5.2 項で述べた通り、スリット内部で表面プラズモンの共振条件を満たす 300 nm とした。設計の結果、最適なスリット幅 $w=100 \text{ nm}$ 、スリット間隔 $p=1200 \text{ nm}$ 、およびスリット数 $n=4$ が得られた。なお、この最適なスリット間隔は、式 (2.13) を拡張して得られる下式の条件^[36]を満たす。すなわち、空気と金の界面を導波した表面プラズモンが複数のスリットにより回折し、金とシリコン界面の表面プラズモンと結合することを意味する。

$$p = M \frac{2\pi}{k_{\text{Au/Si}} - k_{\text{air/Au}}} \quad (4.2)$$

ここで、 M は回折次数、 $k_{\text{Au/Si}}$ は金とシリコン界面の表面プラズモンの波数、 $k_{\text{air/Si}}$ は空気と金界面の表面プラズモンの波数である。

図 4.15 に、単一スリットおよび 4 本のスリットを有するグレーティング構造における電磁界解析結果を示す。同図より、スリットを周期的に並べグレーティング構造とすることで金とシリコン界面の電界強度が増大していることが分かる。また、グレーティング構造における観測点での電界強度は、単一スリットの場合のそれと比較して 4.1 倍であることが分かった。

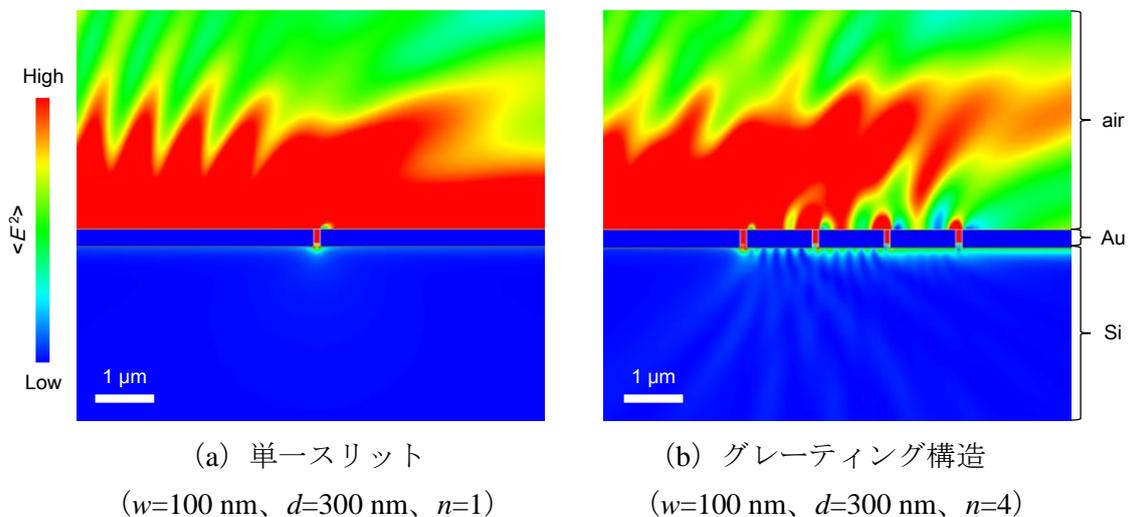


図 4.15 電界強度分布の計算結果

図 4.16 に、空気と金界面における電磁界強度のラインプロファイルを示す。同図より、グレーティング B が無い場合、空気と金の界面に発生する表面プラズモンは、強度を減衰させながら伝搬していることが分かる。一方、グレーティング B が有る場合、グレーティングの左側に周期的な強度の増減が現れている。この増減の周期は、空気と金界面における表面プラズモンの波長の 1/2 である。これより、この周期的な周期の増減は、グレーティング B に入射する表面プラズモンとグレーティング B から反射する表面プラズモンの干渉により生じたと考えられる。

表面プラズモンの反射率は、干渉パターンコントラストより計算できる (付録 E)。位置 x における干渉パターンコントラストを $C(x)$ 、表面プラズモンの振幅反射率を r とすれば、

$$r = \frac{1 - \sqrt{1 - C(x)^2}}{C(x)e^{-2\alpha x}} \quad (4.3)$$

の関係が成り立つ^[42]。ここで、 α は表面プラズモンの減衰距離 (電界振幅が $1/e$ になる距離) である。また、コントラストは次のように定義される。

$$C(x) = \frac{I_{\max} - I_{\min}}{I_{\max} + I_{\min}} \quad (4.4)$$

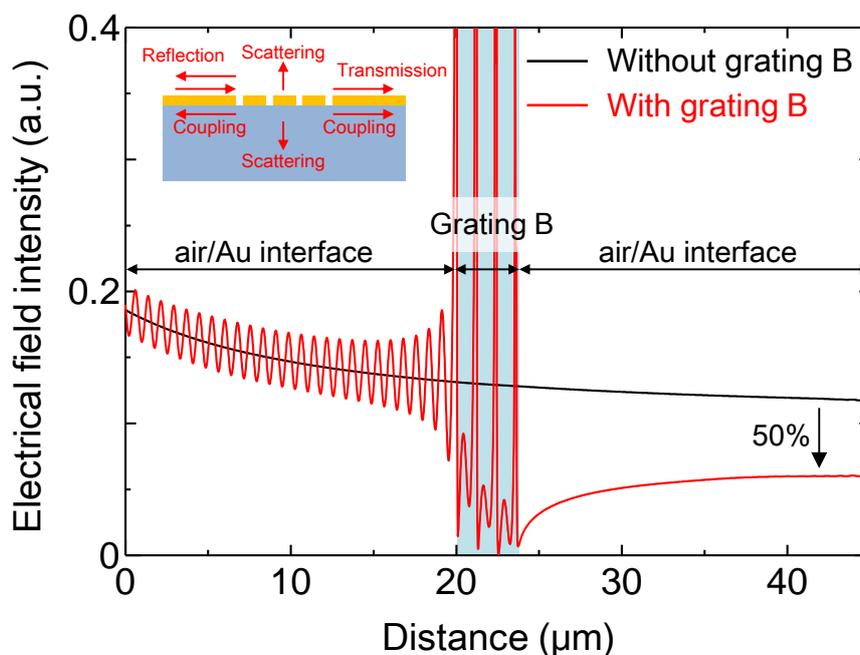


図 4.16 空気/金界面の電界強度のラインプロファイル

ここで、 I_{\max} および I_{\min} はそれぞれ干渉パターン強度の最大値および最小値を表す。式 (4.3) より、金膜厚 300 nm、スリット幅 100 nm、スリット周期 1200 nm、スリット数 4 本のグレーティング B における表面プラズモンの振幅反射率および強度反射率 ($R=r^2$) は、それぞれ 17% および 3% であることが分かった。

また、グレーティング B がある場合、その右側に電界強度が現れている。これは、グレーティング B で散乱された光が再び空気と金界面の表面プラズモンモードと結合したためである。この表面プラズモンの右側への透過率は、グレーティング B が有る場合と無い場合の電界強度の比より求められる^[43]。本グレーティング B における表面プラズモンの透過率は、50%であった。

以上の結果より、空気と金界面を伝搬する表面プラズモンが、グレーティング B によって金とシリコン界面の表面プラズモンに変換される割合は、透過および反射の割合を全体から差し引いた 47% 以下であると見積もられる。また、グレーティング B から空気側に放射される割合を考慮すれば、金とシリコン界面の表面プラズモンとの結合の割合はこの値よりもさらに低くなると考えられる。

4.5.3 デバイスの作製

4.5.2 項で述べた設計に基づき、表面プラズモン導波路と表面プラズモン検出器を集積したプラズモニックデバイスを作製した。図 4.17 に、作製したプラズモニックデバイスの SEM 像を示す。抵抗加熱蒸着により、厚さ 300 nm の金薄膜を n 型シリコン基板上に成膜し、その後、FIB 装置により、グレーティング A および B を形成した。グレーティング間の距離は 100 μm とした。この場合、3.7.3 項で述べた減衰距離 (151 μm) より、グレーティング A で発生した表面プラズモンの強度は、グレーティング B に到達したとき、51%程度まで減衰することが分かる。

なお、グレーティング A の各トレンチは、シリコン側までエッチングせず、その深さを約 250 nm とした。この場合、金薄膜の厚さは約 50 nm となる。一方、励起電子の脱出深さは約 10 nm である^[44]。また、自由空間波長 1550 nm の光に対する表皮深さは 5.6 nm である^[45]。これより、金表面に入射する光強度を 1 とすれば、脱出深さまで侵入する光強度は 7.9×10^{-4} と計算される。したがって、厚さ 50 nm の金表面に入射する光は、光電流にほとんど寄与しないことが分かる。

また、電磁界解析による設計により、グレーティング A のトレンチ間隔およびトレンチ幅は、それぞれ 1500 nm および 700 nm とした。

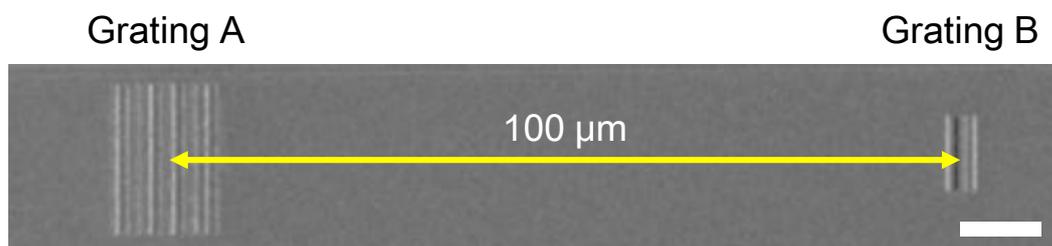
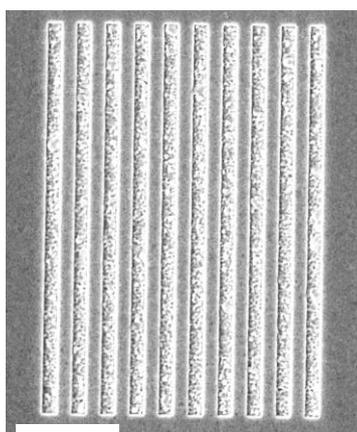
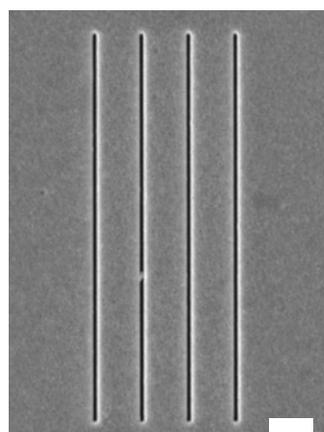
(a) 全体像 (Bar : 10 μm)(b) グレーティング A (Bar : 5 μm)(c) グレーティング B (Bar : 1 μm)

図 4.17 プラズモニックデバイスの SEM 像

4.5.4 デバイスの特性評価

はじめに、グレーティング A に照射する光の偏光角と光電流の関係を測定した。光の照射および偏光角の調整方法は、2.7.2 項で述べた方法と同様である。また、入射光波長を 1550 nm、入射光強度を 10 mW となるように、波長可変光源の出力を調整した。図 4.18 に、測定した光電流の偏光角依存性を示す。なお、 x 偏光 ($\theta=0, 180$ deg.) は、光の電界の振動方向がスリットの長軸に対して垂直な方向の光を、 y 偏光 ($\theta=90$ deg.) は、光の電界の振動方向がスリットの長軸に対して平行な方向を意味する。同図より、 x 偏光において光電流が増大していることが分かる。表面プラズモンは、 x 偏光の場合に励起されることから、この x 偏光における光電流は、表面プラズモンの励起に由来すると考えられる。

次に、グレーティング A に x 偏光の光を照射し、光電流の入射光強度依存性を測定した。図 4.19 に、グレーティング B を有するデバイスおよび有していないデバイスにおける結果をそれぞれ示す。同図より入射光強度の増加に伴う光電流の増加を確認した。また、グレーティング B を有していないデバイスの受光感度が 5 pA/mW であるのに対し、グレーティング B を有するデバイスの受光感度は 88 pA/mW に増大した。本結果は、グレーティング B によって、空気と金界面を導波する表面プラズモンが金とシリコン界面の表面プラズモンと結合したことを示している。

以上の結果より、作製したプラズモニックデバイスにおける表面プラズモンの導波および検出を確認することができた。

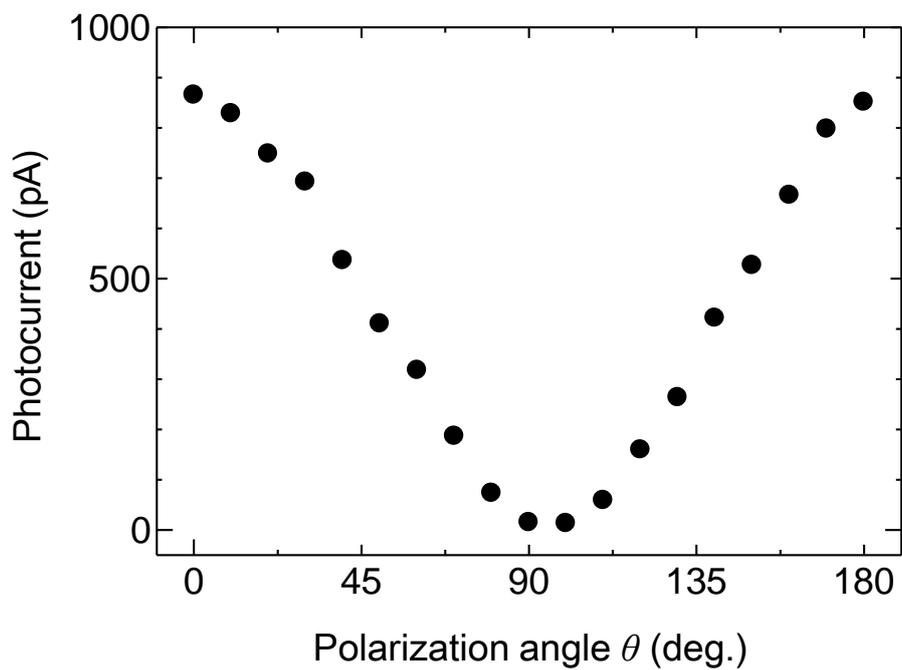


図 4.18 光電流の偏光角依存性

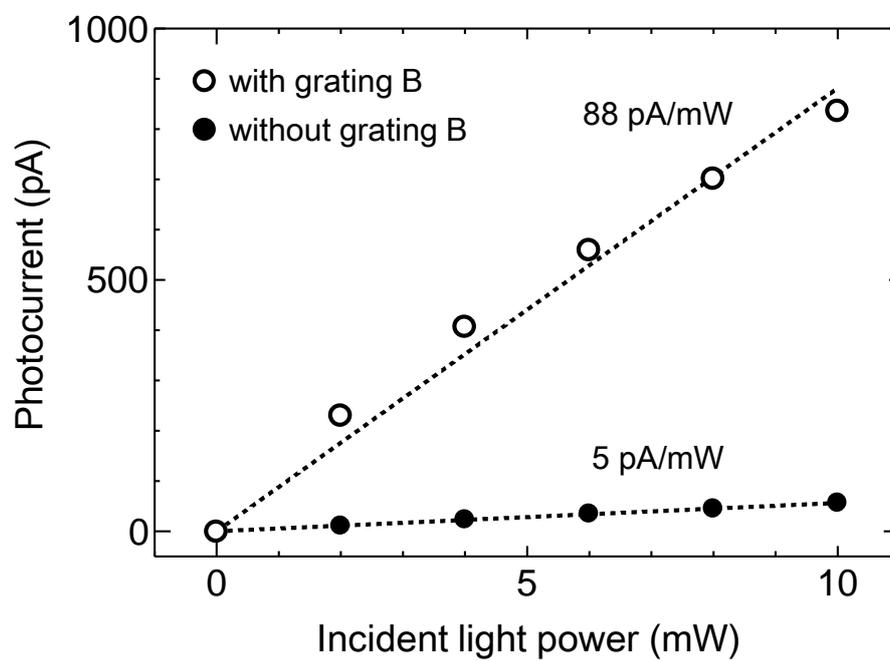


図 4.19 光電流の入射光強度依存性

4.6 表面プラズモン導波路付電界効果トランジスタ

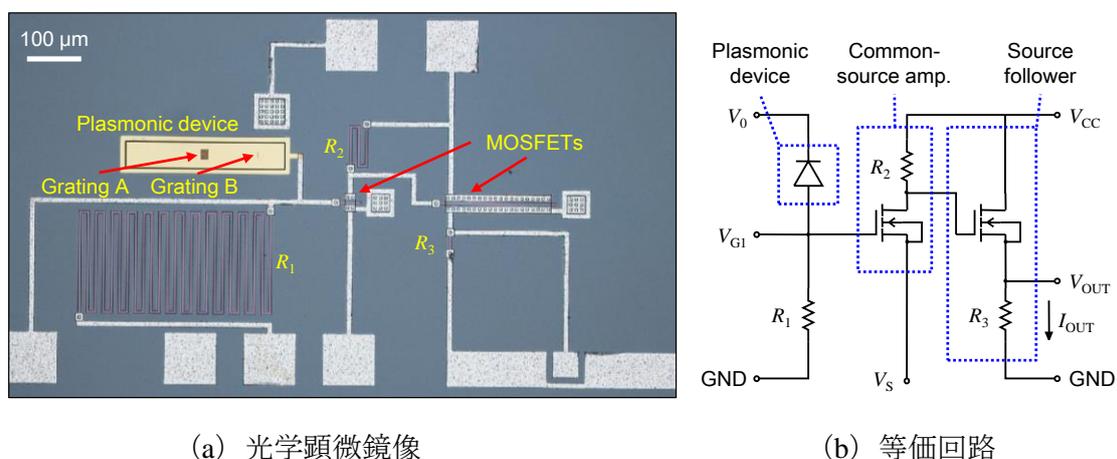
前節で述べたプラズモニックデバイスを MOSFET とモノリシック集積した。本節では、集積回路の構成について述べた後、本集積回路の動作特性について述べる。

4.6.1 集積回路の構成

4.3 節に示した集積化プロセスを用いて、表面プラズモン導波路と検出器、および MOSFET で構成される集積回路を作製した。図 4.20 に、作製した素子の光学顕微鏡像および等価回路図を示す。

回路は、一つのプラズモニックデバイスと二つの n チャネル MOSFET で構成され、それらはアルミ配線によって電氣的に接続されている。プラズモニックデバイスから生成される光電流は抵抗 R_1 を流れ、これによりソース接地増幅回路の MOSFET にゲート電圧が与えられる。また、ソース接地増幅回路の出力はソースフォロワを介して出力される。なお、ソース接地増幅回路の動作点は MOSFET のソース側に与えるバイアス電圧 V_s によって調整可能である。これにより、プラズモニックデバイスからの出力電流と抵抗 R_1 の積が、ソース接地増幅回路の MOSFET の閾値電圧より低くても、入力電圧がその閾値電圧を超えるようにソース側のバイアス電圧を調整することで、回路を動作させることができる。

$5\ \mu\text{m}$ のプロセスルールに従い本素子を作製した。ソース接地増幅回路の MOSFET のチャンネル長およびチャンネル幅は、それぞれ $5\ \mu\text{m}$ および $20\ \mu\text{m}$ であり、ソースフォロワの MOSFET のチャンネル長およびチャンネル幅は、それぞれ $5\ \mu\text{m}$ および $200\ \mu\text{m}$ である。また、プラズモニックデバイスにおける金とシリコンの接触面積は $50\ \mu\text{m} \times 300\ \mu\text{m}$ である。



(a) 光学顕微鏡像 (b) 等価回路
図 4.20 モノリシック集積回路の光学顕微鏡像および等価回路

4.6.2 信号の増幅特性

はじめに、外部電源を用いて回路の増幅特性を測定した。図 4.21 に、入力電圧 V_{G1} の変化に対する出力電圧 V_{OUT} の変化を示す。各バイアス電圧および抵抗値は、それぞれ $V_{CC}=4\text{ V}$ 、 $R_1=4.41\text{ M}\Omega$ 、 $R_2=208\text{ k}\Omega$ 、 $R_3=830\text{ }\Omega$ である。本結果より、電子回路の増幅動作を確認した。また、 $V_{G1}=0\text{ V}$ かつ $V_S=1.2\text{ V}$ での電圧増幅率は 1.5 倍であることが分かった。

次に、プラズモニックデバイスのグレーティング A に x 偏向の光 (自由空間波長 1550 nm) を照射し、その入射光強度と出力電流および出力電圧の関係を測定した。図 4.22 に、出力電流および出力電圧の入射光強度依存性を示す。

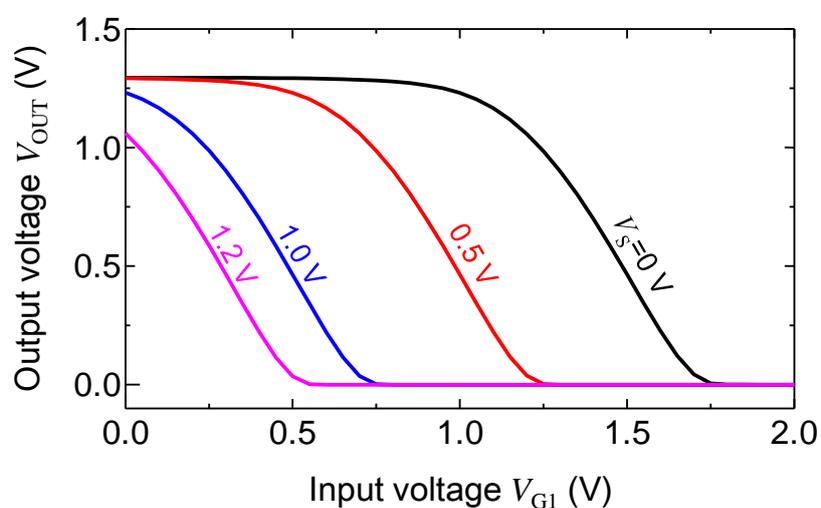


図 4.21 入力電圧に対する出力電圧の変化

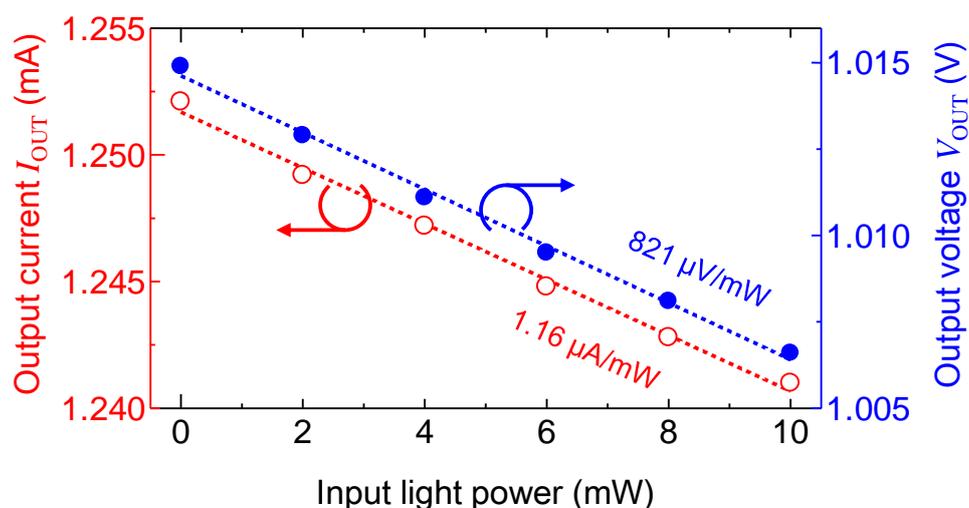


図 4.22 出力電流および出力電圧の入射光強度依存性

各バイアス電圧は、それぞれ $V_{CC}=4\text{ V}$ 、 $V_0=5\text{ V}$ 、 $V_S=-1.2\text{ V}$ である。本図より、プラズモニックデバイスに照射する光強度の増加に伴い、回路の出力電流が減少していることが分かる。この結果は、プラズモニックデバイスから生成される光電流が、ソース接地増幅回路を動作させ、その出力信号はソースフォロワを介して出力されたことを示している。また、本集積回路における単位入射光強度あたりの出力電流の変化は、 $1.16\text{ }\mu\text{A/mW}$ であった。一方、プラズモニックデバイス単体での受光感度は 71 pA/mW であった。すなわちこれは、プラズモニックデバイスの出力電流が、本回路によって約 16000 倍に増幅されて出力されたことを意味している。

以上の結果より、プラズモニックデバイスと MOSFET で構成される集積回路の直流動作を確認した。

4.6.3 光強度変調信号による交流動作

入力光の強度を変調し、回路の交流動作特性を測定した。光源として DFB レーザを用い、直流電流 72.20 mA （閾値電流の 9.1 倍）に振幅 30.00 mA 、周波数 1 MHz の正弦波電流を重畳し強度変調を行った。変調前のレーザの発振波長は 1550.42 nm 、ファイバからの出力光強度は 10 mW である。回路のバイアス電圧および抵抗値はそれぞれ、 $V_0=5\text{ V}$ 、 $V_{G1}=-1.6\text{ V}$ 、 $V_{CC}=5\text{ V}$ 、 $R_1=156\text{ k}\Omega$ 、 $R_2=116\text{ k}\Omega$ 、 $R_3=695\text{ }\Omega$ である。回路の出力信号を分解能帯域幅 10 Hz 、ビデオ帯域幅 10 Hz の条件でスペクトラムアナライザにより観測した。図 4.23 に、観測した信号のスペクトルを示す。同図が示す通り、プラズモニックデバイスのグレーティング A に強度変調光を照射した場合、変調周波数である 1 MHz に明確なピークが観測された。一方、強度変調光を照射しない場合には、そのピークは観測されなかった。以上の結果より、プラズモニックデバイスと MOSFET で構成されるモノリシック集積回路の交流動作を確認した。

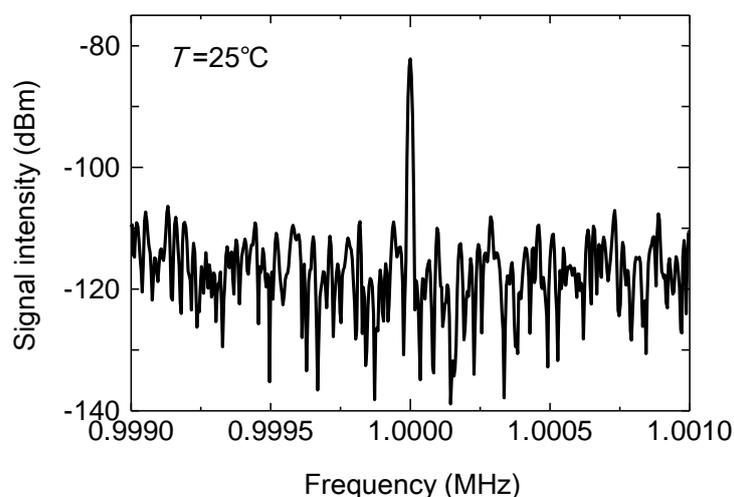


図 4.23 強度変調光の照射時における回路の出力信号スペクトル

4.6.4 コヒーレント光信号による交流動作

遅延自己ホモダイン法を用いて、コヒーレント光信号による回路の交流動作特性を測定した。図 4.24 に、実験系を示す。波長可変光源から出射されるレーザ光は偏波コントローラを介してファイバカプラに入射する。ファイバカプラで分岐した光の一方は、7 km のシングルモード光ファイバで遅延し、その後偏波コントローラに入射する。各光路を通った光は偏波面を合わせて再びファイバカプラ内で合波する。この合波した光は、テーパ型 PMF を介してプラズモニックデバイスのグレーティング A に入射する。なお、入射光波長および入射光強度は、それぞれ 1540 nm および 0.6 mW である。回路のバイアス電圧を $V_{CC}=4$ V、 $V_0=10$ V、 $V_S=-1.2$ V とし、回路の出力信号を RF スペクトラムアナライザで観測した。スペクトラムアナライザにおける信号の観測条件は、分解能帯域幅 200 Hz、ビデオ帯域幅 20 Hz とした。また、回路の抵抗値は、 $R_1=4.41$ M Ω 、 $R_2=208$ k Ω 、 $R_3=830$ Ω である。

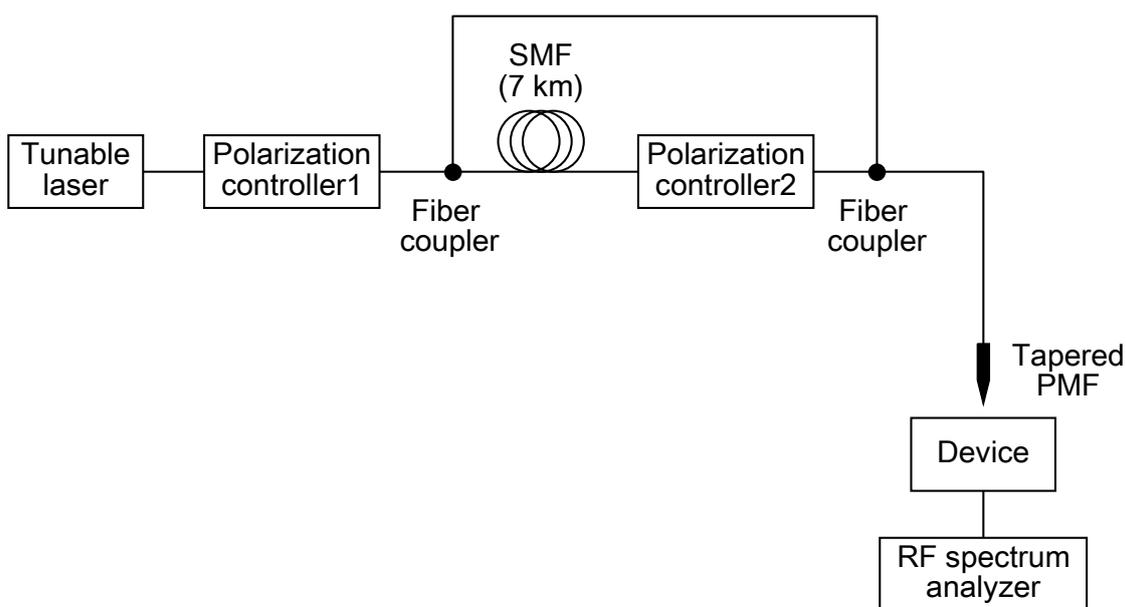


図 4.24 遅延自己ホモダイン検波系

図 4.25 に、RF スペクトラムアナライザにより観測した回路の出力信号スペクトルを示す。なお、低周波数領域におけるデバイスおよび計器の雑音は、本スペクトルから差し引かれている。同図が示す通り、周波数 0 Hz 近傍にスペクトル広がり観測された。また、このスペクトルは、入射光の 2 倍のスペクトル線幅 (20 kHz) のローレンツ関数と良い一致を示した。したがって、本スペクトルは、遅延自己ホモダイン検波によって得られたビートスペクトルであると言える。

3.7.3 項で示した通り、表面プラズモンのコヒーレンス性、すなわちスペクトル線幅は、距離 100 μm の伝搬の過程では変化しない。また、2.7.4 項で示した通り、ショットキー型表面プラズモンは、コヒーレント光信号を検出することができる。また、4.6.3 項で示した通り、本集積デバイスは交流動作が可能である。

以上の結果より、以下のことが言える。本集積デバイスにおいて、表面プラズモンはそのコヒーレンス性を保ったまま空気と金界面を 100 μm 伝搬し、その後、ショットキー型表面プラズモン検出器によってコヒーレント光信号が検出された。その信号は、モノリシックに集積された MOSFET を動作し、コヒーレント光信号を出力した。すなわち、本結果は、表面プラズモンのコヒーレンス性を利用したチップ内光配線技術の実現可能性を示している。

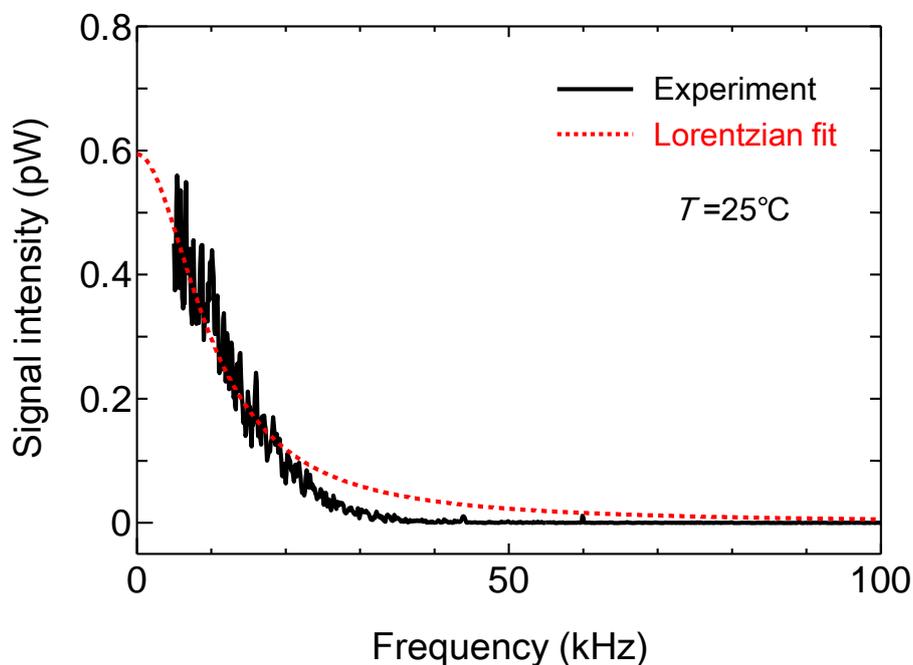


図 4.25 回路から出力された信号スペクトル

4.7 結言

本章では、プラズモニックデバイスと MOSFET のモノリシック集積回路を実現し、表面プラズモン信号による回路の直流および交流動作を実証した。そして、遅延自己ホモダイン法を用いて、コヒーレント光信号による本回路の動作を実証した。本章の要点を以下に示す。

- (1) プラズモニックデバイスと MOSFET のモノリシック集積化プロセスを提案した。それは、MOSFET の形成後に、コンタクトホール形成、金電極形成、および金薄膜の微細加工を施すプロセスである。
- (2) 提案した集積化プロセスにより、表面プラズモン検出器と MOSFET で構成されるモノリシック集積回路を実現した。
- (3) 本回路において、表面プラズモン検出器から生成された光電流が、モノリシックに集積された MOSFET によって約 14000 倍増幅されることを確認した。また、表面プラズモン検出器に強度変調光を照射することで、回路の交流動作を確認することができた。
- (4) 表面プラズモン導波路と表面プラズモン検出器の集積化構造を提案した。それは、金薄膜に二つのグレーティングが形成された構造である。本構造は、集積化に適する簡易な構造であり、低損失導波路（空気と金の界面）を伝搬した表面プラズモンをショットキー型表面プラズモン検出器により光電流に変換することができる。本プラズモニックデバイスの動作は、光電流の偏光角および入射光強度依存性より確認された。
- (5) 提案した集積化プロセスにより、(2) と同様に、(4) で述べたプラズモニックデバイスと MOSFET で構成されるモノリシック集積回路を実現した。
- (6) 本回路において、プラズモニックデバイスを伝送した表面プラズモン信号により、MOSFET が交流および直流動作することを確認した。
- (7) 遅延自己ホモダイン法を用いて、本集積回路を介して、入射光のスペクトルに対応したビート信号を検出した。本結果より、表面プラズモンを信号キャリアとして用いたチップ内コヒーレント光配線技術の実現可能性を明らかにした。

参考文献

- [1] 末田 正, 神谷 武志 : 超高速光エレクトロニクス, 培風館 (1991)
- [2] 松枝 秀明, 吉野 達治 : 応用物理学選書 7. 光・電子集積回路の物理, 裳華房 (1989)
- [3] 飯塚 隆 : 光電子集積回路の基礎技術, オーム社 (1989)
- [4] I. Ury and Y. Lau : “Very high frequency GaAlAs laser field-effect transistor monolithic integrated circuit”, *Appl. Phys. Lett.*, **41**, 126-128 (1982)
- [5] H. Nakano, S. Yamashita, T. P. Tanaka, M. Hirao, and M. Maeda : “Monolithic Integration of Laser Diodes, Photomonitor, and Laser Driving and Monitoring Circuits on a Semi-Insulating GaAs”, *IEEE J. Lightwave Technology*, **LT-4**, 574-582 (1986)
- [6] Y. H. Lo, P. Grabbe, M. Z. Iqbal, R. Bhat, J. L. Gimlett, J. C. Young, P. S. D. Lin, A. S. Gozdz, M. A. Koza, and T. P. Lee : “Multigigabit/s 1.5 μm $\lambda/4$ -Shifted DFB OEIC Transmitter and its Use in Transmission Experiments”, *IEEE Photonics Tech. Lett.*, **2**, 673-674 (1990)
- [7] R. Soref : “Mid-infrared photonics in silicon and germanium”, *Nature Photon.*, **4**, 495-497 (2010)
- [8] S. J. Koester, C. L. Schow, L. Schares, G. Dehlinger, J. D. Schaub, F. E. Doany, and R. A. John : “Ge-in-SOI-Detector/Si-CMOS-Amplifier Receivers for High-Performance Optical-Communication Applications”, *IEEE J. Lightwave Tech.*, **25**, 46-57 (2007)
- [9] H. Nishi, T. Tsuchizawa, R. Kou, H. Shinojima, T. Yamada, H. Kimura, Y. Ishikawa, K. Wada, and K. Yamada : “Monolithic integration of a silica AWG and Ge photodiodes on Si photonic platform for one-chip WDM receiver”, *Optics Express*, **20**, 9312-9321 (2012)
- [10] G. Kim, J. W. Park, I. G. Kim, S. Kim, S. Kim, J. M. Lee, G. S. Park, J. Joo, K.-S. Jang, J. H. Oh, S. A. Kim, J. H. Kim, J. Y. Lee, J. M. Park, D.-W. Kim, D.-K. Jeong, M.-S. Hwang, J.-K. Kim, K.-S. Park, H.-K. Chi, H.-C. Kim, D.-W. Kim, and M. H. Cho : “Low-voltage high-performance silicon photonic devices and photonic integrated circuits operating up to 30 Gb/s”, *Optics Express*, **19**, 26936-26947 (2011)
- [11] S. Assefa, F. Xia, S. W. Bedell, Y. Zhang, T. Topuria, P. M. Rice, and A. Vlasov : “CMOS-integrated high-speed MSM germanium waveguide photodetector”, *Optics Express*, **18**, 4986-4999 (2010)
- [12] H. Pan, S. Assefa, W. M. J. Green, D. M. Kuchta, C. L. Schow, A. V. Rylyakov, B. G. Lee, C. W. Baks, S. M. Shank, and Y. A. Vlasov : “High-speed receiver based on waveguide germanium photodetector wire-bonded to 90 nm SOI CMOS amplifier”, *Optics Express*, **20**, 18145-18155 (2012)
- [13] L. Chen, P. Dong, and M. Lipson : “High performance germanium photodetectors integrated on submicron silicon waveguides by low temperature wafer bonding”, *Optics Express*, **16**, 11513-11518 (2008)
- [14] L. Vivien and L. Pavesi : *Handbook of Silicon Photonics*, CRC Press (2013)
- [15] S. Bernabe, C. Kopp, M. Volpert, J. Harduin, J.-M. Fedeli, and H. Ribot : “Chip-to-chip optical interconnections between stacked self-aligned SOI photonic chips”, *Optics Express*, **20**, 7886-7894 (2012)
- [16] A. Mekis, S. Gloeckner, G. Masini, A. Narasimha, T. Pinguet, S. Sahni, and P. D. Dobbelaere : “A Grating-Coupler-Enabled CMOS Photonics Platform”, *IEEE J. Selected Topics in Quantum Electron.*, **17**, 597-608 (2011)
- [17] E. Ozbay : “Plasmonics: Merging Photonics and Electronics at Nanoscale Dimensions”, *Science*, **311**, 189-193 (2006)
- [18] R. Zia, J. A. Schuller, A. Chandran, and M. J. Brongema : “Plasmonics: The next chip-scale technology” *Materials Today*, **9**, 20-27 (2006)
- [19] J. A. Dionne, L. A. Sweatlock, M. T. Sheldon, A. P. Alivisatos, and A. Atwater, “Silicon-Based Plasmonics for On-Chip Photonics”, *IEEE J. Sel. Topics Quantum Electron.*, **16**, 295-306 (2010)
- [20] D. K. Gramotnev and S. I. Bozhevolnyi : “Plasmonics beyond the diffraction limit”, *Nature Photon.*, **4**, 83-91 (2010)
- [21] H. Ditlbacher, F. R. Aussenegg, J. R. Krenn, B. Lamprecht, G. Jakopic, and G. Leising : “Organic diodes as monolithically integrated surface plasmon polariton detectors”, *Appl. Phys. Lett.*, **89**, 161101/1-161101/3, (2006)
- [22] G. Veronis and S. Fan : “Theoretical investigation of compact coupler between dielectric slab waveguides and two-dimensional metal-dielectric-metal plasmonic waveguides”, *Optics Express*, **15**, 1211-1221 (2007)
- [23] J. Fujikata, K. Nose, J. Ushida, K. Nishi, M. Kinoshita, T. Shimazu, T. Ueno, D. Okamoto, A. Gomyo, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi : “Waveguide-integrated Si Nano-Photodiode with Surface-Plasmon Antenna and its Application to On-chip Optical Clock Distribution”, *Appl. Phys. Express*, **1**, 022001/1-022001/3 (2008)
- [24] D. M. Koller, A. Hohenau, H. Ditlbacher, N. Galler, F. Reil, F. R. Aussenegg, A. Leitner, E. J. W. List, and J. R. Krenn : “Organic plasmon-emitting diode”, *Nature Photon.*, **2**, 684-687 (2008)
- [25] P. Neutens, O. V. Dorpe, I. D. Vlamincck, L. Lagae, and G. Borghs : “Electrical detection of confined gap plasmons in metal-insulator-metal waveguides”, *Nature Photon.*, **3**, 283-286 (2009)
- [26] J. Tian, S. Yu, W. Yan, and M. Qiu : “Broadband high-efficiency surface-plasmon-polariton coupler with silicon-metal interface”, *Appl. Phys. Lett.*, **95**, 013504/1-013504/3 (2009)
- [27] C. S. Kim, I. Vurgaftman, R. A. Flynn, M. Kim, J. R. Lindle, W. W. Bewley, K. Bussmann, J. R. Meyer, and J. P.

- Long : “An integrated surface-plasmon source”, *Optics Express*, **18**, 10609-10615 (2010)
- [28] P. Bai, H. S. Chu, M. Gu, O. Kurniawan, and E. Li : “Integration of plasmonics into nanoelectronic circuits”, *Physica B*, **405**, 2978-2981 (2010)
- [29] S. Zhu, T. Y. Liow, G. Q. Lo, and D. L. Kwong : “Fully complementary metal-oxide-semiconductor compatible nanoplasmonic slot waveguides for silicon electronic photonic integrated circuits”, *Appl. Phys. Lett.*, **98**, 021107/1-021107/3 (2011)
- [30] H. Wei, Z. Wang, X. Tian, M. Kall, and H. Xu : “Cascaded logic gates in nanophotonic plasmon networks”, *Nature Comm.*, **2**, 387/1-387/5 (2011)
- [31] M.-K. Kim, A. M. Lakhani, and M. C. Wu : “Efficient waveguide-coupling of metal-clad nanolaser cavities”, *Optics Express*, **19**, 23504-23512 (2011)
- [32] Y. Fu, X. Hu, C. Lu, S. Yue, H. Yang, and Q. Gong : “All-optical Logic Gates Based on Nanoscale Plasmonic Slot Waveguides”, *Nano Letters*, **12**, 5784-5790 (2012)
- [33] H. Goykhman, B. Desiatov, J. Khurgin, J. Shappir, and U. Levy : “Waveguide based compact silicon Schottky photodetector with enhanced responsivity in the telecom spectral band”, *Optics Express*, **20**, 28594-28602 (2012)
- [34] T. Aihara, M. Fukuhara, A. Ayumi, B. Lim, M. Futagawa, Y. Ishii, K. Sawada, and M. Fukuda : “Monolithic Integration of Surface Plasmon Detector and Metal-Oxide-Semiconductor Field-Effect Transistors”, *IEEE Photonics Journal*, **5**, 6800609 (2013)
- [35] C. Lu, X. Hu, H. Yang, and Q. Gong : “Chip-integrated ultrawide-band all-optical logic comparator in plasmonic circuits”, *Science Reports*, **4**, 3869/1-3869/8 (2014)
- [36] M. Fukuhara, M. Ota, H. Sakai, T. Aihara, Y. Ishii, and M. Fukuda : “Low-loss waveguiding and detecting structure for surface plasmon polaritons”, *Appl. Phys. Lett.*, **104**, 081111/1-081111/4 (2014)
- [37] T. Aihara, H. Sakai, A. Takeda, M. Fukuhara, M. Ota, Y. Kimura, Y. Ishii, and M. Fukuda : “Coherent signal operation of surface plasmon and electronic integrated circuit”, *International conference on Near Field Optics* 13, accepted (2014)
- [38] A. Melikyan, L. Alloatti, A. Muslija, D. Hillerkuss, P. C. Schindler, J. Li, R. Palmer, D. Korn, S. Muehlbrandt, D. V. Thourhout, B. Chen, R. Dinu, M. Sommer, C. Koos, M. Kohl, W. Freude, and J. Leuthold : “High-speed plasmonic phase modulators”, *Nature Photon.*, **8**, 229-233 (2014)
- [39] 藤井 信生, 岩本 洋 : “基礎シリーズ 最新電子回路入門”, 実教出版 (2005)
- [40] 渡辺 勝彦 : “第5章 最大入力電圧や負荷効果などを理解し正しく測ろう! 測定プローブの実用知識”, *トランジスタ技術*, 166-171 (2003)
- [41] E. D. Palik : *Handbook of Optical Constants of Solids*, Academic Press (1985)
- [42] J.-C. Weeber, Y. Lacroute, A. Dereux, E. Devaux, T. Ebbesen, C. Girard, M. U. Gonzalez, and A.-L. Baudrion : “Near-field characterization of Bragg mirrors engraved in surface plasmon waveguides”, *Phys. Rev. B*, **70**, 235406 (2004)
- [43] S. Sidorenko and O. J. F. Martin : “Resonant tunneling of surface plasmon polaritons”, *Optics Express*, **15**, 6380-6388 (2007)
- [44] M. J. Cazeca, C. C. Chang, and A. S. Karakashian : “A model calculation for surface plasma-enhanced internal photoemission in Schottky-barrier photodiodes”, *J. Appl. Phys.*, **66**, 3386-3391 (1989)
- [45] C. Scales and P. Berini : “Thin-Film Schottky Barrier Photodetector Models”, *IEEE J. Quantum Electron.*, **46**, 633-643 (2010)

5 総括

5.1 結論

本研究では、情報処理デバイスの更なる高性能化を目指し、シリコンチップ内表面プラズモン配線の基盤技術を確立した。本研究の特色は、集積回路内での通信キャリアとして表面プラズモンを利用し、かつ通信方式にコヒーレント光通信技術を導入した点である。本回路を実現するために、(1) 電子デバイスとモノリシック集積が容易なシリコンベースのプラズモニックデバイスの実現、(2) 表面プラズモンを介したコヒーレント光信号の伝送可能性の実証、(3) プラズモニックデバイスと電子デバイスとのモノリシック集積技術の確立を行った。

以下に、各章で述べた研究背景と結論を要約する。

第1章では、情報処理デバイスの現状と課題、特に電気配線における諸問題について述べた。その後、光配線技術の特徴と課題について述べ、本研究の位置付けを明らかにした。

半導体集積回路が実用化されて以降、主にスケーリング則に基づきながら、その高性能化が達成されてきた。しかしながら、現在、サブスレッショルド電流の増加や素子特性のばらつき、電気配線における配線遅延などの問題により情報処理デバイスの高性能化が制限されている。電気配線が抱える問題を解決する有用な手段の一つとして光配線技術が注目されている。特に、本研究では、光の回折限界の制約を受けず、高い光閉じ込めを可能とする表面プラズモンを通信キャリアとして利用することを目指した。また、通信容量の拡大を可能とするコヒーレント光通信技術の利用可能性の実証を目的とした。

第2章では、本研究で実現した新規表面プラズモン検出器について述べた。また、各種プラズモニックデバイスに関する研究動向について述べ、本研究の位置付けを明らかにした。

チップ内光配線技術が注目されているが、光デバイスのサイズは電子デバイスのサイズと比較して大きく、それらを高密度にモノリシック集積することは困難と言える。表面プラズモンは、光の回折限界の制約を受けず高い光閉じ込めを可能とすることから、上述したサイズ不整合の問題解決に向けて期待されている。表面プラズモンを通信キャリアとして利用する場合、その導波路の他に検出器や発生器、変調器などが必要となる。そのため本研究では、そのシリコンベースの新規表面プラズモン検出器の実現を目指した。

提案した構造は、シリコンと微細加工が施された金属薄膜のみで構成されるため、シリコンベース回路への集積化が容易である。金属薄膜上の微細構造、すなわちアレイ化された金属ナノスリット構造を、FDTD法に基づく電磁界解析により設計した。設計に基づき本デバイスを作製し、光電流の偏光角依存性および入射光強度依存性を測定することにより、本デバイスにおけるシリコンに吸収されないエネルギー帯の表面プラズモンの検出を実証した。さらに、本検出器に光ヘテロダイン検波技術を適用し、表面プラズモン信号のコヒーレント検波の可能性を明らかにした。

第3章では、本研究で明らかにした表面プラズモンを介したコヒーレント光信号の伝送可能性について述べた。また、コヒーレント光通信技術の特徴やプラズモニクスにおける信号伝送に関連する研究動向について述べ、本研究の位置付けを明らかにした。

表面プラズモンを信号キャリアとして利用することを目指し、表面プラズモンを介した信号伝送に関わる研究がされている。例えば、LRSPP導波路を用いた40 Gbit/sの信号伝送実験や、電気配線と比較した表面プラズモン導波路の優位性の解析的検証が行われてきた。光ファイバ通信に導入されているコヒーレント光通信技術は、通信容量や受信感度の改善に対して有効であるが、プラズモニクスへの利用可能性は詳細に検討されてこなかった。そのため、本研究では、簡易な表面プラズモン導波路を作製し、表面プラズモンを介した光周波数変調信号の伝送可能性、および表面プラズモンのスペクトル広がりについて検証した。

光ヘテロダイン法を用いた実験の結果より、表面プラズモンのモードにおいても光周波数変調信号が伝送可能であることを明らかにした。また、表面プラズモンは伝搬の過程で、その強度を減衰させるものの、スペクトル線幅、すなわちコヒーレンス性は一定に保たれることを明らかにした。

第4章では、本研究で実現したプラズモニックデバイスとMOSFETで構成されるモノリシック集積回路について述べた。また、ハイブリッド集積と比較したモノリシック集積の優位性、およびプラズモニックデバイスの集積化に関する研究動向について述べ、本研究の位置付けを明らかにした。

プラズモニックデバイスの高性能化およびそれらデバイス同士の集積化は報告されているが、電子デバイスとモノリシックに集積された例はない。モノリシック集積では、プラズモニックデバイスと電子デバイスを隣接して配置できるため、それら接続における寄生成分が小さく、高速化に対して有利である。また、既存のCMOSプロセスで集積可能であれば、製造コストを下げられる。そのため、本研究では、これまで本研究で実現した簡易構造のプラズモニックデバイスとMOSFETとのモノリシック集積化を目指した。

作製した表面プラズモン検出器とMOSFETで構成されるモノリシック集積回路にお

いて、表面プラズモン検出器から生成された光電流が、MOSFET によって約 14000 倍増幅することを実証した。また、本回路に表面プラズモン導波路を加えた集積回路においても、導波した表面プラズモン信号により回路が直流および交流動作することを実証した。さらに、遅延自己ホモダイン法を用いて、コヒーレント光信号により本回路が動作することを実証した。

5.2 今後の展望

表面プラズモンの特徴は、(1) 金属の表面を導波すること、(2) 光の回折限界の制約を受けずにナノスケール領域を導波すること、(3) 伝搬光と同様に高速・大容量性以及可干渉性を有することが挙げられる。これらの特徴は、表面プラズモンをキャリア波として用いた配線が、従来の電気配線で用いられている金属をベースすることができ、かつその集積密度を極端に低下させることなく、高速・大容量な信号の送受を可能とすることを意味する。特に、波長あるいは周波数多重を行うことによって単一線路上に複数の信号を伝送させることができる利点は、伝送容量の拡大とともに、配線レイアウトの単純化に対して有用であると言える。また、表面プラズモンの可干渉性は、配線を交差させて配置できることを意味する。すなわち、複雑な回路の電気配線において不可能であった配線層数の単層化を可能とする。加えて、配線長が短い場合においては、表面プラズモン配線の消費電力は電気配線のそれと比較して低くなる。これは、前者が配線長の減少に対して指数関数的に減少する一方で、後者は線形的に減少するためである。したがって、表面プラズモン配線は回路の低消費電力化に対しても有用であると考えられる。ただし、比較的配線長が長い配線部においては、伝搬損失の低いシリコン細線導波路やフォトニック結晶導波路が有用と言える。この配線を併用する場合、図 1.3 で示したような回路構成が想定される。

トランジスタ単体の速度がテラヘルツオーダに達しつつあるのに対し、回路全体の速度はギガヘルツオーダで頭打ちとなっている。上述した表面プラズモン配線がデバイスの立場から情報処理の高度化に貢献することを望む。

また、表面プラズモン配線技術が他の技術と融合し、新たな分野を切り開くことを望む。すなわち、それは表面プラズモン論理演算素子やスピンドバイスなどとの融合であり、新たなパラダイムシフトの幕開けと言える。また、応用技術として、情報処理技術に留まらず、センシング技術など多方面に展開されることをいとわない。

日本は、物や人材が豊かに溢れ、また経済や医療、教育が発展し、不自由を感じにくい。科学技術はこの豊かな生活を支えてきた一方で、負の遺産や弊害も生み出してきた。現状に満足し、かつそれらの問題が浮き彫りになれば、生活水準はやがて減退していくと危惧される。また、世界に目を向ければ、飢えや貧困、病気や戦争など解決すべき課題は山積みと言える。高度な情報処理が可能となれば、大規模計算機を駆使した医学や

脳科学などの進展、ならびに情報を活用した遠隔医療や教育などの高度化に貢献できると期待している。ものや人の無駄な移動がない社会、世界中の誰でも高度な教育や医療が受けられる社会、難病に苦しまない社会、心穏やかに暮らせる社会の実現に向けて、本研究がその一端を担うことを望む。

5.3 今後の課題

前述したように、本研究では、シリコンチップ内表面プラズモン配線の基盤技術を確立した。今後は実用化を念頭に置いた、デバイス構造の最適化、および表面プラズモン発生器や変調器などの各種デバイスの集積化などが課題として挙げられる。特に、今回利用した金属薄膜型表面プラズモン導波路は、伝搬損失の面で有利であるが、光閉じ込め性能は他の導波路と比較して劣るため、その構造最適化が急務の課題と言える。また、チップ内で配線を行うためには、今回作製した回路に表面プラズモン発生器を加える必要がある。そのため、シリコンベースの表面プラズモン発生器の実現が求められる。表面プラズモン発生器を利用してチップ内配線を行う場合、表面プラズモン発生器に入力する電気信号を変調し、表面プラズモンの強度や位相（あるいは周波数）を変調する方法、すなわち直接変調と、発生した表面プラズモンを変調器で変調する方法、すなわち外部変調の両者いずれかの利用が想定される。前者は、外部変調器を要さないためシステムの簡略化が図れる。しかし、変調速度や効率も表面プラズモン発生器のそれらに律速される。また、信号伝送経路毎に表面プラズモン発生器を必要とする。一方、後者は、極限には単一の表面プラズモン発生器により各径路の配線を可能とする。すなわち、一つの発生器から励起した表面プラズモンを一度分波し、各伝送径路に導き、経路毎に変調器を行うことで、単一光源による各径路の配線が可能となる。このとき表面プラズモンは外部の光システムからグレーティングなど比較的簡易に形成できる構造を介して発生させることができ、実現が容易ではないシリコンベースの表面プラズモン発生器を要さない。表面プラズモン発生器と変調器の両者の性能を変調速度や効率、集積の簡易さの観点から比較し、いずれを使うかの選別をする必要がある。

謝辞

本研究の機会を与えて頂くとともに、研究の遂行にあたり終始適切なご指導とご助言、ご討論を賜りました豊橋技術科学大学 教授 福田 光男 先生に謹んで感謝の意を表します。

本論文を編纂するにあたり、有益なご教示を頂いた豊橋技術科学大学 教授 松田 厚範 先生、豊橋技術科学大学 教授 澤田 和明 先生、豊橋技術科学大学 准教授 石山 武先生に深く感謝いたします。

本研究を遂行するにあたり、有益なご助言とご討論、ご指導を頂きました豊橋技術科学大学 助教 石井 佑弥 先生、香川大学 助教 山口 堅三 先生に謹んで感謝の意を表します。

集積回路の作製および設計にあたり、有益なご助言とご討論、ご指導を頂きましたエレクトロニクス先端融合研究所特命技術職員 足木 光昭 氏、テーラーメイド・バトンゾーン教育推進本部研究員 高瀬 博行 氏、豊橋技術科学大学 研究支援課 技術支援推進室 技術職員 飛沢 健 氏、豊橋技術科学大学 リーディング大学院教育推進機構 特任教授 石井 仁 先生、静岡大学 准教授 二川 雅登 先生、豊橋技術科学大学 講師 高橋一浩 先生、豊橋技術科学大学 助教 秋田 一平 先生、豊橋技術科学大学 集積回路・センサシステムグループ Lim Byounghyun 氏、本間 浩章 氏、高橋 聡 氏、岡部 謙志 氏、ならびに同グループの皆様へ感謝の意を表します。

プラズモニクデバイスの設計や作製、測定にあたり、有益なご助言とご討論、ご指導を頂きました豊橋技術科学大学 フォトニクス研究室 福原 誠史 氏、武田 愛弓 氏、酒井 宏基 氏、木村 優 氏、太田 雅 氏、眞野 毅大 氏、岡久 真也 氏、伊藤 基 氏、住村 あさひ 氏、同研究室卒業生 宮地 一真 氏、遠山 誠 氏、Yu Yen Ling 氏、中川 恭平 氏、堀田 一真 氏、ならびに同研究室の皆様へ感謝の意を表します。

物品の発注や出張書類等の作成にあたり、お世話になりました豊橋技術科学大学 フォトニクス研究室 事務補佐員 森田 知恵子 氏に感謝の意を表します。

国際学会の参加にあたり、豊橋技術科学大学 テーラーメイド・バトンゾーン教育プログラムより、多大な援助を受けました。また、本研究の一部は、日本学術振興会 特別研究員奨励費として多大な援助を受けました。ここに感謝の意を表します。

最後に、大学での研究に理解を示し、協力、応援してくれた家族に心から感謝いたします。

相原 卓磨

研究業績

【学術論文】

1. Mitsuo Fukuda, **Takuma Aihara**, Kenzo Yamaguchi, Yen Ling Yu, Kazuma Miyaji, and Makoto Toyama,
“Light detection enhanced by surface plasmon resonance in metal film”,
Applied Physics Letters, Vol. 96, No. 15, pp. 153107 (3 pages), 2010
2. **Takuma Aihara**, Kyohei Nakagawa, Masashi Fukuhara, Yen Ling Yu, Kenzo Yamaguchi, and Mitsuo Fukuda,
“Optical frequency signal detection through surface plasmon polaritons”,
Applied Physics Letters, Vol. 99, No. 4, pp. 043111 (3 pages), 2011
3. **Takuma Aihara** and Mitsuo Fukuda,
“Transmission properties of surface-plasmon-polariton coherence”,
Applied Physics Letters, Vol. 100, No. 21, pp. 213115 (4pages), 2012
4. **Takuma Aihara**, Masashi Fukuhara, Ayumi Takeda, Byounghyun Lim, Masato Futagawa, Yuya Ishii, Kazuaki Sawada, and Mitsuo Fukuda,
“Monolithic Integration of Surface Plasmon Detector and Metal-Oxide-Semiconductor Field-Effect Transistors”,
IEEE Photonics Journal, Vol. 5, No. 4, pp. 6800609 (9 pages), 2013
5. Masashi Fukuhara, Masashi Ota, Hiroki Sakai, **Takuma Aihara**, Yuya Ishii, and Mitsuo Fukuda,
“Low-loss waveguiding and detecting structure for surface plasmon polaritons”,
Applied Physics Letters, Vol. 104, No. 8, pp. 081111 (4 pages), 2014
6. Ayumi Takeda, **Takuma Aihara**, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda,
“Schottky-type surface plasmon detector with nano-slit grating using enhanced resonant optical transmission”,
Journal of Applied Physics, Vol. 116, No. 8, pp. 084313 (5 pages), 2014
7. Masashi Fukuhara, Masashi Ota, Ayumi Takeda, **Takuma Aihara**, Hiroki Sakai, Yuya Ishii, and Mitsuo Fukuda,
“Surface-plasmon waveguides as transmission lines for optical signal and electrical bias”,
IEEE/OSA Journal of Lightwave Technology, Vol. 32, No. 23, pp. 3888-3893, 2014
8. **Takuma Aihara**, Hiroki Sakai, Ayumi Takeda, Shinya Okahisa, Masashi Fukuhara, Masashi Ota, Yuya Ishii, and Mitsuo Fukuda,
“Coherent Plasmonic Interconnection in Silicon-based Electrical Circuit”
IEEE/OSA Journal of Lightwave Technology, (Accepted)

【Proceedings】

1. Ryohei Kaminose, Yuya Ishii, **Takuma Aihara**, Ayumi Takeda, and Mitsuo Fukuda, “Photoluminescence characteristics of dye-doped polymer nanofibers excited by surface plasmon polaritons”, *Proceedings of SPIE*, Vol. 8827, pp. 88270L-1-88270L-6, 2013
2. **Takuma Aihara**, Ayumi Takeda, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda, “Metal-oxide-semiconductor field-effect transistors operated by surface plasmon polaritons”, *Proceedings of SPIE*, Vol. 8923, pp. 89234F-1-89234F-6, 2013
3. Ayumi Takeda, **Takuma Aihara**, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda, “Sensitivity improvement of Schottky-type plasmonic detector”, *Proceedings of SPIE*, Vol. 8923, pp. 89234G-1-89234G-6, 2013

【国際学会発表】

1. Kazuma Miyaji, Yen Ling Yu, **Takuma Aihara**, Kenzo Yamaguchi, and Mitsuo Fukuda, “Optical excitation of free electron Fermi gas and its enhancement using surface plasmon”, *2nd International Conference on Metamaterials, Photonic Crystals and Plasmonics*, Feb. 22 - 25, 2010, Cairo, Egypt
2. Yen Ling Yu, **Takuma Aihara**, Kenzo Yamaguchi, and Mitsuo Fukuda, “Optical Frequency Signal Transmission by Whispering Gallery Modes”, *16th Microoptics conference*, Oct. 13 - Nov. 3, 2010, Hsinchu, Taiwan
3. Yen Ling Yu, Masashi Fukuhara, **Takuma Aihara**, Kyohei Nakagawa, Kenzo Yamaguchi, and Mitsuo Fukuda, “Beat Signal Transmission Through Whispering-Gallery-Mode Resonator”, *IEEE Optical MEMS and Nanophotonics 2011*, Aug. 8 - 11, 2011, Istanbul, Turkey
4. **Takuma Aihara**, Kyohei Nakagawa, Masashi Fukuhara, Yen Ling Yu, Kenzo Yamaguchi, and Mitsuo Fukuda, “Surface Plasmon Polariton-Enhanced Schottky-Type Photodetector”, *IEEE Optical MEMS and Nanophotonics 2011*, Aug. 8 - 11, 2011, Istanbul, Turkey

5. **Takuma Aihara**, Kyohei Nakagawa, Masashi Fukuhara, Kenzo Yamaguchi, and Mitsuo Fukuda,
“Enhancement of Excited Electrons in Metal Using Localized and Propagating Surface Plasmon Polariton”,
Asia-Pacific Interdisciplinary Research Conference 2011,
Nov. 17 - 18, 2011, Aichi, Japan
6. Masashi Fukuhara, Yen Ling Yu, **Takuma Aihara**, Kyohei Nakagawa, Kenzo Yamaguchi, and Mitsuo Fukuda,
“Analysis of Optical Frequency Signal Transmission through Whispering Gallery Mode”,
SPIE Smart Nano+Micro Materials and Devices 2011,
Dec. 4 - 7, 2011, Melbourne, Australia
7. **Takuma Aihara** and Mitsuo Fukuda,
“Observation of Plasmonic Frequency-modulated Signal Transmission”,
IEEE Optical MEMS and Nanophotonics 2012,
Aug. 6 - 9, 2012, Banff, Canada
8. Masashi Fukuhara, **Takuma Aihara**, Yuya Ishii, and Mitsuo Fukuda,
“Optical-Frequency Signal Transmission via Localized Surface Plasmons”,
IEEE Photonics Conference 2012,
Sept. 23 - 27, 2012, Burlingame, USA
9. **Takuma Aihara**, Masashi Fukuhara, Kyohei Nakagawa, Yuya Ishii, and Mitsuo Fukuda,
“Spectral Deformation of Propagating Surface Plasmon Polaritons”
IEEE Photonics Conference 2012,
Sept. 23 - 27, 2012, Burlingame, USA
10. **Takuma Aihara**, Masashi Fukuhara, Kyohei Nakagawa, Yuya Ishii, and Mitsuo Fukuda,
“Optical Frequency-Modulated Signal Transmission Through Surface Plasmon Polaritons”,
Asia-Pacific Interdisciplinary Research Conference 2012,
Nov. 15 - 16, 2012, Aichi, Japan
11. Kyohei Nakagawa, **Takuma Aihara**, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda,
“Optical Properties of Nanorods on Si Substrate”,
Photonics Global Conference 2012,
Dec. 13 - 16, 2012, Singapore

12. Mitsuo Fukuda, **Takuma Aihara**, Masashi Fukuhara, Ayumi Takeda, Yuya Ishii, and Takeshi Ishiyama,
“Devices and materials for nano-scale optical frequency signal transmission using surface plasmon”,
European Materials Research Society 2013 Spring Meeting,
May 27 - 31, 2013, Strasbourg, France
13. Ayumi Takeda, **Takuma Aihara**, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda,
“POLARIZATION-INDEPENDENT PHOTODETECTOR WITH RING-TYPE GRATING”,
IEEE Optical MEMS and Nanophotonics 2013,
Aug. 18 - 22, 2013, Kanazawa, Japan
14. Ayumi Takeda, **Takuma Aihara**, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda,
“OPTIMAL DESIGN OF PHOTODETECTOR WITH MULTI-SLIT GRATING”,
IEEE Optical MEMS and Nanophotonics 2013,
Aug. 18 - 22, 2013, Kanazawa, Japan
15. Ryohei Kaminose, Yuya Ishii, **Takuma Aihara**, Ayumi Takeda, and Mitsuo Fukuda,
“Photoluminescence characteristics of dye-doped polymer nanofibers excited by surface plasmon polaritons”,
SPIE Optics+Photonics 2013,
Aug. 17 - 21, 2013, San Diego, USA
16. **Takuma Aihara**, Ayumi Takeda, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda,
“Plasmonic Signal Amplification by Monolithically Integrated Metal-Oxide-Semiconductor Field-Effect Transistors”,
IEEE Photonics Conference 2013,
Sep. 8 - 12, 2013, Bellevue, USA
17. **Takuma Aihara**, Ayumi Takeda, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda,
“Metal-oxide-semiconductor field-effect transistors operated by surface plasmon polaritons”,
SPIE Micro+nano Materials, Devices, and Applications,
Dec. 8 - 11, 2013, Melbourne, Australia
18. Ayumi Takeda, **Takuma Aihara**, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda,
“Sensitivity improvement of Schottky-type plasmonic detector”,
SPIE Micro+nano Materials, Devices, and Applications,
Dec. 8 - 11, 2013, Melbourne, Australia

19. Hiroki Sakai, **Takuma Aihara**, Masashi Fukuhara, Masashi Ota, Yu Kimura, Yuya Ishii, and Mitsuo Fukuda,
“INTEGRATION OF PLASMONIC DEVICE WITH METAL-OXIDE-SEMICONDUCTOR FIELD-EFFECT TRANSISTORS”,
2014 International Conference on Optical MEMS and Nanophotonics,
Aug. 17 - 21, 2014, Glasgow, Scotland
20. Masashi Fukuhara, **Takuma Aihara**, Masashi Ota, Yu Kimura, Yuya Ishii, and Mitsuo Fukuda,
“OPTICAL SIGNAL TRANSMISSION THROUGH PLASMONIC WAVEGUIDE UNDER APPLIED ELECTRICAL BIAS”
2014 International Conference on Optical MEMS and Nanophotonics,
Aug. 17 - 21, 2014, Glasgow, Scotland
21. Masashi Ota, Masashi Fukuhara, Hiroki Sakai, **Takuma Aihara**, Yuya Ishii, and Mitsuo Fukuda,
“Surface plasmon polariton diffraction structure to combine a low-loss waveguide and a Schottky- type detector”,
13th international conference of Near-field Optics and Nanophotonics
Aug. 31 - Sep. 4, 2014, Salt Lake City, USA
22. **Takuma Aihara**, Sakai Hiroki, Ayumi Takeda, Masashi Fukuhara, Masashi Ota, Yu Kimura, Yuya Ishii, and Mitsuo Fukuda,
“Coherent signal operation of surface plasmon and electronic integrated circuit”,
13th international conference of Near-field Optics and Nanophotonics
Aug. 31 - Sep. 4, 2014, Salt Lake City, USA
23. Yu Kimura, **Takuma Aihara**, Yuya Ishii, and Mitsuo Fukuda,
“Directional excitation of surface plasmons using a plasmonic crystal”,
4th International Symposium on Technology for Sustainability 2014
Nov. 19 - 21, 2014, Taipei, Taiwan
24. Masashi Ota, Masashi Fukuhara, Asahi Sumimura, Motoki Ito, **Takuma Aihara**, Yuya Ishii, and Mitsuo Fukuda,
“Mirror-Imaged Multimode Interference Crossings with Low Loss and Crosstalk Based on Dielectric-Loaded Surface Plasmon Polariton Waveguides”,
2015 MRS Spring Meeting & Exhibit
Apr. 6 – 10, 2015, San Francisco, USA (accepted)

【国内学会および研究会発表】

1. **相原 卓磨**, 宮地 一真, Yen Ling Yu, 山口 堅三, 福田 光男,
“ショットキー障壁を利用した表面プラズモンの検出”,
2010 年春季 第 57 回 応用物理学関係連合講演会,
2010 年 3 月 17 日~20 日, 東海大学 湘南キャンパス
2. 遠山 誠, **相原 卓磨**, 中川 恭平, 山口 堅三, 福田 光男,
“表面プラズモンを用いた金属中の自由電子励起による光検出”,
電子情報通信学会 機構デバイス研究会,
2010 年 8 月 26 日~27 日, 千歳アルカディア・プラザ
3. Yen Ling Yu, **相原 卓磨**, 山口 堅三, 福田 光男,
“ウィスパリングギャラリーモードを介した信号伝達”,
2010 年秋季 第 71 回 応用物理学学会学術講演会,
2010 年 9 月 14 日~17 日, 長崎大学 文教キャンパス
4. Yen Ling Yu, 福原 誠史, **相原 卓磨**, 山口 堅三, 福田 光男,
“WGM 共振器を介したビート信号光の観測”,
2011 年春季 第 58 回 応用物理学関係連合講演会,
2011 年 3 月 24 日~27 日, 神奈川工科大学
5. **相原 卓磨**, 中川 恭平, 福原 誠史, 山口 堅三, 福田 光男,
“表面プラズモンを介した光周波数信号の伝達”,
2012 年春季 第 59 回 応用物理学関係連合講演会,
2012 年 3 月 15 日~18 日, 早稲田大学 早稲田キャンパス
6. 福原 誠史, Yen Ling Yu, **相原 卓磨**, 中川 恭平, 山口 堅三, 福田 光男,
“WGM を介した光周波数信号伝達の検討”,
2012 年春季 第 59 回 応用物理学関係連合講演会,
2012 年 3 月 15 日~18 日, 早稲田大学 早稲田キャンパス
7. 福原 誠史, **相原 卓磨**, 山下 裕隆, 山口 堅三, 福田 光男,
“2 波長 WGM による光ビート信号生成の解析”,
日本光学会 ナノオプティクス研究グループ研究討論会 第 20 回記念シンポジウム,
2012 年 5 月 23 日, 慶應義塾大学 日吉キャンパス
8. **相原 卓磨**, 福原 誠史, 中川 恭平, 山口 堅三, 福田 光男,
“プラズモニック周波数信号の検出”,
日本光学会 ナノオプティクス研究グループ研究討論会 第 20 回記念シンポジウム,
2012 年 5 月 23 日, 慶應義塾大学 日吉キャンパス

9. 福原 誠史, Yen Ling Yu, 相原 卓磨, 中川 恭平, 山下 裕隆, 山口 堅三, 福田 光男,
“WGM を介した光周波数信号伝達の検討”,
電子情報通信学会 電子デバイス研究会,
2012 年 5 月 17 日~18 日, 豊橋技術科学大学
10. 相原 卓磨, 中川 恭平, 福原 誠史, 福田 光男,
“ナノスリットグレーティングを有する表面プラズモン検出器”,
電子情報通信学会 レーザ・量子エレクトロニクス研究会,
2012 年 5 月 25 日, 福井大学 文京キャンパス
11. 相原 卓磨, 福原 誠史, 中川 恭平, 石井 佑弥, 福田 光男
“表面プラズモンのコヒーレンス性の伝搬特性”,
2012 年秋季 第 73 回応用物理学会学術講演会,
2012 年 9 月 11 日~14 日, 松山大学 文京キャンパス
12. 相原 卓磨, 武田 愛弓, 福原 誠史, 石井 佑弥, 福田 光男,
“表面プラズモン検出器と MOSFET のモノリシック集積化”,
2013 年秋季 第 74 回応用物理学会学術講演会,
2013 年 9 月 16 日~20 日, 同志社大学京 田辺キャンパス
13. 上ノ瀬 亮平, 石井 佑弥, 相原 卓磨, 武田 愛弓, 石井 佑弥, 福田 光男,
“表面プラズモンで励起した有機色素含有高分子ナノファイバーの発光特性評価”,
2013 年秋季 第 74 回応用物理学会学術講演会,
2013 年 9 月 16 日~20 日, 同志社大学京 田辺キャンパス
14. 相原 卓磨, 武田 愛弓, 福原 誠史, 石井 佑弥, 福田 光男,
“表面プラズモン検出器-MOSFET 集積回路における静的および動的特性”,
電子情報通信学会 レーザ・量子エレクトロニクス研究会,
2014 年 1 月 23 日~24 日, 同志社大学 烏丸キャンパス
15. 武田 愛弓, 相原 卓磨, 福原 誠史, 石井 佑弥, 福田 光男,
“ナノスリットを有するショットキー型表面プラズモン検出器の感度向上”
電気学会 マイクロマシン・センサシステム研究会,
2014 年 5 月 27 日~28 日, 東京大学 生産技術研究所
16. 太田 雅, 福原 誠史, 酒井 宏基, 相原 卓磨, 石井 佑弥, 福田 光男,
“検出器構造を有する低損失表面プラズモン導波路”
電気学会 マイクロマシン・センサシステム研究会,
2014 年 5 月 27 日~28 日, 東京大学 生産技術研究所

17. 酒井 宏基, 相原 卓磨, 武田 愛弓, 福原 誠史, 太田 雅, 木村 優, 石井 佑弥, 福田 光男,
“導波路を伝搬した表面プラズモン信号による MOSFET の直流および交流動作”,
電子情報通信学会 電子デバイス研究会,
2014 年 5 月 28 日~29 日, 名古屋大学
18. 福原 誠史, 太田 雅, 相原 卓磨, 酒井 宏基, 木村 優, 武田 愛弓, 石井 佑弥, 福田 光男,
“表面プラズモン導波路の電氣的分離と光信号伝達の検討”,
電子情報通信学会ソサイエティ大会,
2014 年 9 月 23 日~26 日, 徳島大学
19. 太田 雅, 福原 誠史, 住村 あさひ, 伊藤 基, 相原 卓磨, 石井 佑弥, 福田 光男,
“多モード干渉を利用した表面プラズモンポラリトン交差導波路”,
2015 年春季 第 62 回応用物理学会学術講演会,
2015 年 3 月 11 日~14 日, 東海大学 湘南キャンパス (発表予定)
20. 酒井 宏基, 岡久 真也, 相原 卓磨, 福原 誠史, 石井 佑弥, 福田 光男,
“表面プラズモンを介した光ビート信号による電子回路の動作”,
2015 年春季 第 62 回応用物理学会学術講演会,
2015 年 3 月 11 日~14 日, 東海大学 湘南キャンパス (発表予定)

【受賞等】

1. Best Student Paper Award (Second Place)
Takuma Aihara, Ayumi Takeda, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda,
“Plasmonic Signal Amplification by Monolithically Integrated Metal-Oxide-Semiconductor Field-Effect Transistors”,
IEEE Photonics Conference 2013,
Sep. 8 - 12, 2013, Bellevue, USA
2. Best Student Paper of Conference Award
Takuma Aihara, Ayumi Takeda, Masashi Fukuhara, Yuya Ishii, and Mitsuo Fukuda,
“Metal-oxide-semiconductor field-effect transistors operated by surface plasmon polaritons”,
SPIE Micro+nano Materials, Devices, and Applications,
Dec. 8 - 11, 2013, Melbourne, Australia
3. 日本学術振興会 特別研究員(DC2) 採択

付録 A デバイスの作製プロセス

表 A.1 プロセスチャート

No.	Step	Conditions	Time	Specs
1	Wafer preparation	N(100), 4inch, 3.95-4.36 Ωcm		
2	Pre clean	APM 70 deg C (1:1:6 = NH ₄ OH:H ₂ O ₂ :H ₂ O) DIW overflow HPM 70 deg C (1:1:6 = HCl:H ₂ O ₂ :H ₂ O) DIW overflow DHF DIW overflow Spin dry	10 min 10 min 10 min 10 min 20 s 5 min	
3	Oxidation	OX1: 1,000 deg C Dry O ₂ 250 l/hr Anneal N ₂ 250 l/hr	55 min 10 min	thickness:50 nm
4	Thickness check			
5	AM photo. (Alignment mark) Mask No.1	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
6	Si etch	RIE (rank A) SF ₆ =10 sccm, 1 Pa, 100 W	8 min Time	etch:~500 nm
7	Etch check			
8	PR removal	SPM 120 deg C (3:1 = H ₂ SO ₄ :H ₂ O ₂) DIW	10 min 10 min	
9	PW photo. (P-well) Mask No.2	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
10	P-well I/I	B 60 keV, 1.0×10 ¹³ cm ⁻²		
11	PR removal	SPM 120 deg C (3:1 = H ₂ SO ₄ :H ₂ O ₂) DIW	10 min 10 min	
12	Pre clean	APM 70 deg C (1:1:6 = NH ₄ OH:H ₂ O ₂ :H ₂ O) DIW overflow HPM 70 deg C (1:1:6 = HCl:H ₂ O ₂ :H ₂ O) DIW overflow DHF DIW overflow Spin dry	10 min 10 min 10 min 10 min 20 s 5 min	
13	Drive in	OX ₆ : 1,150 deg C Dry N ₂ 250 l/hr	9 hr	
14	SiO ₂ removal	BHF DIW overflow	remove all 10 min	
15	Sheet res. check	hydrophobic? OK / NO		
16	Pre clean	APM 70 deg C (1:1:6 = NH ₄ OH:H ₂ O ₂ :H ₂ O) DIW overflow HPM 70 deg C (1:1:6 = HCl:H ₂ O ₂ :H ₂ O) DIW overflow DHF	10 min 10 min 10 min 10 min 20 s	

		DIW overflow Spin dry	5 min	
17	Pad Oxidation	OX1: 1,000 deg C Dry O ₂ 250 l/hr Anneal N ₂ 250 l/hr	55 min 10 min	thickness: 50 nm
18	Thickness check			
(19)	Pre clean	APM (1:1:6) 70 deg C DIW overflow HPM (1:1:6) 70 deg C DIW overflow Spin dry	10 min 10 min 10 min 10 min	
20	Si ₃ N ₄ depo.	LPCVD	Time _____	thickness: 150 nm
21	TEOS depo.	LPCVD 708 deg C, 0.3 Torr, B.G. 0.035 Torr TEOS/O ₂ = 30 sccm/0.3 (l/min)	Time _____	thickness: 300 nm Add Ref. wafer
22	Thickness check			
23	AC photo. (Active area) Mask No.3	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C O ₂ asher	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min 1 min 30 s	Coat recipe: No.8 Development recipe: No.22
24	TEOS etch	BHF DIW overflow	Time _____ 10 min	
25	Etch check			
26	Si ₃ N ₄ etch	RIE (Si) CF ₄ /O ₂ = 20/5 sccm, 10 Pa, RF 100 W	2 min 45 s Time _____	
27	Etch check			
28	PR removal	SPM 120 deg C (3:1 = H ₂ SO ₄ :H ₂ O ₂) DIW	10 min 10 min	
29	PS photo. (P-ch Stopper) Mask No.2	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
30	P-Ch stop I/I	B 50 keV, 3.0×10 ¹³ cm ⁻²		
31	PR removal	SPM 120 deg C (3:1 = H ² SO ₄ :H ² O ₂) DIW	10 min 10 min	
32	NStop photo. (N-ch Stopper) Mask No.4	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
33	N-Ch stop I/I	P 60 keV, 3.0×10 ¹³ cm ⁻²		
34	PR removal	SPM 120 deg C (3:1 = H ₂ SO ₄ :H ₂ O ₂) DIW	10 min 10 min	
35	Pad SiO ₂ etch	BHF DIW overflow	(45 s)	
36	Etch check			

37	Pre clean	APM (1:1:6) 70 deg C DIW overflow HPM (1:1:6) 70 deg C DIW overflow Spin dry	10 min 10 min 10 min 10 min	
38	LOCOS Oxidation	OX1: 1,000 deg C Wet H ₂ /O ₂ 250/250 (l/hr) Dry O ₂ 250 l/hr Anneal N ₂ 250 l/hr	6 hr 40 min 10 min 10 min	
39	Thickness check Sheet res. check			
40	TEOS removal	BHF DIW overflow	10 min	
41	Si ₃ N ₄ removal	H ₃ PO ₄ 160 deg C DIW 80 deg C DIW Overflow	10 min 10 min	
42	Etch check			
(43)	Cleaning	APM (1:1:6) 70 deg C DIW overflow HPM (1:1:6) 70 deg C DIW overflow Spin dry	10 min 10 min 10 min 10 min	
(44)	Oxidation (for CP region)	OX1: 1,000 deg C Dry O ₂ 250 l/hr Anneal N ₂ 250 l/hr	55 min 10 min	thickness:50 nm
(45)	Thickness check			
(46)	CP photo. (Capacitance) Mask No.5	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
(47)	CP I/I	B 50 keV, 5.0×10 ¹³ cm ⁻²		
(48)	PR removal	SPM 120 deg.C(3:1=H ₂ SO ₄ :H ₂ O ₂) DIW	10 min 10 min	
49	SiO ₂ removal	BHF DIW overflow	40 s	
50	Etch check			
51	Cleaning	APM (1:1:6) 70 deg C DIW overflow HPM (1:1:6) 70 deg C DIW overflow Spin dry	10 min 10 min 10 min 10 min	
52	Oxidation (for GATE)	OX3: 1,000 deg C Dry O ₂ 250 l/hr Anneal N ₂ 250 l/hr	75 min 10 min	thickness: 65 nm
53	Thickness check			
54	Poly-Si depo.	LPCVD 625 deg C, 0.5 Torr SiH ₄ 0.2 slm		thickness: 350 nm
55	Thickness check			
56	High resistance I/I	As 80 keV, 6.0×10 ¹⁴ cm ⁻²		1-3 kOhm/sheet
57	RE photo. (Resistance) Mask No.6	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s	Coat recipe: No.8 Development recipe: No.22

		Dev-bake: 120 deg C	5 min	
58	Low resistance I/I	As 85keV, $4.4 \times 10^{15} \text{ cm}^{-2}$		10-20 Ohm/sheet
59	PR removal	O ₂ ashing SPM 120 deg C (3:1 = H ₂ SO ₄ :H ₂ O ₂) DIW	30 min 10 min 10 min	
60	PS photo. (Poly-Si) Mask No.7	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
61	Poly-Si etch	RIE (Si) SF ₆ = 10 sccm, 1 Pa, RF 100 W	3.5 to 4.3 min	
62	PR removal	SPM 120 deg C (3:1 = H ₂ SO ₄ :H ₂ O ₂) DIW	10 min 10 min	
63	Etch check			
64	PD photo. (P-dope) Mask No.8	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
65	PD I/I	B 30 keV, $4.0 \times 10^{15} \text{ cm}^{-2}$		
66	PR removal	O ₂ ashing SPM DIW	30 min 10 min 10 min	
67	ND photo. (N-dope) Mask No.9	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
68	ND I/I	As 85 keV, $4.0 \times 10^{15} \text{ cm}^{-2}$		
69	PR removal	O ₂ ashing SPM DIW	30 min 10 min 10 min	
70	Cleaning	APM (1:1:6) 70 deg C DIW overflow HPM (1:1:6) 70 deg C DIW overflow Spin dry	10 min 10 min 10 min 10 min	
71	TEOS depo.	LPCVD 706 deg C, 0.3 Torr TEOS = 30 sccm, O ₂ = 0.3 l/min		Thickness: 500 nm
72	Thickness check			
73	TEOS densify anneal	OX4: 1,000 deg C Anneal N ₂ :250 l/hr	20 min	
74	Thickness check			

	Sheet res. check			
75	Cont. photo. (Contact) Mask No.10	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
76	SiO ₂ removal	RIE (rank A) + BHF		
77	Etch check			
78	PR removal	SPM 120 deg C (3:1 = H ₂ SO ₄ :H ₂ O ₂) DIW	10 min 10 min	
79	Cleaning	APM (1:1:6) 120 deg C DIW overflow HPM (1:1:6) 120 deg C DIW overflow DHF (1:50) DIW overflow Spin dry	10 min 10 min 10 min 10 min 20 s 5 min	
80	Al depo.	target: Al-1% Si Ar 0.5 Pa (50 sccm), RF 1 kW	16 min	thickness: 1um
81	Thickness check			
82	Al photo. (Al wiring) Mask No.11	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
83	Al etch	RIE (rank B)	10-13 min	
84	Etch check			
85	PR removal	O ₂ asher	30 min	
86	Check characteristics			
87	H ₂ anneal	400 deg C H ₂ :120 ml/min N ₂ :3 l/min	30 min	Program:5→4→7
88	UV expose		2 min	
89	Cont.2 photo. (Contact for detector) Mask No.12	OAP-bake: 160 deg C OAP coat 1st 500 rpm 2nd 3,000 rpm PR coat: THMR-iP3100HS LB 15 cp 1st 500 rpm 2nd 3,000 rpm Coat-bake: 110 deg C Expose: i-Ray stepper Development: NMD Rinse: DW Dev-bake: 120 deg C	90 s 5 s 30 s 5 s 25 s 90 s (270 ms) 33 s 33 s 5 min	Coat recipe: No.8 Development recipe: No.22
90	SiO ₂ removal	BHF		
91	PR removal	Acetone IPA DIW overflow	>20 min 5 min 5 min	
92	LF photo. (Lift off for detector) Mask No.13	Pre bake: 170 deg.C LOR (30B) coat 1st 500 rpm 2nd 4500 rpm LOR bake: 170 deg C PR coat:	5 min 5 s 45 s 5 min	Coat recipe: No.5

		1st 500 rpm 2nd 3000 rpm PR-bake: 110 deg C Expose: i-Ray stepper Development/LOR etch: NMD Rinse: DIW Bake: 120 deg.C	5 s 25 s 90 s (270 ms) ~60 sec 2 min 5 min	
93	Au depo.	Rate: 0.5 nm/s		thickness:
94	Lift off	Remover PG IPA DIW overflow	1 day 5 min 10 min	
95	Dicing	15.75 mm × 15.75 mm		
96	FIB	Detection grating Beam mode : Ufine Image scale : 15 μm Depth : 0.055 μm (11 scan) Launching grating Beam mode : Ufine Image scale : 24 μm Depth : 0.009 μm (4 scan)		

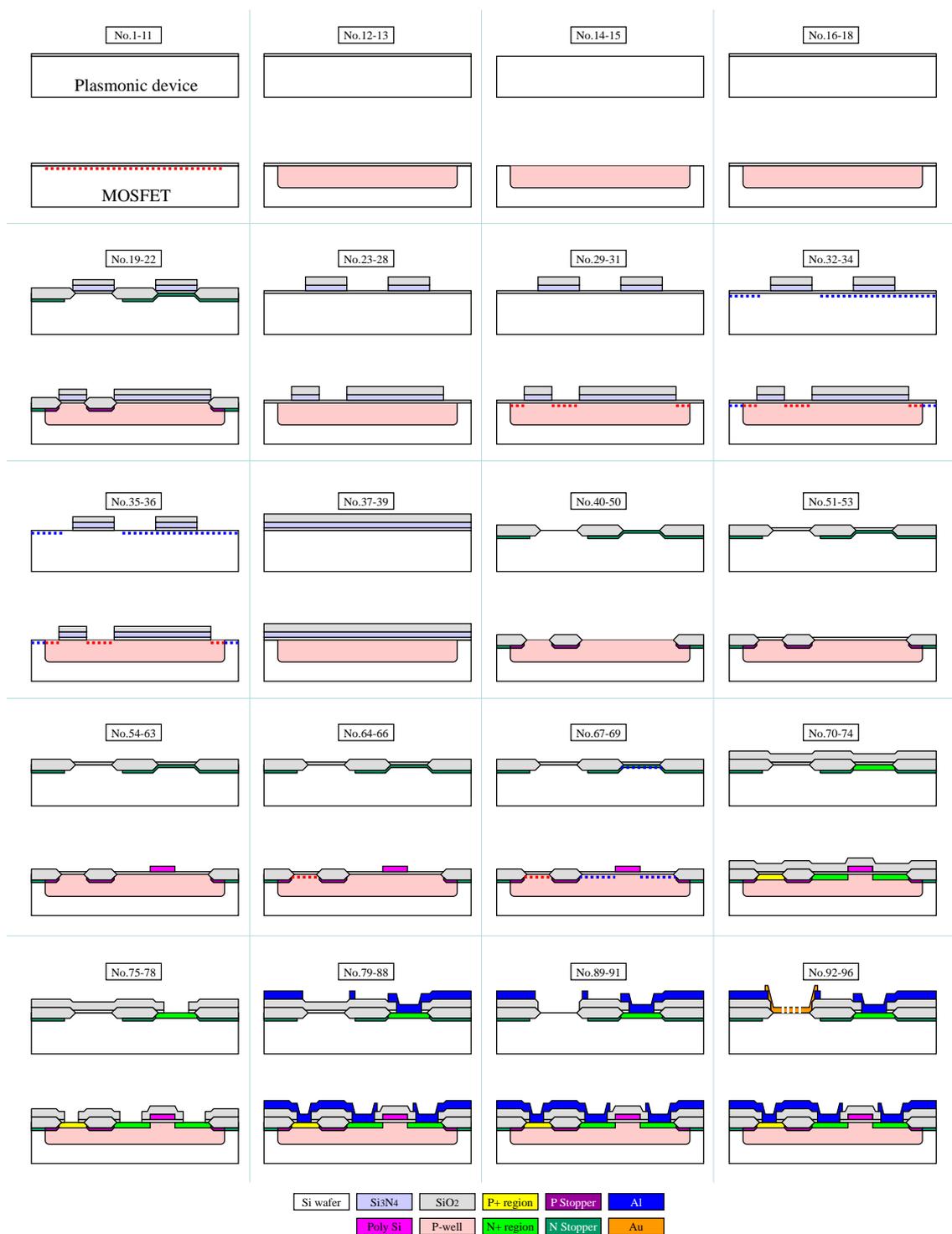


図 A.1 プロセスフロー

表 A.2 ウェハ所在表 (“r”はエッチングレート導出用、★は本番用ウェハを示す。)

No.	Step	Wafer name														
		★	T1	T2	T3	TT3	T4	T5	T6	T7	T8	R1	R2	R3	D1	D2
1	Wafer preparation	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O
2	Pre clean	O	O													
3	Oxidation	O	O													
4	Thickness check	(O)	O													
5	AM photo.	O														
6	Si etch	O														
7	Etch check	O														
8	PR removal	O														
9	PW photo.	O														
10	PW I/I	O	O													
11	PR removal	O														
12	Pre clean	O	O												O	O
13	Drive in	O	O												O	O
14	SiO2 removal	O	O													
15	Sheet res. check		O													
16	Pre clean	O	O	O											O	O
17	Pad Oxidation	O	O	O											O	O
18	Thickness check	O		O												
(19)	Pre clean	O	O		O							O			O	O
20	Si3N4 depo.	O	O		O										O	O
21	TEOS depo.	O										O			O	O
22	Thickness check	O	O		O							O				
23	AC photo.	O														
24	TEOS etch	O										Or				
25	Etch check	O														
26	Si3N4 etch	O	Or													
27	Etch check	O														
28	PR removal	O														
29	PS photo.	O														
30	PS I/I	O	O													
31	PR removal	O														
32	NS photo.	O														
33	NS I/I	O		O												
34	PR removal	O														
35	Pad SiO2 etch	O	O	O												
36	Etch check	O	O	O												
37	Pre clean	O	O	O	O										O	O
38	LOCOS oxidation	O	O	O	O										O	O
39	Thickness check Sheet res. check	O		O												
40	TEOS removal	O			O											
41	Si3N4 removal	O			Or											
42	Etch check	O			O											
43-48																
49	SiO2 removal	O														
50	Etch check	O														
51	Cleaning	O				O	O	O	O						O	O
52	Oxidation	O				O	O	O	O						O	O
53	Thickness check	O				O										
54	Poly-Si depo.	O					O	O	O						O	O
55	Thickness check	O					O	O								
56	High res. I/I	O					O	O	O							
57	RE photo.	O														
58	Low res. I/I	O						O								
59	PR removal	O														
60	PS photo.	O														
61	Poly-Si etch	O							Or							
62	PR removal	O														
63	Etch check	O														
64	PD photo.	O														
65	PD I/I	O														
66	PR removal	O														

67	ND photo.	O															
68	ND I/I	O															
69	PR removal	O															
70	Cleaning	O				O	O			O			O	O	O	O	
71	TEOS depo.	O								O			O	O	O	O	
72	Thickness check	O								O							
73	TEOS anneal	O				O	O						O	O	O	O	
74	Thickness check	O											O	O			
75	Cont. photo.	O															
76	SiO2 removal	O				Or							Or				
77	Etch check	O											O				
78	PRR removal	O															
79	Cleaning	O								O							
80	Al depo.	O								O							
81	Thickness check									O							
82	Al photo.	O															
83	Al etch	O								O							
84	Etch check	O								O							
85	PR removal	O															
86	Char. Check	O															
87	H2 anneal	O				O	O										

表 A.3 フォトマスク対応表

Mask No.	Process No.	Name	Mark	Layer No.	Cadence	Resist type
①	5	Alignment mark	AM	21, 13	Sens2	Posi
②	9	P-well	PW	6, 13	P_well	Posi
③	23	Active	AC	1, 12	Active	Nega
②	29	P-ch Stop	PW	6, 13	P_well	Posi
④	32	N-ch Stop	PW	6, 3, 12	Poly2	Nega
⑤	46	Capacitance	CAP	8, 13	Pcap	Posi
⑥	57	Resistance	RES	24, 13	GP6	Posi
⑦	60	Poly-Si	PS	2, 12	Poly1	Nega
⑧	64	P-dope	PP	11, 13	PP	Posi
⑨	67	N-dope	NN	10, 13	NN	Posi
⑩	75	Contact 1	CW	9, 13	Contact	Posi
⑪	82	Al wiring	MT	4, 12	Metal1	Nega
⑫	89	Contact 2	PAD	20, 13	Sens1	Posi
⑬	92	Au Lift off	AU	7, 13	N Depletion	Posi

付録 B 表面プラズモン検出器の 目標性能

チップ内光配線において許容される消費エネルギー (10 fJ/bit)^[1]を基準とし、表面プラズモン検出器の目標性能を見積もる^[2]。いま、パルス時間幅 $t_{\text{ON}} (=t_{\text{OFF}})$ の光電流が抵抗 R_{in} に流れ、電界効果型トランジスタを駆動する場合を考える。単位ビットあたりの消費エネルギー E_{OE} は、

$$E_{\text{OE}} = P_{\text{req}} t_{\text{ON}} \quad (\text{B.1})$$

で与えられる。ここで、 P_{req} はトランジスタを駆動するために必要な検出器への入射光強度である。トランジスタの閾値電圧を V_{th} 、検出器の受光感度を R_{de} とすれば、 P_{req} は

$$P_{\text{req}} = \frac{V_{\text{th}}}{R_{\text{in}} R_{\text{de}}} \quad (\text{B.2})$$

より得られる。また、信号の入力部における遮断周波数 f_c は、検出器の静電容量を C_{de} とすれば、

$$f_c = \frac{1}{2\pi R_{\text{in}} C_{\text{de}}} \quad (\text{B.3})$$

である。遮断周波数とパルスの立ち上がり時間 t_r (あるいは立下り時間 t_f) には

$$t_r = t_f = \frac{0.35}{f_c} \quad (\text{B.4})$$

の関係があるから^[3]、 $t_r = t_f < t_{\text{ON}}/10$ を条件とすれば、 $0.35/f_c < t_{\text{ON}}/10$ を満たす必要がある。以上より、次式の関係が導出される。

$$E_{\text{OE}} = 7\pi \frac{C_{\text{de}}}{R_{\text{de}}} V_{\text{th}} \quad (\text{B.5})$$

図 B.1 に、 $E_{\text{OE}}=10$ fJ/bit、 $V_{\text{th}}=0.2$ V とした場合の R_{de} と C_{de} の関係を示す。受光感度が低

い場合においても、静電容量を下げれば検出器の性能は目標値に達することが分かる。また、同図に本研究で実現した表面プラズモン検出器の特性を示す。なお、検出器の静電容量の値 $C_{de}=25$ fF は、式 (2.17) より求めた計算値である（ショットキー接触面積 $25\ \mu\text{m}\times 25\ \mu\text{m}$ 、逆バイアス電圧 $5\ \text{V}$ ）。検出器の受光感度は、 $R_{de}=24\ \text{nA/mW}$ であるから、 $E_{OE}=4.6\ \text{nJ/bit}$ と求まる。本検出器の性能を目標値まで向上させるためには、例えば、静電容量を $1/10^4$ 倍の $2.5\ \text{aF}$ にし、かつ受光感度を 100 倍の $2.4\ \mu\text{A/mW}$ にする必要がある。ショットキー接触面積を $250\ \text{nm}\times 250\ \text{nm}$ に縮小すれば、式 (2.17) より $1/10^4$ 倍の静電容量の低下が見込める。また、動作波長を $1310\ \text{nm}$ とし金属材料をアルミニウムに変更すれば、 200 倍程度の受光感度の向上が見込める^[4]。したがって、検出器のサイズや金属材料の変更などにより、実用レベルまで検出器の特性が改善すると考えられる。

また、図 B.2 に、 $t_{ON}=0.1\ \text{s}$ （ビットレート $10\ \text{Gb/s}$ 、 $f_c=35\ \text{GHz}$ に相当）とした場合の R_{in} と C_{de} の関係を示す。静電容量が大きい場合においても、回路の入力抵抗を下げれば所望のビットレートに達することが分かる。しかしこの場合、所望の消費エネルギーにするために検出器の受光感度を高くする必要がある。

以上をまとめると次のことが言える。検出器の受光感度が与えられれば、所望の消費エネルギーにするための検出器の静電容量が決まり、静電容量が決まれば、所望のビットレートにするための回路の入力抵抗が求まる。あるいは、検出器の静電容量が与えられれば、所望の消費エネルギーにするための受光感度および所望のビットレートにするための入力抵抗が同時に決まる。

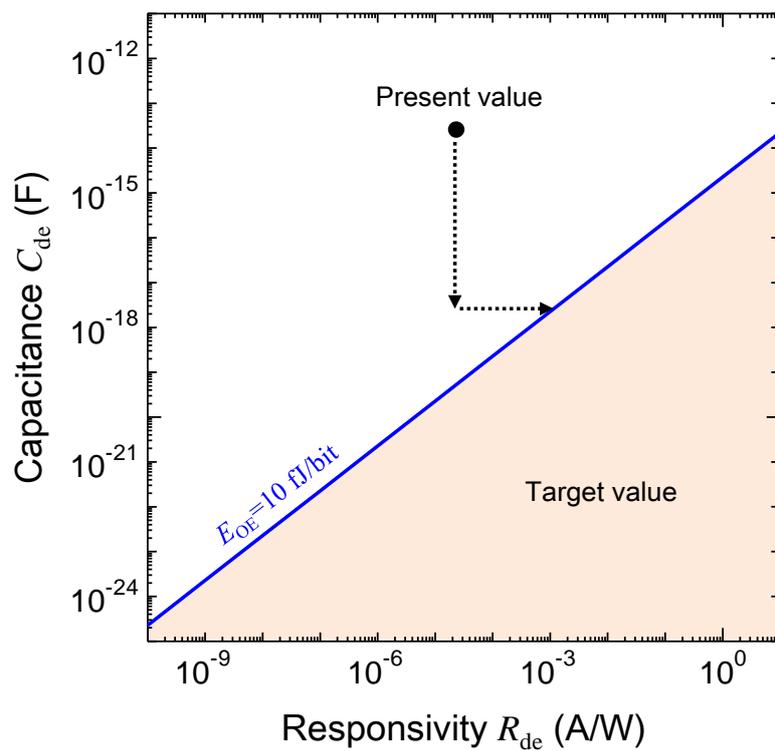


図 B.1 消費エネルギー10 fJ/bit を満たす受光感度と静電容量の関係

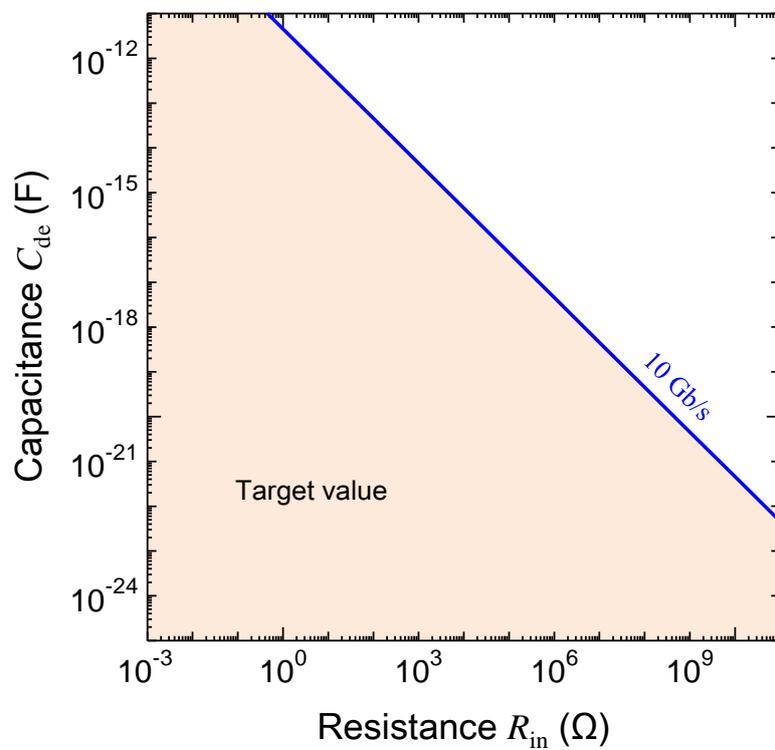


図 B.2 ビットレート 10 Gb/s を満たす入力抵抗と静電容量の関係

付録 C ビートスペクトルの理論式

ビートスペクトルの理論式を導く^[5-9]。いま、光電変換器前面での光の電界を

$$E_1 = u_2 \exp\{j\omega_0(t-t_d) + \phi(t-t_d)\} \quad (\text{C.1})$$

$$E_2 = u_2 \exp\{j(\omega_0 + \Omega)t + \phi(t)\} \quad (\text{C.2})$$

と表す。ここで、 $\phi(t)$ は半導体レーザの位相ゆらぎを表す。光電変換器での検出信号 $I(t)$ は、直流成分および定数部を省略すると

$$I(t) = \exp\{j[-\Omega t - \omega_0 t_d + \phi(t-t_d) - \phi(t)]\} \quad (\text{C.3})$$

となる。 $I(t)$ の自己相関関数 $R(\tau)$ は、

$$\begin{aligned} R(\tau) &= \langle I^*(t) \cdot I(t+\tau) \rangle \\ &= \exp(j\Omega\tau) \langle \exp[j\{\phi(t-t_d) - \phi(t) + \phi(t-\tau) - \phi(t+\tau-t_d)\}] \rangle \end{aligned} \quad (\text{C.4})$$

となる。ただし、 $\langle \dots \rangle$ は時間平均を表す。また、位相ゆらぎの平均は、周波数雑音スペクトルに等しいことから、

$$\langle \{\phi(t) - \phi(t-\tau)\}^2 \rangle = \frac{2}{\pi} \int_{-\infty}^{\infty} \sin^2\left(\frac{\omega\tau}{2}\right) S_f(\omega) \frac{d\omega}{\omega^2} \quad (\text{C.5})$$

で表される。ここで、 $S_f(\omega)$ はパワースペクトル密度であり、周波数によらず一定であると仮定すれば、

$$S_f(\omega) = 2\pi\Delta\nu = \frac{2}{\tau_c} \quad (\text{C.6})$$

となる。ここで、 $\Delta\nu$ は光源のローレンツスペクトルの半値全幅、 τ_c はコヒーレンス時間である。式 (C.6) を式 (C.5) に代入すれば、

$$\langle \{\phi(t) - \phi(t-\tau)\}^2 \rangle = 2\pi\Delta\nu|\tau| = \frac{2|\tau|}{\tau_c} \quad (\text{C.7})$$

が得られる。ここで、位相ゆらぎがガウス分布に従っていると仮定すれば、

$$\langle \exp[\pm j\{\phi(t) - \phi(t - \tau)\}] \rangle = \exp\left[-\frac{\langle \phi(t) - \phi(t - \tau) \rangle^2}{2}\right] \quad (\text{C.8})$$

が成り立つから、式 (C.7) と式 (C.8) より、

$$\langle \exp[\pm j\{\phi(t) - \phi(t - \tau)\}] \rangle = \exp\left(-\frac{|\tau|}{\tau_c}\right) \quad (\text{C.9})$$

の関係が得られる。この式より、 $I(t)$ の自己相関関数は

$$R(\tau) = \exp(j\Omega\tau) \cdot \exp\left\{-\frac{2|\tau| + 2t_d - |-\tau + t_d| - |\tau - t_d|}{\tau_c}\right\} \quad (\text{C.10})$$

に整理される。パワースペクトルは、自己相関関数のフーリエ変換によって得られる (Wiener-Khintchine の理論^[10])。したがって、ビートスペクトルの理論式

$$S(\omega) = \exp\left(-2\frac{t_d}{\tau_c}\right) \delta(\omega - \Omega) + \frac{2/\tau_c}{(\omega - \Omega)^2 + (2/\tau_c)} \left[1 - \exp\left(-2\frac{t_d}{\tau_c}\right) \cdot \left\{\cos(\omega - \Omega)t_d + 2\frac{t_d}{\tau_c} \frac{\sin(\omega - \Omega)t_d}{(\omega - \Omega)t_d}\right\}\right] \quad (\text{C.11})$$

が導出される。

次に、各光路を通る光の位相ゆらぎが異なる場合を考える。すなわち、各光路を通る光の電界を次のように表す。

$$E_1 = u_2 \exp\{j\omega_0 t + \phi_1(t)\} \quad (\text{C.12})$$

$$E_2 = u_2 \exp\{j(\omega_0 + \Omega)t + \phi_2(t)\} \quad (\text{C.13})$$

光強度の自己相関関数は、前述した方法と同様にして

$$R(\tau) \propto \exp(j\Omega\tau) \exp\left(-\frac{|\tau|}{\tau_{c1}}\right) \exp\left(-\frac{|\tau|}{\tau_{c2}}\right) \quad (\text{C.14})$$

となる。この自己相関関数のフーリエ変換は

$$S(\omega) \propto \frac{\frac{1}{\tau_{c1}} + \frac{1}{\tau_{c2}}}{(\omega - \Omega)^2 + \left(\frac{1}{\tau_{c1}} + \frac{1}{\tau_{c2}}\right)} \quad (\text{C.15})$$

であり、これを光源のスペクトルの半値全幅

$$\Delta\nu_i = \frac{1}{\pi\tau_{ci}} \quad (i=1, 2) \quad (\text{C.16})$$

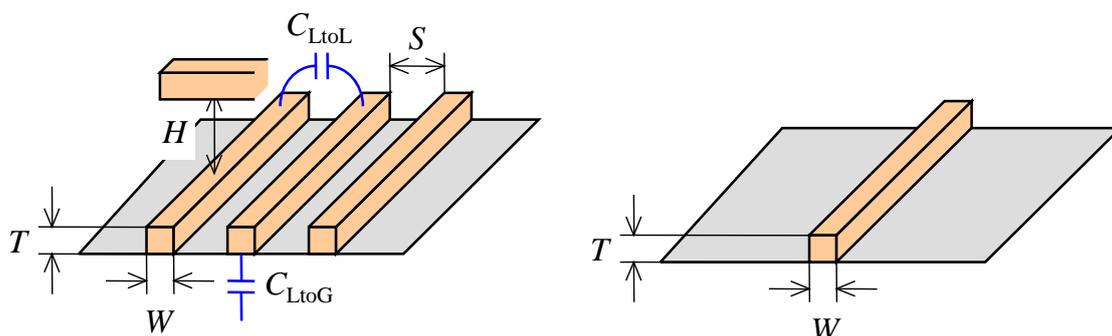
で表せば、

$$S(\omega) \propto \frac{(2\pi\Delta\nu_1 + 2\pi\Delta\nu_2)/2}{(\omega - \Omega)^2 + \{(2\pi\Delta\nu_1 + 2\pi\Delta\nu_2)/2\}^2} \quad (\text{C.17})$$

が得られる。

付録 D 表面プラズモン配線の優位性

表面プラズモン配線と電気配線の性能を比較する^[1]。図 D.1 に、比較に用いた各配線の構造を示す。また、表 D.1 に、記号の定義をまとめて示す。表面プラズモン配線として、シリコン基板上にストライプ形状の金が配置された構造を仮定し、一方、電気配線として、シリコン酸化膜上にストライプ形状の銅が等間隔に配置された構造を仮定した。

(a) 電気配線 (SiO₂/Cu/SiO₂ 構造)

$$W=T=H=S/2=100 \text{ nm}$$

(b) 表面プラズモン配線 (air/Au/Si 構造)

$$W=T=100 \text{ nm}$$

図 D.1 比較に用いた配線構造

表 D.1 記号一覧

記号	意味	記号	意味
τ_E	電気配線遅延時間	τ_{SP}	SP 群速度遅延時間
R	配線抵抗とトランジスタ抵抗の和	α	SP 減衰長
R_{wire}	配線抵抗	E_{SP}	SP 配線最小消費エネルギー
$R_{transistor}$	トランジスタ抵抗	E_E	電気配線消費エネルギー
ρ_{wire}	配線抵抗率	η	受信量子効率
$\rho_{transistor}$	トランジスタ抵抗率	N	プラズモン数
C	配線容量	$N_{required}$	ショット雑音限界プラズモン数
C_{LtoL}	配線-配線間容量	h	プランク定数
C_{LtoG}	配線-グランド間容量	ν	光の振動数
L	配線長	ω	光の角周波数
W	配線幅	ν_g	SP 群速度
T	配線高さ	c	光速
S	配線間隔	λ_0	自由空間光波長
H	配線層間絶縁体膜厚	λ_{SP}	SP 波長
ϵ_0	真空誘電率		
ϵ_r	絶縁層比誘電率		
V	動作電圧		

(1) 遅延時間

電気配線における遅延時間の導出過程を図 D.2 にまとめる。配線遅延を与える抵抗は、電気配線の抵抗とトランジスタの抵抗の和で与えられる。配線幅 100 nm の銅配線の場合、抵抗率は $2.4 \mu\Omega \cdot \text{cm}$ である^[12]。なお、配線幅の減少と伴いこの抵抗率は増加する。これは、配線幅が電子の平均自由行程以下になると表面での散乱が支配的になるためである^[12,13]。また、トランジスタの抵抗率は配線のハーフピッチが 100 nm の場合、 $236 \Omega \cdot \mu\text{m}$ である^[14]。一方、配線遅延を与える容量は、配線-グランド間の容量と配線間の容量の和で与えられる。各容量は図 D.2 に示した経験式より与えられる^[15]。

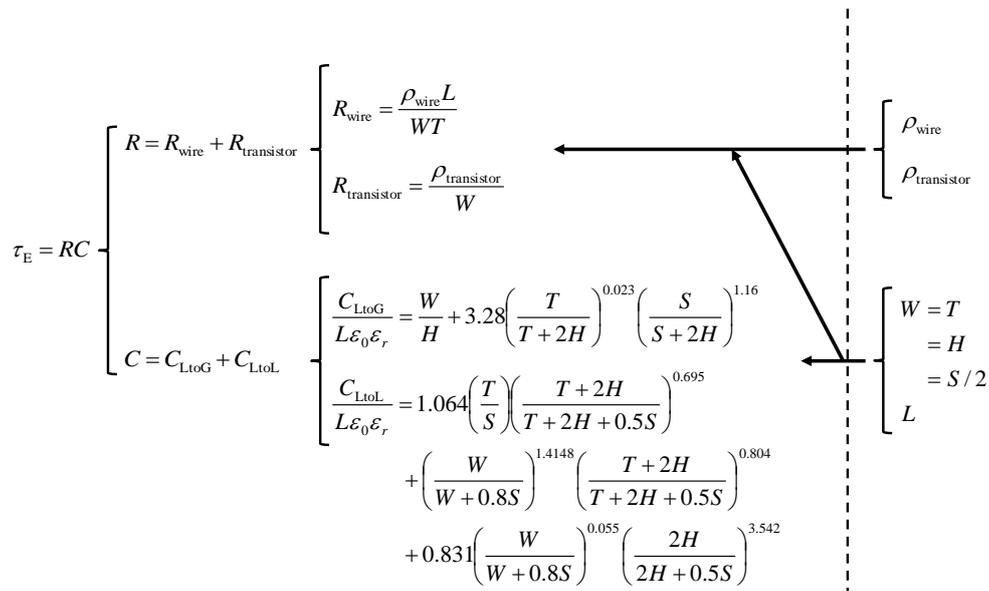


図 D.2 電気配線遅延時間の導出過程

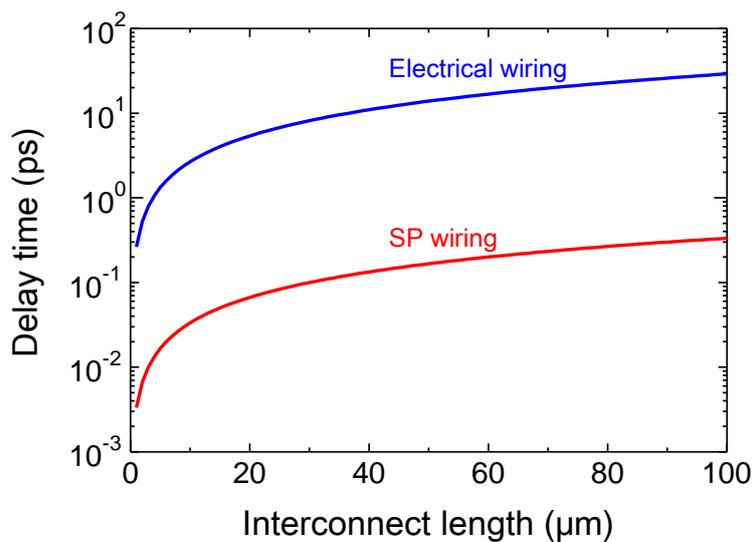


図 D.3 電気配線および表面プラズモン配線における遅延時間

一方、表面プラズモン配線における遅延時間は表面プラズモンの群速度と導波路長さから求まる時間 $\tau_{SP}=L/v_g$ で定義される。はじめに、電磁界解析により、表面プラズモンの光子エネルギー $\hbar\omega/2\pi$ と波数 k の関係、すなわち分散関係を求める。次に、この分散関係より、表面プラズモンの群速度 $v_g=\Delta\omega/\Delta k$ を導出する。これより、表面プラズモン配線における遅延時間が導出できる。今回仮定したストライプ形状の表面プラズモン導波路では、表面プラズモンの群速度は光速と同程度であった。

図 D.3 に、各配線における遅延時間を示す。同図より、表面プラズモン配線の遅延時間は、電気配線のそれと比較して 2 桁程度短いことが分かる。これより、表面プラズモン配線は、電気配線よりも高速であることが示された。

(2) 消費電力

電気配線における消費電力は、 $E_E=CV^2/2$ で与えられる。 C は単位長さあたりの容量であるから、消費電力は配線長に比例して増加することが分かる。また、動作電圧として $V=1\text{ V}$ を仮定した。

一方、表面プラズモン配線における消費電力は、ビットエラーレート (BER) のショット雑音限界より求められる。ショット雑音のみを仮定した BER は、送受信機の量子効率 η と光子数 N より求められる^[16]。表 D.2 に、各通信方式における BER と $BER=10^{-30}$ となるショット雑音限界の光子数 N_{required} を示す。なお、 $\eta=1$ を仮定した。受信パワーが $N_{\text{required}}\hbar\nu$ 以下の場合、ショット雑音の分散により、規定された BER の範囲内で信号と雑音の判別が不可能となる。また、表面プラズモンは損失を伴いながら導波する。したがって、表面プラズモン配線における消費電力は、Duty 比が 50% であると仮定すれば、 $E_{SP}=N_{\text{required}}\hbar\nu\exp(\alpha L)/2$ で与えられる。

表 D.2 各通信方式における BER と N_{required}

通信方式		BER (ショット雑音限界)	N_{required} ($\eta=1, BER=10^{-30}$)
ヘテロダイン	ASK	$\frac{1}{2}\exp\left(-\frac{\eta N}{4}\right)$	274
	FSK	$\frac{1}{2}\exp\left(-\frac{\eta N}{2}\right)$	137
	PSK/DPSK	$\frac{1}{2}\exp(-\eta N)$	68
ホモダイン	ASK	$\frac{1}{2}\exp\left(-\frac{\eta N}{2}\right)$	137
	PSK	$\frac{1}{2}\exp(-2\eta N)$	34
直接検波	IM	$\frac{1}{2}\exp\left(-\frac{\eta N}{2}\right)$	137

すなわち、配線長の増加に対して消費電力は指数関数的に増加する。今回仮定したストライプ形状の表面プラズモン導波路では、表面プラズモンの減衰長は、 $\alpha=2.57\ \mu\text{m}$ であった。

図 D.4 に、各配線における消費電力を示す。なお、通信方式として、ヘテロダインの PSK を仮定した。同図が示す通り、配線長 $13\ \mu\text{m}$ 以上では電気配線の消費電力が低く、逆にそれ以下の長さでは表面プラズモン配線の消費電力が低いことが分かる。このように、ある長さ（Crossover length）で消費電力の大小関係が変化する理由は、電気配線では配線長に比例して消費電力が増加するのに対し、表面プラズモン配線では指数関数的に増加するためである。この Crossover length は、表面プラズモンの減衰長の増加とともに長くなる。特に、単純なフィルム型表面プラズモン導波路では、減衰長は $\alpha=338\ \mu\text{m}$ であり、このとき Crossover length は $3.6\ \text{mm}$ となる。一般に、表面プラズモンの閉じ込めの強さと伝搬距離の間にはトレードオフの関係があるため、設計目標に応じて導波路形状を変化させる必要があると言える。

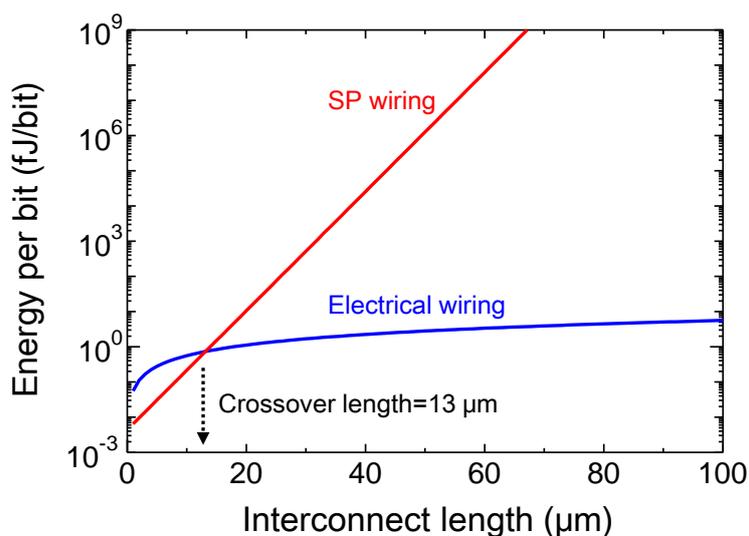


図 D.4 電気配線および表面プラズモン配線における消費電力

付録 E 表面プラズモンの反射率

表面プラズモンの反射率を計算するための式を導出する^[17]。図 E.1 に示すような座標系で、 $+x$ 方向から $-x$ 方向に表面プラズモンが導波し、 $x=0$ の点にある反射体（例えば、回折格子）によって $+x$ 方向に表面プラズモンが反射される場合を考える。

入射および反射する表面プラズモンの電界は、それぞれ

$$E_{\text{inc}}(x, z_0) = A_{\text{inc}} \left(\hat{x} + i \frac{k_{\text{SP}}}{k_z} \hat{z} \right) e^{\alpha(x-x_m)} e^{-k_z z_0} e^{-ik_{\text{SP}} x} \quad (\text{E.1})$$

$$E_{\text{ref}}(x, z_0) = A_{\text{ref}} \left(\hat{x} + i \frac{k_{\text{SP}}}{k_z} \hat{z} \right) e^{-\alpha x} e^{-k_z z_0} e^{i(k_{\text{SP}} x + \varphi)} \quad (\text{E.2})$$

ここで、 k_{SP} は表面プラズモンの波数、 α は表面プラズモンの x 方向への減衰距離（電界振幅が $1/e$ になる距離）、 φ は入射および反射する表面プラズモンの位相差である。入射および反射する表面プラズモンの干渉パターンの強度は、それぞれの電界の和とその複素共役の積で表せるから、

$$\begin{aligned} I_{\text{tot}}(x, z_0) &= \frac{1}{2} (E_{\text{inc}} + E_{\text{ref}}) (E_{\text{inc}} + E_{\text{ref}})^* \\ &= A_{\text{inc}}^2 e^{-2k_z z_0} e^{-2\alpha x_m} \left(1 + \frac{k_{\text{SP}}^2}{k_z^2} \right) \left\{ \frac{1}{2} e^{2\alpha x} + \frac{1}{2} e^{-2\alpha x} r^2 + r \cos(2k_{\text{SP}} x + \varphi) \right\} \end{aligned} \quad (\text{E.3})$$

となる。

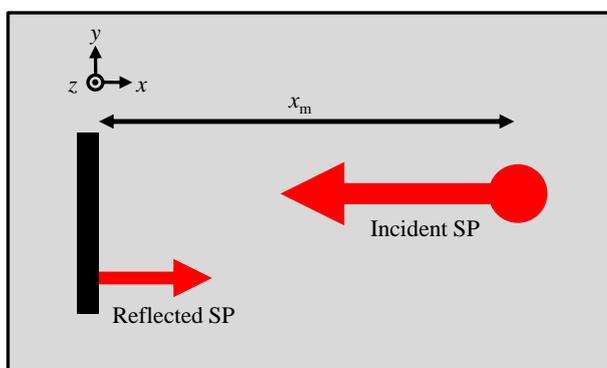


図 E.1 表面プラズモンの反射

ここで、反射係数 r を

$$r = \frac{A_{\text{ref}}}{A_{\text{inc}} e^{-\alpha x_m}} \quad (\text{E.4})$$

と定義した。 I_{tot} は、 $\cos(2k_{\text{SP}}x + \varphi) = 1$ のとき最大値 ($I_{\text{tot}} = I_{\text{max}}$) となり、 $\cos(2k_{\text{SP}}x + \varphi) = -1$ のとき最小値 ($I_{\text{tot}} = I_{\text{min}}$) となることから、干渉パターンのコントラスト $C(x)$ は、

$$\begin{aligned} C(x) &= \frac{I_{\text{max}} - I_{\text{min}}}{I_{\text{max}} + I_{\text{min}}} \\ &= \frac{2r}{e^{2\alpha x} + r^2 e^{-2\alpha x}} \end{aligned} \quad (\text{E.5})$$

となる。式 (E.5) を r について解けば、表面プラズモンの反射率と干渉パターンのコントラストの関係式

$$r = \frac{1 - \sqrt{1 - C(x)^2}}{C e^{-2\alpha x}} \quad (\text{E.6})$$

が得られる。すなわち、反射体付近での干渉パターンのコントラストから表面プラズモンの反射率が算出できる。

参考文献

- [1] D. A. B. Miller : “Device Requirements for Optical Interconnects to Silicon Chips”, Proceedings of the IEEE, **97**, 1166-1185 (2009)
- [2] 野崎 謙悟, 松尾 慎治, 武田 浩司, 佐藤 具就, 藤井 拓郎, 倉持 栄一, 納富 雅也 : “微小な埋込みヘテロ構造をもつフォトニック結晶導波路型 InGaAs 光ディテクタの検討”, 電子情報通信学会技術研究報告. MWP, マイクロ波・ミリ波フォトニクス, **113**, 307-310 (2014)
- [3] 米津 宏雄 : 光通信素子光学, 工学図書 (2003)
- [4] A. Akbari, R. N. Tait, and P. Berini : “Surface plasmon waveguide Schottky detector”, Optics Express, **18**, 8505-8514 (2010)
- [5] 飯山 宏一 : “半導体レーザーの光注入同期系に関する研究”, 博士論文, 金沢大学 (1993)
- [6] 西田 慶次 : “Yb 原子が有する長寿命な準安定状態への励起に向けた半導体レーザーの線幅狭窄化”, 卒業論文, 東京工業大学 (2014)
- [7] L. E. Richter, H. I. Mandelberg, M. S. Kruger, and P. A. McGrath : “Linewidth Determination from Self-Heterodyne Measurement Subcoherence Deley Times”, IEEE J. Quantum Electron., **QE-22**, 2070 (1986)
- [8] 菊池 和明, 大越 孝敬, 中山 明芳 : “半導体レーザーの発振スペクトルの新しい高分解能測定法 (遅延自己ヘテロダイン法)”, 電子情報通信学会技術報告, **QQE80-50** (1980)
- [9] L. B. Mercer : “1/f frequency noise effects on self-heterodyne linewidth measurement”, IEEE J. Lightwave Tech. **9**, 485-493 (1991)
- [10] 大坪 順次 : フォトニクス情報処理入門, コロナ社 (2009)
- [11] J. A. Conway, S. Sahni, and T. Szkopek : “Plasmonic interconnects versus conventional interconnects: a comparison of latency, crosstalk and energy costs”, Optics Express, **15**, 4474-4484 (2007)
- [12] W. Steinhogel, G. Schindler, G. Steinlesberger, and M. Engelhardt : “Size-dependent resistivity of metallic wires in the mesoscopic range”, Phys. Rev. B, **66**, 075414 (2002)
- [13] W. Steinhogel, G. Schindler, G. Steinlesberger, M. Traving, and M. Engelhardt : “Comprehensive study of the resistivity of copper wires with lateral dimensions of 100 nm and smaller”, Appl. Phys. Lett., **97**, 023706 (2005)
- [14] ITRS : ITRS 2011 Edition Process Integration, Device, and Structures (2005)
- [15] J.-H. Chern, J. Huang, L. Arledge, P.-C. Li, and P. Yang : “Multilevel Metal Capacitance Models For CAD Design Synthesis Systems”, IEEE Electron Device Letters, **13**, 32-34 (1992)
- [16] 大越 孝敬, 菊池 和郎 : コヒーレント光通信工学, オーム社 (1989)
- [17] J.-C. Weeber, Y. Lacroute, A. Dereux, E. Devaux, T. Ebbesen, C. Girard, M. U. Gonzalez, and A.-L. Baudrion : “Near-field characterization of Bragg mirrors engraved in surface plasmon waveguides”, Phys. Rev. B, **70**, 235406 (2004)