

$\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si(100)基板上の  
Pb(Zr,Ti)O<sub>3</sub> 薄膜焦電型赤外線センサの集積化  
に関する研究

(Study on Integration of Pb(Zr,Ti)O<sub>3</sub> Thin Film Pyroelectric  
Infrared Detectors on  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si(100) Substrate)

2015 年 1 月

博士（工学）

大石 浩史

豊橋技術科学大学

# $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si(100)基板上の Pb(Zr,Ti)O<sub>3</sub> 薄膜焦電型赤外線センサ の集積化に関する研究

## 論文要旨

本研究は結晶配向 Pb(Zr,Ti)O<sub>3</sub> (PZT) 薄膜赤外線センサと CMOS (complementary metal oxide semiconductor) 回路を  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上へ集積化するために必要な要素技術を確立することを目的として研究を行った。 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si と CMOS 回路との集積化におけるプロセス適合性を調査した。また焦電型赤外線センサ応用へ向けた積層赤外線吸収膜の検討、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 上へ PZT 薄膜の形成を行い、赤外線センサとしての評価を行った。

有機金属化学気相成長法(MOCVD 法)により成長した Si 基板上の結晶配向  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜について、CMOS 回路作製工程のアニールプロセスを行い、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の結晶性を調査した。結晶性は高速反射電子線回折、X 線回折を用い分析した。また構成元素の結合状態、表面状態の変化を X 線光電子分光、走査型電子顕微鏡を用いて調べた。 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜は結晶配向 PZT 薄膜を Si 基板上に集積化するための重要な下地材料であるが、CMOS 作製プロセスにおけるアニールプロセスの温度は  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の成長温度に比べて高く、再結晶化や雰囲気ガスによる化学反応等による結晶性、膜質の変化が考えられる。結果より、H<sub>2</sub>O vapor 雰囲気における 1000°C のアニールにより  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si で  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 表面に SiO<sub>2</sub> が形成される等膜質の変化を確認できた。この膜質変化を防ぐため H<sub>2</sub>O 分子を通さない Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 膜を  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 上の保護膜として提案し、その有用性を確認した。そしてこれらの結果から  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板のアニールによる影響について考察をした。また CMOS 回路と  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜を集積化した際の CMOS 回路特性について評価した。

結晶配向 PZT 薄膜赤外線センサを  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板へ形成するデバイスの応用

として、PZT 薄膜に適合する赤外線吸収膜の検討・設計・作製・評価を行った。赤外線センサに用いる 8  $\mu\text{m}$  から 14  $\mu\text{m}$  の波長帯で赤外線吸収特性をもつ CMOS 適合材料を積層させた SiO<sub>2</sub>/SiN 積層膜を設計・作製して PZT 薄膜赤外線センサ上へ形成した。その結果、平均が 86%となるような赤外線吸収率が得られた。また検出感度向上に向けて有限要素法を用いた過渡伝熱解析に基づき、センサ構造の設計を行った。本センサの赤外線応用評価を行った結果、 $1.15 \times 10^7 \text{ cmHz}^{1/2}/\text{W}$  の比検出能  $D^*$  が得られ、デバイス応用に用いることができる値であった。

最後に  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板上へ PZT 薄膜赤外線センサと CMOS 回路の集積化を行った。全 140 工程、マスク 20 枚を要してデバイスの作製を行った。全工程後の PZT 薄膜の強誘電体特性及び CMOS 回路特性を評価した結果、両方とも特性の劣化なく作製することに成功し、結晶配向 PZT 薄膜赤外線センサを CMOS 回路と集積化するプロセスの確立に成功した。

本研究により、CMOS 回路と PZT 薄膜赤外線センサを  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板上へ集積化するためのプロセスを確立した。これらの研究成果より、 $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板上の結晶配向した PZT 薄膜を用いることで赤外線センサと CMOS 回路の集積化デバイス実現への見通しが得られた。

# **Study on Integration of Pb(Zr,Ti)O<sub>3</sub> Thin Films Pyroelectric Infrared Detectors on $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si(100) substrate**

## **Abstract**

In this study, integration processes of crystalline orientated Pb(Zr,Ti)O<sub>3</sub> (PZT) film infrared detectors and complementary-metal-oxide-semiconductor (CMOS) circuits on a  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si substrate was investigated. The process compatibility of  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si and CMOS circuits was investigated. A multilayer-stack infrared absorber was proposed, designed, fabricated, and characterized in order to apply on a PZT film infrared detector on  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si substrate. The infrared detectivity of the fabricated detector with the proposed infrared absorber was characterized.

The crystallinities of the  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> film grown by metal organic chemical vapor deposition were investigated after anneal processes in CMOS fabrication. The crystallinities were analyzed by reflection high energy electron diffraction and x-ray diffraction. The chemical bonding state of the film surface was analyzed by x-ray photoelectron spectroscopy. As a result, anneal of  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si at 1000°C in H<sub>2</sub>O vapor atmosphere appeared to change condition of  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> film. In order to prevent the annealed effect, Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> passivation films which H<sub>2</sub>O molecules are not able to penetrate through the films were proposed. The effect of the annealing process on  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si substrate was proposed and considered based on above experimental results. Circuit characteristics of fabricated transistors integrated on  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si substrate were evaluated.

An infrared absorber for an application of crystalline PZT film infrared

detectors on  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si substrate was proposed, designed, fabricated, and characterized. SiO<sub>2</sub>/SiN multilayer-stack film based on CMOS compatible materials which possess infrared absorption in the wavelength range from 8 to 14  $\mu$ m was designed and fabricated on the PZT film infrared detectors. Average infrared absorptance of 86% was obtained on the proposed multilayer-stack film integrated PZT film detectors. Detector structures were also designed based on transient heat analysis using finite element model in order to improve sensitivity of the PZT film detectors. Specific detectivity of  $1.15 \times 10^7$  cmHz<sup>0.5</sup>/W, a useful value for device applications for infrared detector, was achieved at 30 Hz on the fabricated PZT pyroelectric detector.

At last, the integration of the PZT thin film infrared detectors and CMOS circuits based on  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si substrate was carried out. 140 processes and 20 masks were required to fabricate the device. The characterization on the polarization of the PZT thin film and CMOS circuits after all fabrication processes were obtained without inferior characteristics. The fabrication processes of PZT thin film infrared detector integrated on CMOS circuits were successfully established.

In conclusion, integration processes of CMOS circuits and PZT film infrared detector on  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si substrate were established. The research results suggest that realization of high performance infrared detector based on integration of CMOS circuits and PZT film infrared detector using  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si substrate.

# 目次

<b>第 1 章</b>	<b>序論</b> .....	<b>1</b>
1.1	赤外線センサ.....	1
1.2	MEMS 技術による Si 基板上へのデバイス形成.....	2
1.3	強誘電体薄膜の MEMS 応用.....	3
1.4	センサ応用としての $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ (PZT)強誘電体薄膜.....	4
1.5	Si 基板上の結晶配向 PZT 薄膜形成.....	6
1.6	$\gamma\text{-Al}_2\text{O}_3$ 薄膜を用いた結晶配向 PZT 薄膜センサデバイス.....	7
1.7	本研究の目的.....	9
1.8	本論文の構成.....	10
	参考文献.....	11
<b>第 2 章</b>	<b><math>\gamma\text{-Al}_2\text{O}_3/\text{Si}</math> 基板上の PZT 薄膜赤外線センサ作製技術</b> .....	<b>14</b>
2.1	Si 基板上の結晶配向 PZT 薄膜作製技術.....	14
2.1.1	$\gamma\text{-Al}_2\text{O}_3$ の結晶構造.....	15
2.1.2	Si 基板上への $\gamma\text{-Al}_2\text{O}_3$ 薄膜のエピタキシャル成長.....	16
2.1.3	有機金属化学気相成長法による $\gamma\text{-Al}_2\text{O}_3$ 薄膜の成長.....	17
2.1.4	$\gamma\text{-Al}_2\text{O}_3/\text{Si}$ 基板上への Pt エピタキシャル成長.....	18
2.1.5	Pt/ $\gamma\text{-Al}_2\text{O}_3/\text{Si}$ 基板上への PZT 薄膜のエピタキシャル成長.....	18
2.1.6	Sol-gel 法による PZT 薄膜の成膜.....	19
2.2	薄膜評価技術.....	21
2.2.1	反射高速電子線回折.....	21
2.2.2	X 線回折.....	23
2.2.3	X 線光電子分光.....	25
2.2.4	走査電子顕微鏡.....	26
2.2.5	フーリエ変換赤外線分光光度計.....	27
	参考文献.....	28
<b>第 3 章</b>	<b>Si(100)基板上への <math>\gamma\text{-Al}_2\text{O}_3</math> 薄膜形成と CMOS 回路インテグレーション</b> .....	<b>29</b>
3.1	緒言.....	29
3.2	CMOS プロセスにおける高温プロセス.....	31
3.3	Si 基板上の $\gamma\text{-Al}_2\text{O}_3$ 薄膜アニールサンプルの作製.....	31
3.3.1	Si 基板上への $\gamma\text{-Al}_2\text{O}_3$ 結晶成長.....	31
3.3.2	$\gamma\text{-Al}_2\text{O}_3$ 薄膜のアニール.....	32
3.3.3	$\text{Si}_3\text{N}_4/\text{SiO}_2$ 膜による $\gamma\text{-Al}_2\text{O}_3$ 薄膜の保護.....	33
3.4	反射高速電子線回折及び X 線回折を用いた $\gamma\text{-Al}_2\text{O}_3$ 薄膜の結晶性評価.....	34

3.5	Wet oxidation アニールした $\gamma$ - $\text{Al}_2\text{O}_3$ 薄膜の BHF によるエッチング耐性 .....	37
3.6	X 線光電子分光及び走査型電子顕微鏡を用いた $\gamma$ - $\text{Al}_2\text{O}_3$ 薄膜の表面元素分析と表面観察	38
3.7	$\gamma$ - $\text{Al}_2\text{O}_3/\text{Si}$ 基板のアニールモデル考察.....	41
3.8	$\gamma$ - $\text{Al}_2\text{O}_3$ 薄膜を形成した $\text{Si}(001)$ 基板上への CMOS 回路素子作製及び回路特性評価	43
3.9	結言 .....	45
	参考文献 .....	46
<b>第 4 章</b>	<b>積層赤外線吸収膜と <math>\gamma</math>-<math>\text{Al}_2\text{O}_3/\text{Si}</math> 基板上の PZT 薄膜焦電型赤外線センサの作製・</b>	
	<b>評価</b>	<b>47</b>
4.1	緒言 .....	47
4.2	$\text{SiO}_2/\text{SiN}$ 積層赤外線吸収膜の光学設計 .....	48
4.3	有限要素法による過渡伝熱解析とセンサ構造の設計.....	52
4.4	デバイス作製.....	55
4.5	作製したデバイスの評価.....	57
4.6	赤外線応答感度評価.....	60
4.7	結言 .....	64
	参考文献 .....	65
<b>第 5 章</b>	<b><math>\gamma</math>-<math>\text{Al}_2\text{O}_3/\text{Si}</math> 基板上への PZT 薄膜センサと CMOS 回路の集積化.....</b>	<b>67</b>
5.1	緒言 .....	67
5.2	PZT 薄膜赤外線センサと CMOS 回路の集積化デバイス作製プロセス.....	67
5.3	作製したデバイスの特性評価.....	69
5.3.1	全工程後の PZT 薄膜の強誘電体特性評価.....	70
5.3.2	全工程後の CMOS 回路素子の回路特性評価.....	70
5.4	結言 .....	72
<b>第 6 章</b>	<b>総括 .....</b>	<b>73</b>
	謝辞 .....	75
	付録 .....	76
	本研究に関する発表論文.....	93

# 第1章 序論

## 1.1 赤外線センサ

赤外線は可視光よりも長い電磁波であり温度を持つすべての物体から放射されている。赤外線エネルギーは物体の温度に相関があり、物体から放射される赤外線の波長も物体の温度が低いほど長くなることが分かっている。人体の温度は約 37°C であり、放射される赤外線は波長 10  $\mu\text{m}$  において最も強く放射されている[1]。よってその波長付近の赤外線を検知するセンサによる人体検知や、監視やナイトビジョンなどのセキュリティデバイス、医療や環境モニタなどモニタリングデバイスとして幅広く応用が期待されている。

赤外線センサは物体から放射される赤外線を検知することで物体の温度情報を間接的に得ることのできるデバイスである。赤外線センサはその検出方式から量子型（冷却型）と熱型（非冷却型）の主に二つに分類される。量子型センサは赤外線の光のエネルギーをフォトンとして直接検出をするため感度が非常に高く、高速に応答が可能である[2]。しかしそのためにはセンサを極低温で動作させる必要があり、冷却装置など装置が大型になる。またセンサ材料によって感度の波長依存性がある。一方、熱型センサは赤外線を熱に変換し、センサ材料の温度上昇を物性値変化として赤外線を間接的に検出する。熱型センサには冷却装置が不要なため、デバイスの小型化が期待でき、幅広い分野への応用が期待され様々な熱型赤外線センサが 1990 年代頃から活発に研究されてきた[3-5]。

熱型センサは半導体集積回路技術と微細加工技術などの MEMS (Micro-electro-mechanical systems) 技術の発展により、性能の向上がなされてきた。MEMS 技術により微小構造のセンサ薄膜と基板との熱分離構造を形成することで、センサからの熱の逃げを劇的に減らすことが可能になったためである。図 1-1 に熱型赤外線センサの基本構造を示す。熱型赤外線センサはセンサ薄膜、赤外線吸収膜、熱分離構造（中空構造）で構成される。センサ薄膜は基板との熱分離をするために、宙に浮いた構造となっている。センサは梁により支持及び配線されて、信号を読み出す。またセンサ上には照射された赤外線を効率良く吸収し、熱に変換するための赤外線吸収膜が形成される。このように熱型赤外線センサでは 3 次元微細構造を基板表面に形成する MEMS 技術によってその性能を大きく向上させてきた。



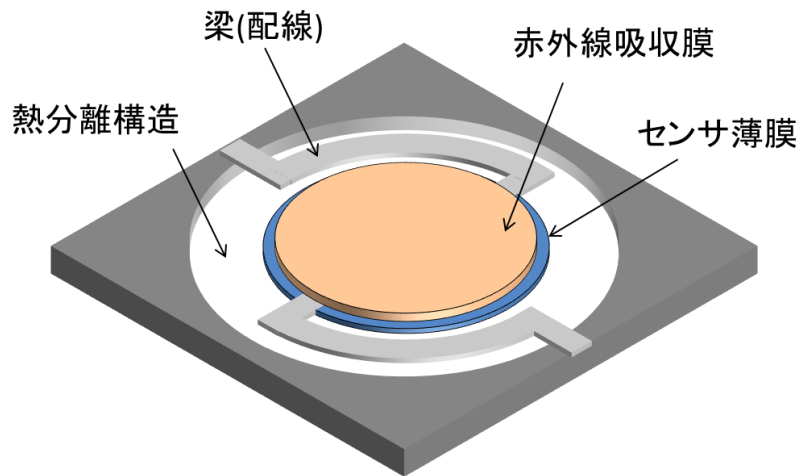


図 1-1 熱型赤外線センサの基本構造

## 1.2 MEMS 技術による Si 基板上へのデバイス形成

MEMS はその名の通り、微細な機械構造や信号処理回路を一つの基板上に集積させたデバイスシステムのことであり、センサやアクチュエータなどへ主に応用されている。MEMS は様々な半導体集積回路製造技術、特殊な微細加工技術、各種材料技術等を駆使して製造される。そして MEMS の最大の特徴は様々な機能を有したデバイスの小型化や集積化を実現している点である。例えば、センサは微細化することで軽量化、省スペース化でき、イメージセンサのようなセンサアレイの場合、高解像な出力画像を得ることができる。またセンサの直近に信号処理回路を形成することで、微小な信号を低雑音で得ることができる。さらに異種材料を組み合わせることで異種のセンサやアクチュエータを集積化でき、単体では得られない機能や性能を得ることができるため、新しいシステムの創出につながる等のメリットがある。MEMS は情報通信、医療・バイオ、自動車、環境など多様な分野における小型、高精細で省エネルギー性に優れた高機能デバイスとして期待されている。

MEMS に使われる材料としては、Si 基板上へ CMOS (complementary metal-oxide-semiconductor) 集積回路を形成する点から、CMOS 適合材料としての Si 材料がよく用いられている。Si 系の材料を用いた MEMS デバイスは微細加工技術により高精度に微細構造体を作製することができ、CMOS 構造を用いた光センサなど小型、高精細、多機能な集積回路を搭載したイメージセンサが実現されている[6]。アクチュエータについても Si の微細な 3 次元構造体を形成し、静電引力により構造を物理的に変位させるマイクロミラーなど様々な応用が報告されている[7]。一方 Si とは異なる材料を用いた MEMS デバイスでは、材料特有の電気特性を用いることができるため、Si では得られないような機能や性

能を得ることが可能となる。このような Si とは異なる材料を用いて様々な機能を実現できる材料を機能性材料と呼ぶ。従来の Si 材料のみを用いる場合は微細化や構造の改良により、デバイスの性能向上が図られてきた。しかしながら微細化や構造改良にも限界があるため、機能性材料を Si 基板上に集積化させて、材料特有の性能を用いることで多機能、高性能な MEMS デバイスを実現させることが期待されている。このように MEMS デバイスでは材料開発や Si 基板上への機能性材料をインテグレーション（一体化）するプロセス技術が重要となる。

### 1.3 強誘電体薄膜の MEMS 応用

強誘電体は自発分極（外部電界がなくても存在している分極）を有しており、外部電界により分極が反転する物質である。図 1-2 に強誘電体薄膜の分極ヒステリシスの模式図を示す。強誘電体薄膜はその電氣的、機械的な特性により機能性材料として広く知られており、圧電特性、焦電特性、高誘電率を有することからセンサ、アクチュエータ、メモリなどへの応用が広く研究されている[8-10]。

強誘電体薄膜は上述の通りデバイスとして様々な機能を有することから、Si 基板上へ形成して、集積回路とのインテグレーションができるように数々の研究がされている。例えば Baek らの研究では MEMS デバイス応用に向けて SrTiO<sub>3</sub> 薄膜、SrRuO<sub>3</sub> 薄膜をバッファ層として、Pb(Mg<sub>1/3</sub>Nb<sub>2/3</sub>)O<sub>3</sub>-PbTiO<sub>3</sub> (PMN-PT) 薄膜の Si 基板上へのインテグレーションが報告されている[3]。圧電定数としては非常に高い  $e_{31} = 27 \text{ C/m}^2$  程度のものが得られている。また Yin らは Si 基板上に SrTiO<sub>3</sub> 薄膜をバッファ層として単結晶 Pb(Zr<sub>0.52</sub>Ti<sub>0.48</sub>)O<sub>3</sub> (PZT) 薄膜の形成について報告している[9]。Niu らは強誘電体メモリへの応用に向け、Si 基板上に SrTiO<sub>3</sub> 薄膜をバッファ層として BaTiO<sub>3</sub> 薄膜のエピタキシャル成長を報告している[10]。このように Si 基板上に機能性材料として良質な強誘電体薄膜を形成することは多くの注目を集めており、インテグレーションの研究がされている。

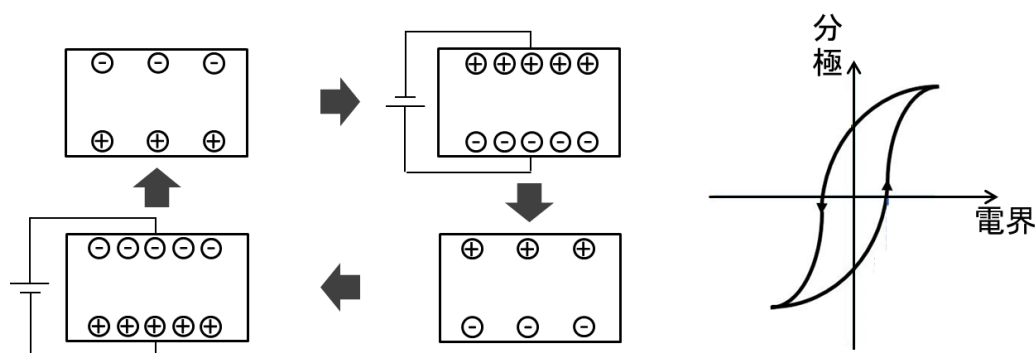


図 1-2 強誘電体の分極ヒステリシスの模式図

## 1.4 センサ応用としての $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ (PZT)強誘電体薄膜

数多くある強誘電体薄膜の中でも特によく用いられている材料としてジルコン酸チタン酸鉛(PZT)薄膜が挙げられる。PZT は 1952 年に Shirane らによって発見された、 $\text{PbZrO}_3$  と  $\text{PbTiO}_3$  の混晶であり、Zr と Ti の組成比により結晶構造が相転位することが報告された[11]。それ以降様々な研究がされてきて、高い圧電特性、焦電特性、高誘電率を有し、機能性材料として認知されている。

PZT 薄膜の電気特性は組成比、結晶性やプロセス条件を制御することで向上が可能である。Kesim らは Si 基板上に形成した PZT 薄膜の組成比とプロセス温度による焦電特性への影響について報告している[12]。700°C のプロセス温度において、Zr:Ti = 30:70 や 40:60 の組成比で  $4.3 \times 10^{-8} \text{ C/cm}^2\text{K}$  程度の焦電係数が得られ、他の組成比に比べて高い焦電係数が得られた。Shi らは PZT などのペロブスカイト構造を持つ強誘電体薄膜の結晶性と焦電特性について調査した結果を報告しており、Pt(111)/Ti/SiO<sub>2</sub>/Si 上に 700°C で形成した組成比 Zr:Ti = 50:50 の PZT(111)において焦電係数  $6.10 \times 10^{-8} \text{ C/cm}^2\text{K}$  が得られている[13]。また Sun らは組成比 Zr:Ti = 30:70 の PZT 薄膜についてプロセス温度の焦電特性に与える影響を報告している。プロセス温度の増加にしたがって焦電係数が増加を確認しており、700°C のプロセス温度で焦電係数  $3.3 \times 10^{-8} \text{ C/cm}^2\text{K}$  が得られている[14]。このように PZT 薄膜の電気特性は組成比、結晶性、プロセス条件により大きく影響を受けるため高性能なセンサデバイスを作製するにはこれらのプロセスを Si 基板上で確立する必要がある。

焦電特性が組成比、結晶性、プロセス条件により向上できることが知見として得られたが、この中でも結晶性を向上させたものは焦電係数が高い値が得られた。これは結晶性良い薄膜の場合は表面に現れる分極値が大きくなるため、焦電効果における電荷変化量が大きかったためであると考えられる。結晶の配向が一方方向に揃っている PZT 薄膜では強誘電体の自発分極が多結晶のものに比べて大きくなることが報告されている[15]。焦電効果を用いる赤外線センサの出力は焦電係数に比例するため、結晶性の良い PZT 薄膜を Si 基板上に形成することはセンサ応用を考えた場合、効果的な特性向上の手法となる。Giebeler らは結晶配向させた PZT(111)薄膜を用いて Si 基板上で焦電型赤外線センサを実現し、 $D^* = 8.5 \times 10^8 \text{ cmHz}^{0.5}/\text{W}$  という高い検出能を持つ赤外線センサが作製できることを報告している[16]。これに対し結晶性を考慮していない Chang らの報告で作製された Si 基板上の PZT 薄膜では赤外線センサの検出能として  $D^* = 2 \times 10^6 \text{ cmHz}^{0.5}/\text{W}$  と低い値が報告されている[17]。これは結晶性を考慮していないために多結晶 PZT 薄膜になっているからであると考えられる。多結晶 PZT 薄膜表面に現れる電荷は結晶配向した PZT 薄膜の表面電荷に比べて少ないため、温度変化が起こった際の電荷の変化量も小さくからである。以上のような報告、及び焦電効果の原理からも結晶性は焦電型赤外線センサの感度を向上させる重要な要素であると言える。

焦電型赤外線センサとして様々な材料を用いて研究がなされてきており、その感度の指標となる比検出能 (Specific detectivity)は様々である。焦電型赤外線センサの報告をまとめた表を表 1-1 に示す。表を見ると、膜厚が 1  $\mu\text{m}$  以下の薄膜センサは赤外線センサの検出周波数が低い領域で感度のある検出特性になっているのに対し、バルクセンサでは検出周波数が高い領域で感度が高いことが分かる。これはバルクセンサでは膜厚が厚いため、熱分離が薄膜センサほど十分でないことが原因であると考えられる。またバルクでは結晶性の良い基板材料をそのまま利用している単素子のセンサに対し、薄膜では Si 基板への集積化をしているという特徴もある。薄膜センサは 1990~2000 年初頭に報告が集中しており、Si 基板上の回路と集積化した報告が多い。一方バルクはここ数年で再び報告が増えてきており、単結晶基板をミリングにより薄くし薄膜化を目指す方向に研究が進んでいることが分かる。以上のことより焦電型赤外線センサの研究動向は様々なアプローチから薄膜の赤外線センサを実現することを重要視している傾向にあることが分かる。

表 1-1 焦電型赤外線センサ性能比較

	Authors	Material	year	Thickness	Specific detectivity ( $D^*$ ) [ $\text{cmHz}^{1/2}/\text{W}$ ]
Thin film	C. C. Chang et al.[17]	PZT	1998	500 nm	$2 \times 10^6$ (1 Hz)
	W. Liu et al.[18]	PZT	2003	550 nm	$1.7 \times 10^8$ (10 Hz)
	C. Giebeler et al.[16]	PZT	2009	800 nm	$5.0 \times 10^8$ (10 Hz)
	L. Pham et al.[19]	PbTiO <sub>3</sub>	1994	360 nm	$2 \times 10^8$ (30 Hz)
	N. Fujitsuka et al.[20]	PVDF	1998	700 nm	$2.4 \times 10^7$ (40 Hz)
Bulk	Q. X. Peng et al.[21]	PZT	2013	30 $\mu\text{m}$	$6.34 \times 10^8$ (110 Hz)
	C. G. Wu et al.[22]	PZT	2014	17 $\mu\text{m}$	$1.75 \times 10^8$ (537 Hz)
	C. G. Wu et al.[23]	PZT/PVDF	2014	20 $\mu\text{m}$	$1.9 \times 10^8$ (137 Hz)
	M. Schossig et al.[24]	LiTaO <sub>3</sub>	2009	20.9 $\mu\text{m}$	$2.32 \times 10^8$ (10 Hz)
	Z. Wendong et al.[25]	LiTaO <sub>3</sub>	2010	10 $\mu\text{m}$	$4 \times 10^8$ (10 Hz)

## 1.5 Si 基板上の結晶配向 PZT 薄膜形成

前節で述べたとおり、焦電型赤外線センサの特性を改善するには結晶配向 PZT 薄膜が有用である。PZT 薄膜を Si 基板上へ形成するにはその下部に成膜される電極や Si 基板とのバッファ層についても特定の結晶配向膜を成膜（エピタキシャル成長）させる必要がある。PZT 薄膜を用いたセンサを作製する場合、図 1-3 に示すように PZT 強誘電体薄膜を電極で挿んだキャパシタ構造を Si 基板上の絶縁膜上に配置する。しかし Si 集積回路において一般的に用いられる絶縁膜である  $\text{SiO}_2$  はアモルファス構造であるため、PZT 薄膜のバッファ層としてこの  $\text{SiO}_2$  膜を利用できない。よって Si 基板上に成長可能な結晶性絶縁膜を利用する必要がある。

Si(100)基板上にエピタキシャル成長できる絶縁膜として  $\gamma\text{-Al}_2\text{O}_3$ 、 $\text{HfO}_2$ 、 $\text{SrTiO}_3$  等様々な PZT 薄膜のバッファ層が報告されてきた[26-28]。 $\text{SrTiO}_3$  は Si 上のバッファ層としてよく用いられる絶縁体であるが、強誘電体膜であるため Si との界面を構成するとバンドオフセットが大きく、電子デバイスの設計が複雑になる。また  $\text{HfO}_2$  や  $\text{SrTiO}_3$  は構成する元素が特殊な材料である。一方これらの中でも  $\gamma\text{-Al}_2\text{O}_3$  は Al と O のみからなる酸化物であるため、Si 集積回路材料としても用いられる原子であり、扱い易いという利点がある。また資源やコストの観点からも有用であるといえる。

これまでに我々の研究室では Si 基板上への  $\gamma\text{-Al}_2\text{O}_3$  薄膜の結晶成長について研究してきており、様々な報告がされてきた。最初の Si 基板上への  $\gamma\text{-Al}_2\text{O}_3$  薄膜の成長は 1988 年に Ishida らによって LPCVD 法により実現された[29]。またその後  $\gamma\text{-Al}_2\text{O}_3$  薄膜上へ Si を結晶成長させて Semiconductor-on-insulator (SOI)構造を形成することに成功している[30]。Sawada らによって TMA と  $\text{N}_2\text{O}$  を用いた MOMBE 法により Si(100)基板上へ  $\gamma\text{-Al}_2\text{O}_3(001)$ 、Si(111)基板上へ  $\gamma\text{-Al}_2\text{O}_3(111)$  が成長することが報告された[31]。また Kimura らにより MOCVD 法を用いて Si(001)基板上へ  $\gamma\text{-Al}_2\text{O}_3(001)$  が成長できることが報告された[32]。これらの成長法の中でそれぞれ長所や短所があるが、MOCVD 法は成長速度が速く、大面積に成長ができ、結晶性も良いものが得られることから有用な成長法である。以上のように Si 基板上への  $\gamma\text{-Al}_2\text{O}_3$  薄膜成長は、PZT の下地となる下部電極 Pt 薄膜のバッファ層として非常に有用な技術である。

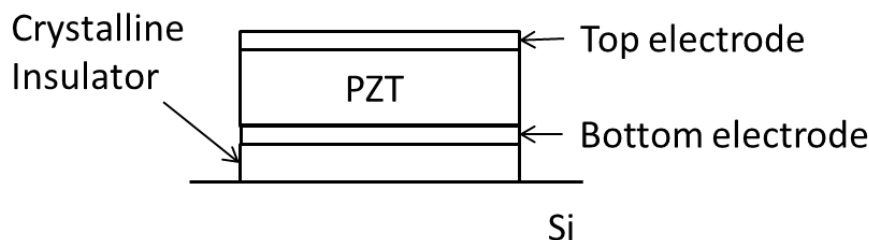


図 1-3 結晶配向  $\gamma\text{-Al}_2\text{O}_3$  薄膜を用いた Si 基板上への PZT 薄膜形成

## 1.6 $\gamma$ - $\text{Al}_2\text{O}_3$ 薄膜を用いた結晶配向 PZT 薄膜センサデバイス

$\gamma$ - $\text{Al}_2\text{O}_3$  を結晶成長させた Si 基板上に CMOS 集積回路を作製し、更に結晶配向 PZT 薄膜を形成したセンサデバイスをインテグレーションすると、高感度センサと高機能な電子回路を同一基板上に作製できるため、小型で高機能なセンサチップが実現できる。これまでこのようなデバイス実現するための様々な研究を進めてきた[33-37]。図 1-4 にデバイスの概略図を示す。センサの構造は PZT 薄膜を電極で挿んだものであり、Si(001)基板上へ結晶性絶縁膜である $\gamma$ - $\text{Al}_2\text{O}_3$ (001)をエピタキシャル成長させ、その上へ Pt(001)、PZT(001)薄膜を結晶配向させることでセンサの高感度化を図っている。このような PZT 薄膜インテグレーションデバイスの応用として焦電型赤外線センサについて研究を行ってきており、最終的には Si 基板上の CMOS 回路と結晶配向された PZT 薄膜をインテグレーションさせて赤外線センサとして評価することが目的である。

結晶配向された PZT 薄膜において、PZT(111)結晶配向薄膜を Si 基板上に形成し、焦電型赤外線センサとして評価している研究は数多くあるが、Si(001)基板上へ PZT(001)結晶配向薄膜を形成して焦電型赤外線センサとして評価している例は非常に少ない。更にその結晶配向 PZT 薄膜を CMOS 集積回路とインテグレーションさせたという研究の報告はない。本研究では PZT(001)薄膜を  $\gamma$ - $\text{Al}_2\text{O}_3$ /Si 基板上で CMOS 集積回路とインテグレーションさせることで高い感度で性能の良い回路一体型赤外線センサの作製ができると考えており、その実現を目指している。

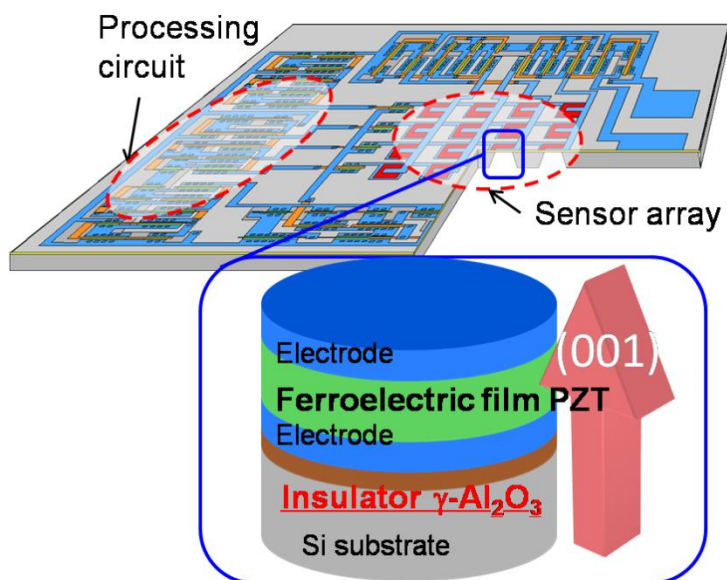


図 1-4  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜/Si 基板上に結晶配向 PZT 薄膜センサを集積化したデバイスの概略図

また結晶配向PZT薄膜とCMOS回路をSi基板上へ集積化する研究を確立することにより、焦電型赤外線センサデバイスのみならず、高機能な圧電アクチュエータ、強誘電体メモリなどをワンチップに集積化することが可能になると考えられる。図1-5に種々の強誘電体デバイスとSi集積回路を融合した概念図を示す。本デバイスには温度を検知する赤外線センサの他に、機械的な振動を起こすアクチュエータ、また強誘電体メモリがSi集積回路と一緒に集積化されている。このデバイスの一つの応用として新たな細胞観察デバイスなどが考えられる。例えば圧電アクチュエータを用いた骨芽細胞の刺激デバイスが報告されており、細胞に刺激を与えて観察をするような研究分野がある[38]。このような分野において微小な赤外線センサやアクチュエータをアレイ状に配置し、その上に細胞などを配置して細胞温度分布観察、細胞への機械的刺激、記録をするデバイスなどに応用できると考えられる。強誘電体という様々な機能を持った材料を小型なSi基板に集積化することで、従来にないような高機能、多機能なデバイスチップが実現でき、新たな応用の創出に繋がることを期待される。

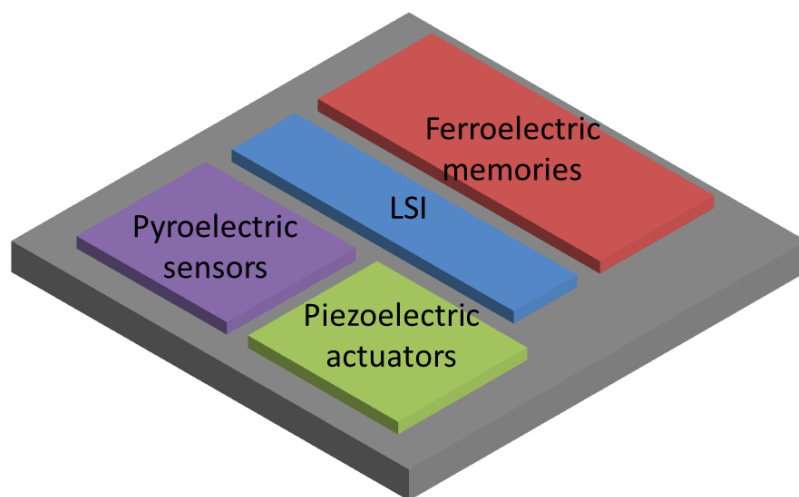


図 1-5 強誘電体薄膜デバイスと Si 集積回路の融合デバイス概念図

## 1.7 本研究の目的

本研究では  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜/Si 基板上へ PZT 薄膜赤外線センサと CMOS 集積回路をインテグレーションさせる技術を確立させることが最終的な目的である。そこでその基盤技術となる  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜と CMOS 集積回路のインテグレーションプロセスについて調査する。センサ高感度化の鍵となる良質な結晶配向 PZT 薄膜が結晶性の良い  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜/Si 基板上へ成長させる必要があるが、CMOS 回路作製プロセスを経ても、 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の結晶性を PZT 薄膜成膜まで維持ができるプロセスを確立する必要がある。具体的には CMOS 回路作製プロセスの様々なアニールプロセスにおいて  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の膜質に劣化が生じることが懸念されており、そのメカニズムを調査し、劣化を防止するプロセスを確立することが目的である。また Si に対して異種材料である  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜をインテグレーションした Si 基板において CMOS 回路が設計通り正常に動作するかを確認する必要がある。

更に PZT 薄膜を  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜に成膜して赤外線センサを構築したデバイスの赤外線センサとしての評価を行うためには、照射される赤外線を効率よく吸収する赤外線吸収膜が重要な役割を果たす。そしてその赤外線吸収膜は PZT 薄膜センサに適応するプロセスで作製しなければならない。一般的な赤外線吸収膜では作製プロセスが複雑であり、また物理的に壊れやすいという欠点がある。そこで本研究では壊れにくく、シンプルなプロセスで高い赤外線吸収率を有する積層赤外線吸収膜を提案し、設計、製作、及び赤外線センサに適応した際の赤外線応答評価をおこなった。この成果により  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜/Si 基板上へ PZT 薄膜赤外線センサと CMOS 集積回路をインテグレーションさせる技術を確立させる技術が揃うことになり、今後の PZT 薄膜赤外線センサと CMOS 集積回路のインテグレーションデバイス作製に有用なプロセス技術となる。

本研究の目的は次の2点である。

1. Si(001)基板上の結晶配向  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜と CMOS 回路インテグレーションを目指し、CMOS 回路作製プロセスの  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の結晶性に与える影響を調査し、インテグレーションプロセスを確立する。
2.  $\gamma$ - $\text{Al}_2\text{O}_3$ /Si(001)基板上の結晶配向 PZT 薄膜の焦電型赤外線センサ応用に向けた、積層赤外線吸収膜の作製し、赤外線センサの作製・評価を行う。



## 1.8 本論文の構成

本論文は以下の構成とした。

第 1 章では序論として本研究の研究背景について概要を説明する。

第 2 章では本研究で用いた成膜技術及び薄膜評価技術について述べる。 $\gamma\text{-Al}_2\text{O}_3$  薄膜の成膜技術として有機金属気相成長法、PZT 薄膜の成膜技術として sol-gel 法について述べ、成膜装置の構成を示す。薄膜評価技術としては高速反射電子線回折、X 線回折、X 線光電子分光、及び走査型電子顕微鏡についてそれぞれ、原理・特徴を述べる。

第 3 章では Si 基板上に  $\gamma\text{-Al}_2\text{O}_3$  薄膜と CMOS 回路のインテグレーションプロセスの確立を試みる。特に  $\gamma\text{-Al}_2\text{O}_3$  薄膜の結晶性が維持されるかに焦点を置き、CMOS 回路作製プロセス中の各種アニールプロセスにより  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板にどのような影響を与えるかを調査する。また  $\gamma\text{-Al}_2\text{O}_3$  薄膜をインテグレーションした Si 基板において、CMOS 回路を作製した場合回路素子が設計通り正常に動作するかを評価する。

第 4 章では PZT 薄膜焦電型赤外線センサに適用できる簡易なプロセスで作製可能な積層赤外線吸収膜の提案、設計、作製、評価を行う。光学計算により吸収膜の設計を行い、最適な積層構造を導き出す。センサのレイアウトについて有限要素法を用いた過渡伝熱解析を行い、その結果に基づき、PZT 薄膜焦電型赤外線センサの構造を設計する。実際に積層赤外線吸収膜をインテグレーションさせた PZT センサの作製を行い、赤外線センサとしての赤外線応答感度評価を行う。

第 5 章では前章までに確立してきたデバイス作製プロセスを統合して、 $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板上へ PZT 薄膜焦電型赤外線センサと CMOS 回路を集積化したデバイスの作製を試みる。全工程後の PZT 薄膜の強誘電体特性と CMOS 回路素子の回路特性を評価し、集積化プロセスの確立を行う。

第 6 章では本論文の総括をする。

## 参考文献

- [1] W. L. Wolfe, G. J. Zissis, *The Infrared Handbook*, Infrared Information and Analysis Center, 1978.
- [2] A. Rogalski, "Infrared detectors: status and trends," *Prog. Quant. Electron.*, 27 (2003) 59.
- [3] S. Eminoglu, D. S. Tezcan, M. Y. Tanrikulu and T. Akin, "Low-cost uncooled infrared detectors in CMOS process," *Sens. Actuators A*, 109 (2003) 102.
- [4] A. D. Oliver and K. D. Wise, "A 1024-element bulk-micromachined thermopile infrared imager array," *Sens. Actuators A*, 73 (1999) 222.
- [5] N. Fujitsuka, J. Sakata, Y. Miyachi, K. Mizuno, K. Ohtsuka, Y. Taga and O. Tabata, "Monolithic pyroelectric infrared image sensor using PVDF thin film," *Sens. Actuators A*, 66 (1998) 237.
- [6] Y. Oike and A. E. Gamal, "CMOS Image Sensor With Per-Column  $\Sigma\Delta$  ADC and Programmable Compressed Sensing," *IEEE J. Solid-st. Circ.*, 48 (2013) 318.
- [7] T. Sasaki and K. Hane, "Initial deflection of silicon-on-insulator thin membrane micro-mirror and fabrication of varifocal mirror," *Sens. Actuators A*, 172 (2011) 516.
- [8] S. H. Baek, J. Park, D. M. Kim, V. A. Aksyuk, R. R. Das, S. D. Bu, D. A. Felker, J. Lettieri, V. Vaithyanathan, S. S. N. Bharadwaja, N. Bassiri-Gharb, Y. B. Chen, H. P. Sun, C. M. Folkman, H. W. Jang, D. J. Kreft, S. K. Streiffer, R. Ramesh, X. Q. Pan, S. Trolier-McKinstry, D. G. Schlom, M. S. Rzechowski, R. H. Blick, C. B. Eom, "Giant Piezoelectricity on Si for Hyperactive MEMS," *Science*, 334 (2011) 958.
- [9] S. Yin, G. Niu, B. Vilquin, B. Gautier, G. Le Rhun, E. Defay, and Y. Robach, "Epitaxial growth and electrical measurement of single crystalline  $\text{Pb}(\text{Zr}_{0.52}\text{Ti}_{0.48})\text{O}_3$  thin film on Si(001) for micro-electromechanical systems," *Thin Solid Films*, 520 (2012) 4572.
- [10] G. Niu, S. Yin, G. Saint-Girons, B. Gautier, P. Lecoecur, V. Pillard, G. Hollinger, and B. Vilquin, "Epitaxy of  $\text{BaTiO}_3$  thin film on Si(001) using a  $\text{SrTiO}_3$  buffer layer for non-volatile memory application," *Microelectron. Eng.*, 88 (2011) 1232.
- [11] G. Shirane, K. Suzuki and A. Takeda, "Phase Transitions in Solid Solutions of  $\text{PbZrO}_3$  and  $\text{PbTiO}_3$  (II) X-ray Study," *J. Phys. Soc. Jpn.*, 7 (1952) 12.
- [12] M. T. Kesim, J. Zhang, S. Trolier-Mckinstry, J. V. Mantese, R. W. Whatmore, and S. P. Alpay, "Pyroelectric response of lead zirconate titanate thin films on silicon: Effect of thermal stresses," *J. Appl. Phys.*, 114 (2013) 203101.
- [13] C. Shi, L. Meidong, L. Churong, Z. Yike, and J. D. Costa, "Investigation of crystallographic and pyroelectric properties of lead-based perovskite-type structure ferroelectric thin films," *Thin Solid Films*, 375 (2000) 288.
- [14] L. L. Sun, W. G. Liu, O. K. Tan, and W. Zhu, "Effect of annealing temperature on the sol-gel

- derived Pb(Zr<sub>0.3</sub>Ti<sub>0.7</sub>)O<sub>3</sub> thin films for pyroelectric application,” *Mater. Sci. Eng. B*, 99 (2003) 173.
- [15] C. T. Q. Nguyen, M. D. Nguyen, M. Dekkers, E. Houwman, H. N. Vu, and G. Rijnders, “Process dependence of the piezoelectric response of membrane actuators based on Pb(Zr<sub>0.45</sub>Ti<sub>0.55</sub>)O<sub>3</sub> thin films,” *Thin Solid Films*, 556 (2014) 509.
- [16] C. Giebeler, J. Wright, S. Freebom, N. Conway, T. Chamberlain, M. Schreiter, R. Koehler, and P. Clark, “High performance PZT based pyro-detectors with D\* of 2x10<sup>9</sup> cmHz<sup>1/2</sup>/W for presense, gas and spectroscopy applications,” *Proc. SENSOR+TEST Conf.*, 2009, pp. 185-189.
- [17] C. C. Chang and C. S. Tang, “An integrated pyroelectric infrared sensor with a PZT thin film,” *Sens. Actuators A*, 65(1998) 171.
- [18] W. Liu, L. L. Sun, W. Zhu and O. K. Tan, “Noise and specific detectivity of pyroelectric detector using lead titanate zirconate (PZT) thin films,” *Microelectron. Eng.*, 66 (2003) 785.
- [19] L. Pham, W. Tjhen, C. Ye, D. L. Polla, “Surface-micromachined pyroelectric infrared imaging array with vertically integrated signal processing circuitry”, *IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control*, 41 (1994) 552.
- [20] N. Fujitsuka et al., “Monolithic pyroelectric infrared image sensor using PVDF thin film”, *Sens. Actuators A*, 66 (1998) 237.
- [21] Q. X. Peng, C G. Wu, W. B. Luo, C. Chen, G. Q. Cai, X. Y. Sun and D. P. Qian, “An infrared pyroelectric detector improved by cool isostatic pressing with cup-shaped PZT thick film on silicon substrate,” *Infrared Phys. Techn.*, 61 (2013) 313.
- [22] C. G. Wu, X. Y. Sun, J. Meng, W. B. Luo, P. Li, Q. X. Peng, Y. S. Luo and Y. Shuai, “Fast and wide-band response infrared detector using porous PZT pyroelectric thick film,” *Infrared Phys. Techn.*, 63 (2014) 69.
- [23] C. G. Wu, P. Li, G. Q. Cai, W. B Luo, X. Y. Sun, Q. X. Peng and W. L. Zhang, “Quick response PZT/P(VDF-TrFE) composite film pyroelectric infrared sensor with patterned polyimide thermal isolation layer,” *Infrared Phys. Techn.*, 66 (2014) 34.
- [24] M. Schossig, V. Norkus and G. Gerlach, “High-Performance Pyroelectric Infrared Detectors,” *SENSOR+TEST Conference*, 2009, pp191-196.
- [25] Z. Wendong, T. Qiulin, L Jun, X Chenyang, X Jijun and C Xiujian, “Two-channel IR gas sensor with two detectors based on LiTaO<sub>3</sub> Single-crystal,” *Opt. Laser Technol.*, 42 (2010) 1223.
- [26] L. Tan, W. Wang, J. Wang, Y. Yu, Z. Liu and L. Lin, “Fabrication of novel double-hetero-epitaxial SOI structure Si/γ-Al<sub>2</sub>O<sub>3</sub>/Si,” *J. Cryst. Growth*, 247 (2003) 255.
- [27] T. Moon, M. Ham, M. Kim, I. Yun and J. Myoung, “Growth and characterization of MOMBE grown HfO<sub>2</sub>,” *Appl. Surf. Sci.*, 240 (2005) 105.
- [28] G. Niu, W. W. Peng, G. Saint-Girons, J. Penuelas, P. Roy, J. B. Brubach, J. Maurice, G. Hollinger and B Vilquin, “Direct epitaxial growth of SrTiO<sub>3</sub> on Si (001): Interface,

- crystallization and IR evidence of phase transition,” *Thin Solid Films*, 519 (2011) 5722.
- [29] M. Ishida, I. Katakabe, T. Nakamura and N. Ohtake, “Epitaxial  $\text{Al}_2\text{O}_3$  films on Si by low-pressure chemical vapor deposition,” *Appl. Phys. Lett.*, 52 (1988) 1326.
- [30] M. Ishida, K. Sawada, S. Yamaguchi, T. Nakamura and T. Suzuki, “Heteroepitaxial Si/ $\text{Al}_2\text{O}_3$ /Si structures,” *Appl. Phys. Lett.*, 55 (1989) 556.
- [31] K. Sawada, M. Ishida, T. Nakamura and N. Ohtake, “Metalorganic molecular beam epitaxy of  $\gamma\text{-Al}_2\text{O}_3$  films on Si at low growth temperatures,” *Appl. Phys. Lett.*, 52 (1988) 1672.
- [32] T. Kimura, A. Sengoku and M. Ishida, “Fabrication of Si/ $\text{Al}_2\text{O}_3$ /Si Silicon on Insulator Structures Grown by Ultrahigh-Vacuum CVD Method,” *Jpn. J. Appl. Phys.*, 35 (1996) 1001.
- [33] D. Akai, K. Sawada and M. Ishida, “Fabrication of  $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$  films on epitaxial  $\gamma\text{-Al}_2\text{O}_3(001)/\text{Si}(001)$  substrates,” *J. Cryst. Growth*, 259 (2003) 90.
- [34] D. Akai, K. Hirabayashi, M. Yokawa, K. Sawada and M. Ishida, “Epitaxial growth of Pt(001) thin films on Si substrates using an epitaxial  $\gamma\text{-Al}_2\text{O}_3(001)$  buffer layer,” *J. Cryst. Growth*, 264 (2004) 463.
- [35] D. Akai, K. Hirabayashi, M. Yokawa, K. Sawada, Y. Taniguchi, S. Murashige, N. Nakayama, T. Yamada, K. Murakami and M. Ishida, “Piezoelectric infrared sensors with fast response time and high sensitivity using epitaxial  $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$  films on epitaxial  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  substrates,” *Sens. Actuators A*, 130-131 (2006) 111.
- [36] Y. Guo, D. Akai, K. Sawada and M. Ishida, “The performance of Pt bottom electrode and PZT films deposited on  $\text{Al}_2\text{O}_3/\text{Si}$  substrate by using  $\text{LaNiO}_3$  film as an adhesion layer,” *Solid State Commun.*, 145 (2007) 413.
- [37] M. Ito, N. Okada, M. Takabe, D. Akai, K. Sawada, and M. Ishida, “High sensitivity ultrasonic sensor for hydrophone applications, using an epitaxial  $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$  film grown on  $\text{SrRuO}_3/\text{Pt}/\gamma\text{-Al}_2\text{O}_3/\text{Si}$ ,” *Sens. Actuators A*, 145-146 (2008) 278.
- [38] C. Frias, J. Reis, F. C. Silva, J. Ptes, J. Simoes and A. T. Marques, “Polymeric piezoelectric actuator substrate for osteoblast mechanical stimulation,” *J. Biomech.*, 43 (2010) 10611.

## 第2章 $\gamma\text{-Al}_2\text{O}_3/\text{Si}$ 基板上的 PZT 薄膜赤外線センサ 作製技術

### 2.1 Si 基板上的結晶配向 PZT 薄膜作製技術

本研究で用いた焦電型赤外線センサを構成する種々の薄膜材料について、その作製技術及び評価技術について述べる。作製する焦電型赤外線センサは図 2-1 に示すように Si 基板上に絶縁体である  $\gamma\text{-Al}_2\text{O}_3$  薄膜、下部電極の Pt 薄膜を成膜して、強誘電体として PZT 薄膜を成膜する。結晶配向 PZT 薄膜を形成するための材料として Si 基板上的  $\gamma\text{-Al}_2\text{O}_3$  薄膜を用いている点が特色である。結晶配向膜を得るためには下地となる膜の結晶構造が重要であり、 $\gamma\text{-Al}_2\text{O}_3$  薄膜を用いるのは、その結晶格子が PZT 薄膜の結晶格子とマッチング（格子整合）することが主な理由である。センサ構造として PZT/Pt/ $\gamma\text{-Al}_2\text{O}_3$ /Si の構造は Si 基板上に結晶配向した絶縁膜、電極膜、強誘電体膜を実現でき、本構造を用いて赤外線センサデバイスへ応用することが研究の課題である。本章では焦電型赤外線センサを構成するこれらの薄膜材料の構造、作製技術、及び評価技術について述べる。

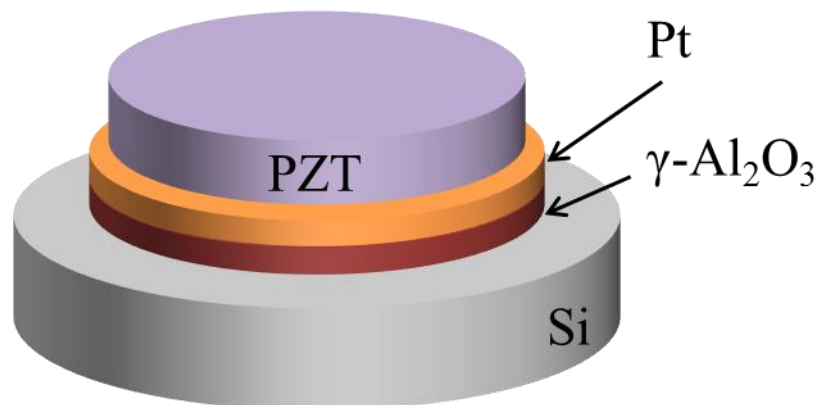


図 2-1 Si 基板上への結晶配向 PZT 薄膜の形成

## 2.1.1 $\gamma\text{-Al}_2\text{O}_3$ の結晶構造

$\gamma\text{-Al}_2\text{O}_3$  の結晶構造は正方晶の欠損スピネル構造であると報告されており格子定数は  $a_0 = b_0 = 7.95 \text{ \AA}$ 、 $c_0 = 7.79 \text{ \AA}$  と報告されている[1,2]。また別の報告では  $a = 7.9 \text{ \AA}$  ( $c/a = 0.983/0.987$ ) とともに報告がなされている[3,4]。スピネル構造は立方晶であり、単位胞中が 24 個のカチオンと 32 個の  $\text{O}^{2-}$  アニオンで構成されている。A-site と呼ばれる酸素 4 面体に囲まれた四配位位置に 8 個、B-site と呼ばれる酸素 8 面体に囲まれた六配位位置が 16 個のカチオンが存在する (図 2-2)。しかし欠損スピネル構造を持つ  $\gamma\text{-Al}_2\text{O}_3$  ではカチオンが A-site の  $2/3$  と B-site を占めており  $\text{Al}^{3+}$  が 21 と  $1/3$  個存在する。しかし、3 価の Al が 2 価のカチオンを占めるべき A-site を置換しており、格子中に空孔を含んでいるため  $c$  軸が歪み、結晶構造は立方晶ではなく正方晶になっている。これは X 線回折の結果とも一致する[5]。欠損スピネル構造をもつ  $\gamma\text{-Al}_2\text{O}_3$  の結晶構造及び各層の原子配列を図 2-3 に示す。

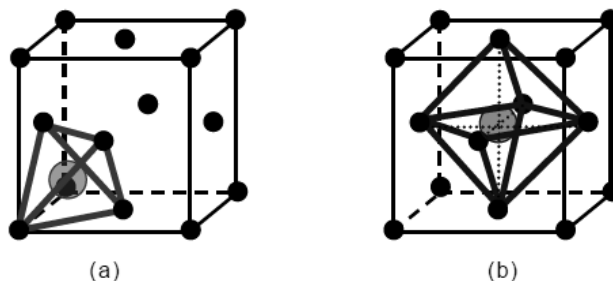


図 2-2 スピネル構造における O の立方細密充填中の(a) A-site と (b) B-site

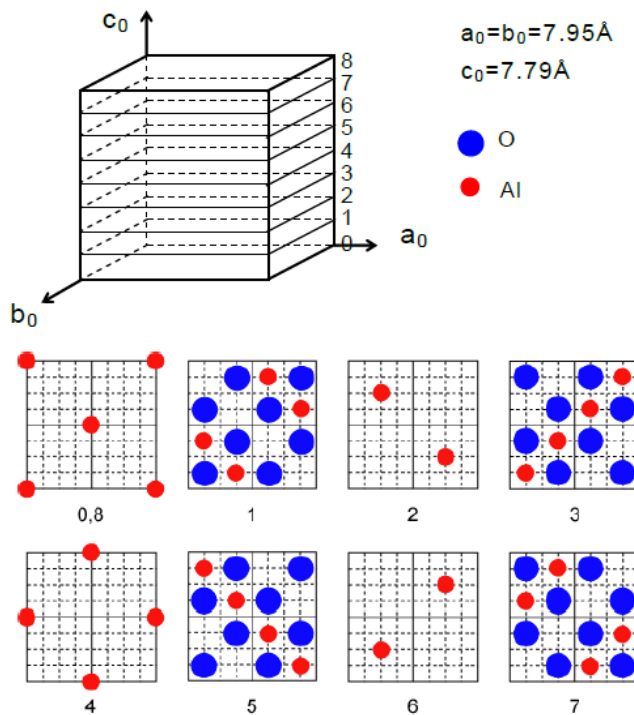


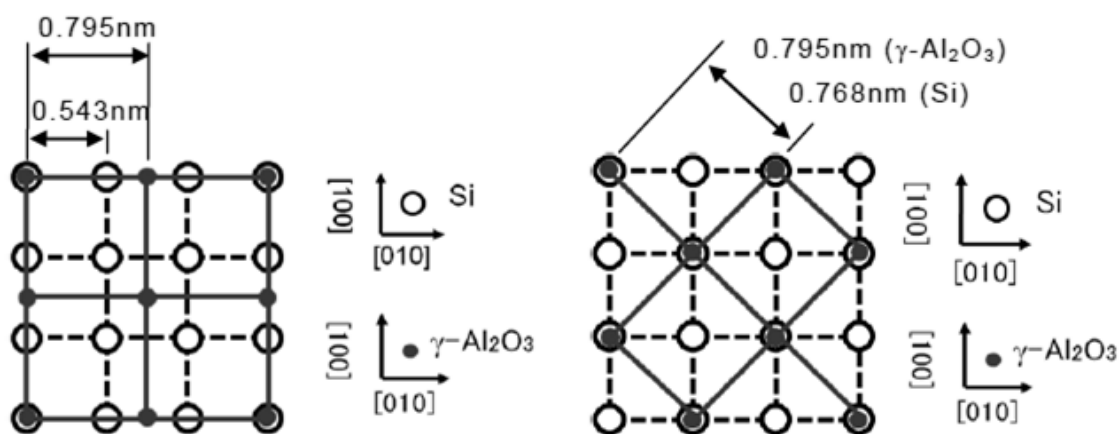
図 2-3  $\gamma\text{-Al}_2\text{O}_3$  の結晶構造の各層の原子配列[6]

## 2.1.2 Si 基板上への $\gamma$ - $\text{Al}_2\text{O}_3$ 薄膜のエピタキシャル成長

$\gamma$ - $\text{Al}_2\text{O}_3$  を Si 基板上に結晶成長させるためには  $\gamma$ - $\text{Al}_2\text{O}_3$  と Si の格子定数が近いことが望ましい。しかし、異なる 2 つの材料間で格子定数が近くないことは多い。このときエピタキシャル成長のし易さとして一般に次式に示す格子不整合率  $f$  を考える。

$$f = \frac{|a_{sub} - a_{film}|}{a_{sub}} \times 100 [\%] \quad (2-1)$$

ここで  $a_{sub}$  は基板の格子定数、 $a_{film}$  は成長膜の格子定数である。 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の格子定数は  $7.95 \text{ \AA}$ 、Si の格子定数は  $5.43 \text{ \AA}$  であるため、Si 基板への  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜のエピタキシャル成長についての格子不整合率は 46% と非常に大きくなる。しかし、これまでに Si 基板上への  $\gamma$ - $\text{Al}_2\text{O}_3$  のエピタキシャル成長は報告されている。これは高次整合 (high-order-matching) と呼ばれ、単位格子を 1 対 1 の関係で考えず、複数の単位格子間での格子不整合関係を考察する。この関係では  $\gamma$ - $\text{Al}_2\text{O}_3$  と Si(001) のエピタキシャル成長は図 2-4 に示す 2 つの結晶方位 (a) と (b) が考えられ、これまでにエピタキシャル成長が確認されている [7]。(a) では Si 原子 3 個と  $\gamma$ - $\text{Al}_2\text{O}_3$  の格子点 2 個で格子不整合率は 2.4% となり、整合性が良いことが分かる。(b) では Si 原子の対角線方向への間隔と  $\gamma$ - $\text{Al}_2\text{O}_3$  の単位格子 1 個で格子不整合率が 3.5% と整合性が良い。



(a) 格子不整合 2.4%

(b) 格子不整合 3.5%

図 2-4 Si(001)基板上への  $\gamma$ - $\text{Al}_2\text{O}_3$  エピタキシャル成長 [8]

### 2.1.3 有機金属化学気相成長法による $\gamma\text{-Al}_2\text{O}_3$ 薄膜の成長

$\gamma\text{-Al}_2\text{O}_3$  薄膜の成長には有機金属化学気相成長法(MOCVD : Metal Organic Chemical Vapor Deposition)を用いた。MOCVD 法では有機金属を原料として、気相における化学反応を用いて物質を基板上に成長させる。この方法は均一な膜質のエピタキシャル膜が成長可能であり、成長面積が大きく、成長速度が速いなどの利点から広く用いられている。CVD 法は、装置の壁までを含めて加熱する Hot-Wall 型と、試料とその支援台のみを加熱する Cold-Wall 型に分類されるが本研究では Cold-Wall 型の CVD 装置を用いている。Cold-Wall 型は反応質の側壁などが比較的低温のため、薄膜の原料となるガスが分解に必要な温度まで加熱された基板以外では分解しないため、反応室側壁への反応生成物の堆積を抑え、パーティクルの発生を低減でき、反応の再現性を高められるという利点がある。

本研究で用いた Cold-Wall CVD 装置の概略図を図 2-5 に示す。成長室、交換室がゲートバルブで区切られており、成長室はターボ分子ポンプ(TMP)とロータリーポンプ(RP)からなる真空ラインと、TMP とドライポンプ(DP)からなる真空ラインの 2 つのラインから真空排気が可能である。ヒータはベルジャーによって成長室と分離されており、ベルジャー内も TMP と RP のラインで真空排気させている。ガス種としては TMA (Trimethyl Aluminum : トリメチルアルミニウム)と  $\text{O}_2$  ガスを用いている。液相の有機金属である TMA ボンベは  $20^\circ\text{C}$  の恒温槽に入っており、 $\text{N}_2$  ガスのバブリングによりガスを成長室に導入している。

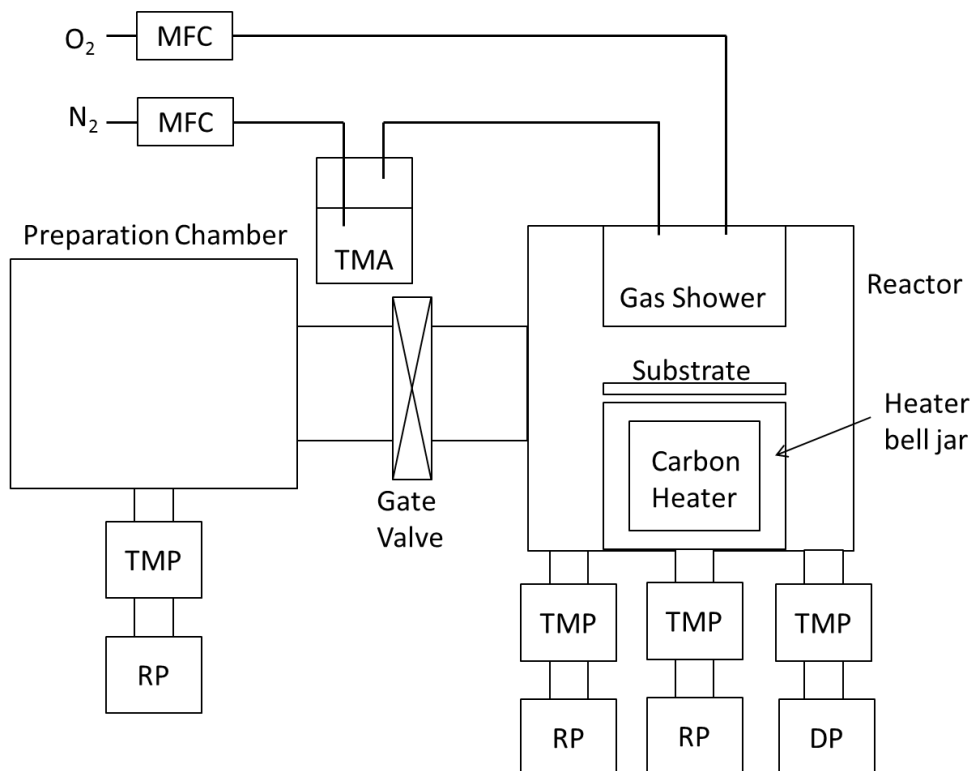


図 2-5  $\gamma\text{-Al}_2\text{O}_3$  成長に用いた MOCVD 装置の構成



## 2.1.4 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上への Pt エピタキシャル成長

強誘電体の電極材料として電気抵抗が低く、耐熱性、低反応性、拡散バリア性が高い電極材料として Pt が一般的に用いられる。Pt は面心立方構造をとり、格子定数は  $a=3.92 \text{ \AA}$  である。図 2-6 に  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 上の Pt の格子整合関係を示す。Pt(001)面の場合では  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> の単位格子 1 個と Pt の単位格子 2 個で格子不整合率が 0.68% となる。またこれまでの研究で Pt(001) の結晶配向膜は  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> (001) 上へ実現できており、実際にエピタキシャル成長が可能である。本研究ではスパッタ法により  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上へ Pt 薄膜のエピタキシャル成長を行った。

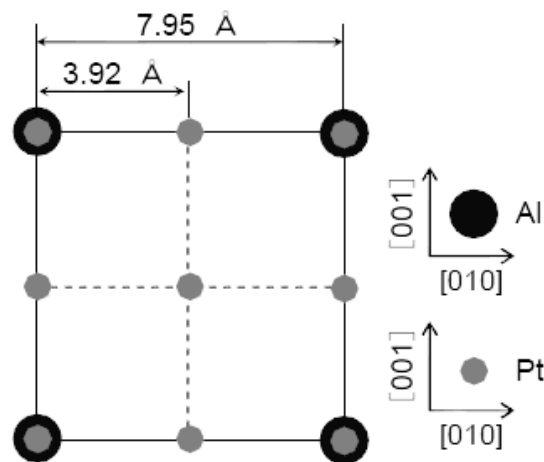


図 2-6  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>(001)上への Pt(001)の成長

## 2.1.5 Pt/ $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上への PZT 薄膜のエピタキシャル成長

強誘電体である PZT は図 2-7 のようなペロブスカイト構造をとる。これは格子の頂点の位置に鉛原子、面心の位置に酸素原子、体心の位置に Zr もしくは Ti 原子が配置された構造である。キュリー点以下においては Zr もしくは Ti が中心からわずかにずれているため、電荷の偏りが生まれ自発分極をもつ。この結晶体に分極軸方向に沿って電界を印加することで、Zr もしくは Ti が分極方向に移動し、分極の向きを変えることができる。

PZT の格子定数は Zr と Ti の組成比や結晶配向によってわずかに変動することが報告されている[9,10]。例えば Zr/Ti = 40/60 の PZT(001)では  $a = b = 4.03 \text{ \AA}$ ,  $c = 4.18 \text{ \AA}$  であり、Zr/Ti = 52/48 の PZT(001)では  $a = b = 4.07 \text{ \AA}$ ,  $c = 4.15 \text{ \AA}$  と報告されている。PZT(111)では  $a = b = 4.04 \text{ \AA}$ ,  $c = 4.14 \text{ \AA}$  である。Pt(001)上と Zr/Ti = 40/60 の PZT(001)の格子整合関係を図 2-8 に示す。Pt の単位格子 1 個と PZT の単位格子 1 個で整合し、格子不整合率は 2.8% となる。実際に結晶配向 PZT(001)は Pt(001)上に成膜できている。

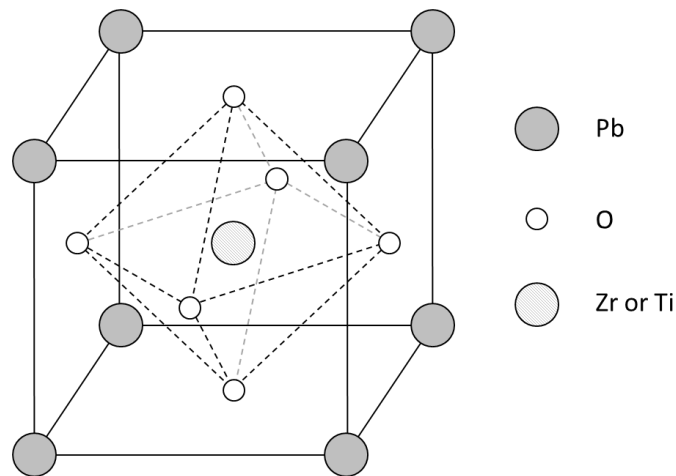


図 2-7 PZT のペロブスカイト構造

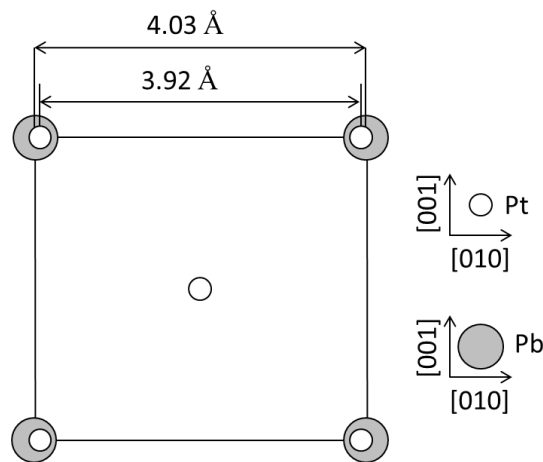


図 2-8 Pt(001)上への PZT(001)の成長

### 2.1.6 Sol-gel 法による PZT 薄膜の成膜

液体中に固体微粒子が均一に分散した「ゾル(Sol)」から、微粒子間に引力相互作用が働いて 3 次元網目構造が発達して固化した「ゲル(gel)」を経て、ガラスやセラミクスを得る方法を「ゾルゲル法」という[11]。この方法は、従来のガラスやセラミクス製造法と比べて低温プロセスであることから注目され、薄膜の作製法としても広く用いられている。ゾルゲル法による薄膜作製プロセスは、次の 3 つの段階に分けられる。

ゾルゲル法による薄膜作製フローを図 2-9 に示す。まず RTA アニールにより基板をアニールする。溶液(ゾル)を基板にコーティングし、乾燥させるとゲル膜が形成される。形成されたゲル膜を熱処理すると、溶媒の蒸発、残存有機物の分解、緻密化、結晶化が起こって薄膜が得られる。残留有機物の分解や緻密化を目的とする 300~500°C の熱処理を仮焼成、最後の膜の結晶化を目的とする 400~800°C の熱処理を本焼成と呼ぶ。コーティングごとに

仮焼成を行い、十分な膜厚を得た後に本焼成を行うプロセスと、コーティング毎に本焼成までを行うプロセスがあり、必要とする膜厚や膜質によってそのプロセスを選択する。

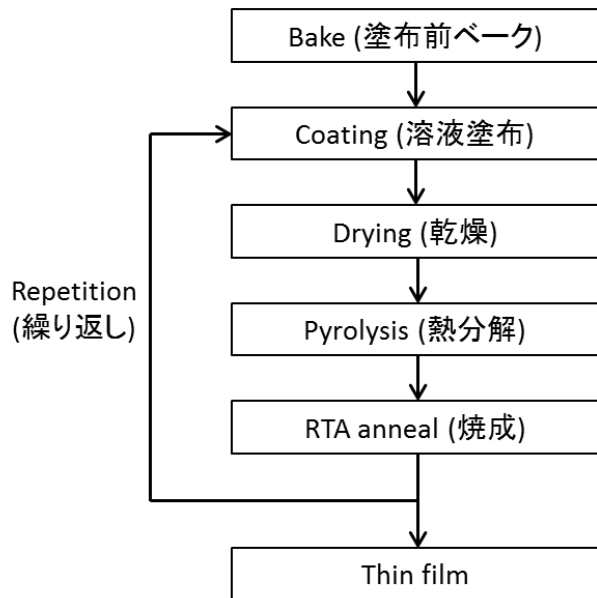


図 2-9 sol-gel プロセスフロー

## 2.2 薄膜評価技術

### 2.2.1 反射高速電子線回折

RHEED (反射高速電子線回折) では電子ビームを平坦な試料表面にほぼ平行に入射させ、回折ビームを蛍光スクリーンに照射して観察する (図 2-10)。一般的に 10 keV 以上のエネルギーの電子を高速電子と呼ばれる。高速電子の結晶中の平均自由行程は数十 nm となるため、垂直入射した場合にはバルクの情報が優勢となってしまい、表面の薄膜の情報が見えなくなってしまう。このため高速電子回折では電子線を表面に対して非常に浅い角度で入射することで薄膜の情報を得ている。得られる回折像は試料表面の 2 次元の結晶に支配されて回折し、電子線の波数ベクトルの大きさと与えられるエバルト球と結晶の逆格子との交点で与えられる。高速電子線回折で得られる回折パターンは図 2-11 のような種類があり、それぞれにおいて表 2-1 に示すような試料の表面状態が分かる[12,13]。

図 2-12 に本研究で MOCVD 法により Si 基板上にエピタキシャル成長させた  $\gamma\text{-Al}_2\text{O}_3$  薄膜の RHEED 観察画像を示す。15 keV の電子線を  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  サンプル表面に照射した結果、綺麗なスポットパターンが得られた。このことから作製した  $\gamma\text{-Al}_2\text{O}_3$  薄膜の表面は電子線が透過する程度の凹凸があり、3 次元結晶成長をしていることがといえる。また電子線入射方位  $\langle 110 \rangle$  と  $\langle 100 \rangle$  からのスポットパターンが  $90^\circ$  回転させるごとに得られることから 4 回対称の結晶であることも分かる。このように RHEED は薄膜表面の結晶情報を調べる非常に有用な評価法である。

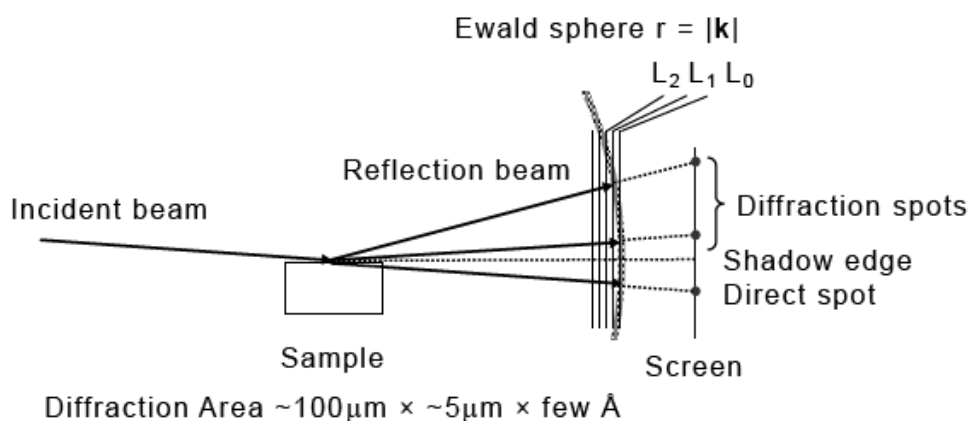


図 2-10 RHEED の原理図

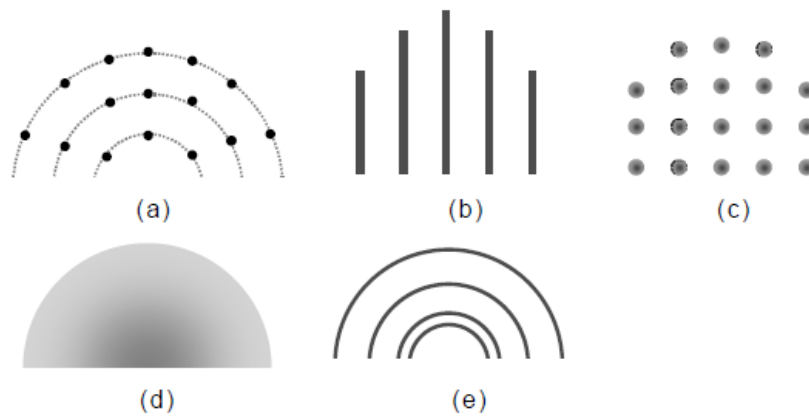


図 2-11 得られる RHEED パターン。(a) リング状に広がるスポットパターン、(b) ストリークパターン、(c) 透過型スポットパターン、(d) ハローパターン、(e) リングパターン

表 2-1 RHEED パターンと表面状態の関係

回折パターン	表面状態	逆格子とエバルト球の関係
リング状に広がるスポットパターン	無限サイズの 2 次元結晶平坦表面	逆格子は完全なロッドで与えられ、エバルト球との交点は同心円状に広がるスポットとなる。
ストリークパターン	有限サイズの 2 次元結晶表面	逆格子は幅を持ったロッドで与えられ、エバルト球との交点は縦に伸びたストリーク状となる。
透過型スポットパターン	電子線が透過する程度の凹凸がある 3 次元結晶表面	逆格子は 3 次元格子によって与えられ、エバルト球との交点はスポットになり逆格子の並びを反映したスポットとなる。
ハローパターン	アモルファス表面	逆格子は定義できないため、電子がどの方向にも散乱し、ぼやけた像が得られる。
リングパターン	3 次元多結晶表面	逆格子は同心の球殻状で与えられ、エバルト球とは同心円状に交わる。

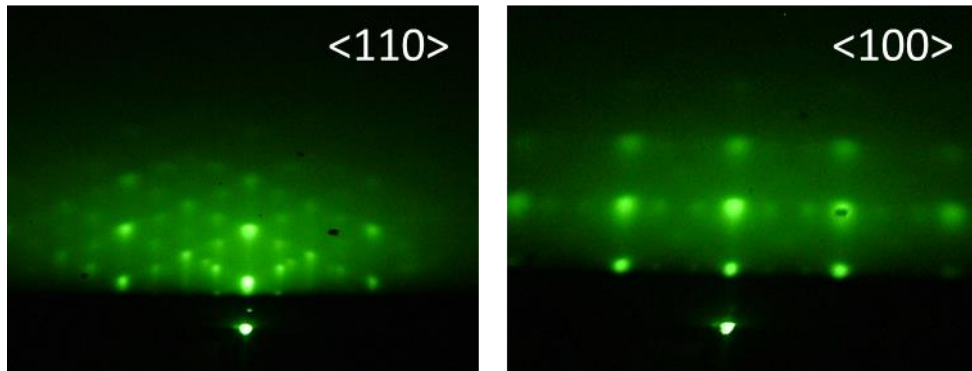


図 2-12 MOCVD 法により Si 基板上にエピタキシャル成長させた  $\gamma\text{-Al}_2\text{O}_3(100)$  薄膜

## 2.2.2 X 線回折

XRD (X 線回折) の原理について示す。用いる X 線波長は  $1 \text{ \AA}$  程度であり、一般的な原子間隔の  $2\sim 3 \text{ \AA}$  と比較するとやや小さい。よって結晶格子は X 線に対して回折格子となり、入射した X 線はある原子の結晶面で反射された X 線が互いに強めあい干渉する。X 線回折ではこの干渉により特定方向の強度が大きくなり結晶構造を反映した回折図形が生ずる。図 2-13 に X 線回折の原理図を示す。X 線回折はブラッグの条件式に従い、ある原子面からなる面指数  $(h k l)$  を持つ平行な格子面が無数にあり、それらは  $d$  の格子面間隔を持っているとすると、この結晶に対し X 線を入射すると、

$$2d\sin\theta = n\lambda \quad (2-2)$$

の関係を持つ時に、その強度は強めあう。ここで  $\lambda$  は入射する X 線の波長であり、 $n$  は整数である。回折波は格子面間隔  $d$  による  $n$  次反射が、格子面に平行でその間隔が  $d/n$  となる面からの高次反射であるとも考えることができる。これより波長が  $\lambda$  である X 線回折方向は格子定数  $d$  で決まることが分かる。また  $\lambda$  は既知であるので回折線が現れる  $\theta$  を手がかりに格子定数を知ることがもできる[14]。

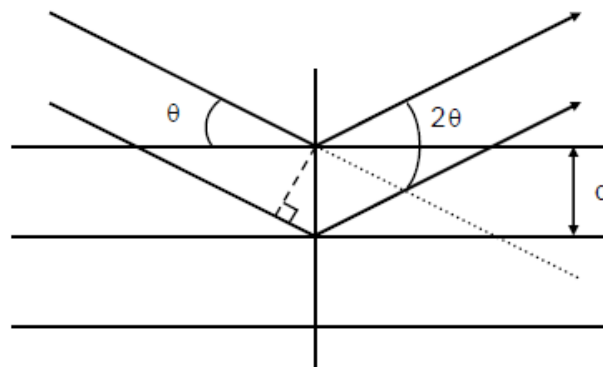


図 2-13 X 線回折の原理図

図 2-14、図 2-15 に実際に  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上に作製した Pt 薄膜と PZT 薄膜の XRD 結果を示す。Pt 薄膜はスパッタ法により基板温度を 600°C で 35 nm 成膜した。2 $\theta$  = 47°付近において Pt(002)の強いピークが確認できることから、結晶配向 Pt 薄膜が成膜できていることが分かる。また図 2-15 の Sol-gel 法による PZT 薄膜成膜についても PZT の結晶については PZT(001)および PZT(002)の配向が確認できることから、結晶面(001)の PZT 薄膜が Pt/ $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 上に作製できていることが確認できる。

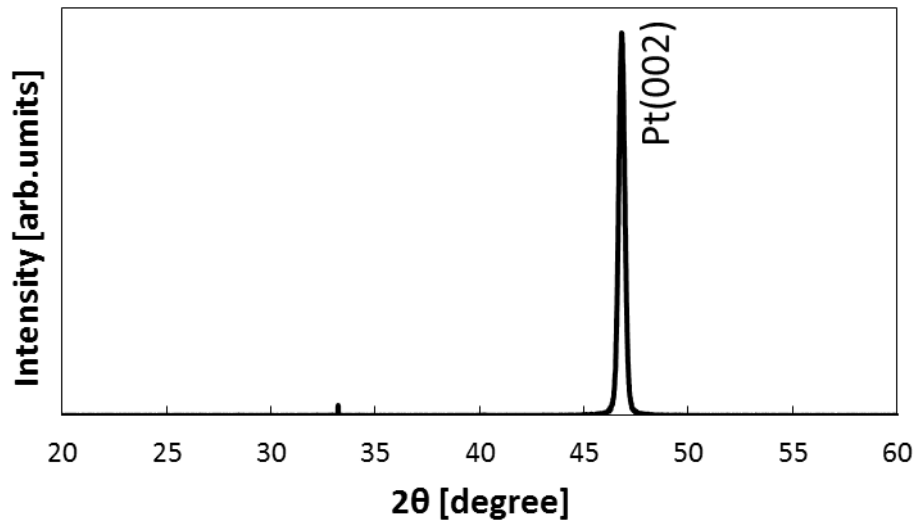


図 2-14 スパッタ法により  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上に成膜した Pt 薄膜(膜厚 35 nm) XRD 結果

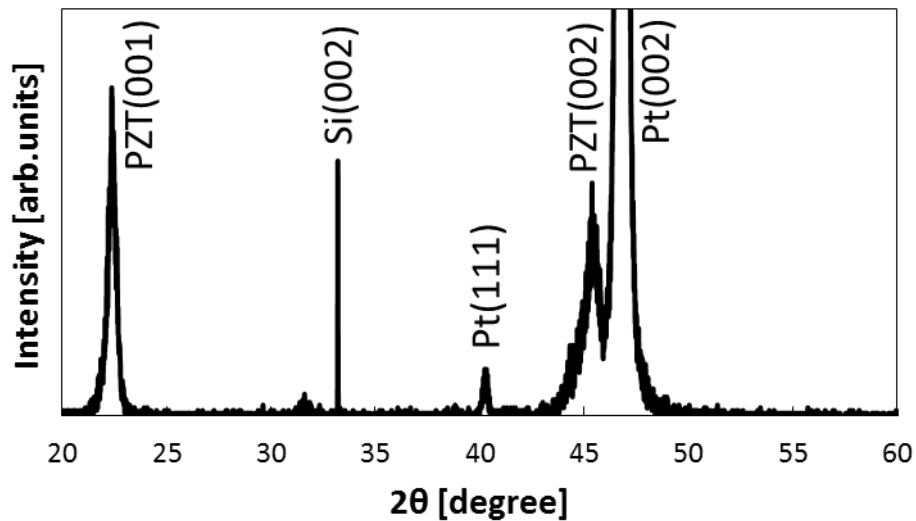


図 2-15 Sol-gel 法により Pt/ $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上に成膜した PZT 薄膜(膜厚 450 nm) XRD 結果

### 2.2.3 X線光電子分光

物質に X 線を入射することで物質中の電子が光電子として放出される。そしてその放出された電子のエネルギースペクトルを電子分光器で検出して固体の表面状態を分析する方法が X 線電子分光法(XPS)である[15,16]。電子分光により化学結合状態分析を行うため Electron Spectroscopy for Chemical Analysis (ESCA)とも呼ばれる。図 2-16 に XPS の信号発生課程の模式図を示す。X 線を入射した際に放出される電子のエネルギーは原子によって異なるため、検出される光電子のエネルギースペクトルから試料の元素を同定できる。放出された電子は試料表面から数 nm しか飛び出せないため物質の最表面の分析が可能であり薄膜の分析に適している。

XPS で発生する光電子の運動エネルギーを物質間で比較する場合、次の式(2-2)で表される。

$$E_{kin} = h\nu - E_b \quad (2-3)$$

ここで  $E_{kin}$  は発生した光電子の運動エネルギー、 $h\nu$  は入射した X 線のエネルギー、 $E_b$  は放出した電子の試料中における結合（束縛）エネルギーである。観測される電子のエネルギー分布は内殻や価電子帯の情報をもっており、各軌道の電子の結合エネルギーは元素ごとに異なるので  $E_{kin}$  を測定することにより、原子の同定ができる。また XPS では試料の構成元素同定だけでなく、原子の結合状態も同定できる。同一元素、同一軌道の結合エネルギーは注目している原子の周りの状態により微妙に変化する。この変化量を測定することにより元素の結合状態分析が可能である。

X 線照射により生成する光電子は固体試料の内部深くまで生成する。しかしこの発生した光電子は散乱により容易にエネルギーを失ったり、方向を変えたりして大部分は試料に再び吸収されてしまう。よって光電子の脱出深さが非常に短いために、表面の光電子しか検出できないことが XPS において表面分析を可能にしている。

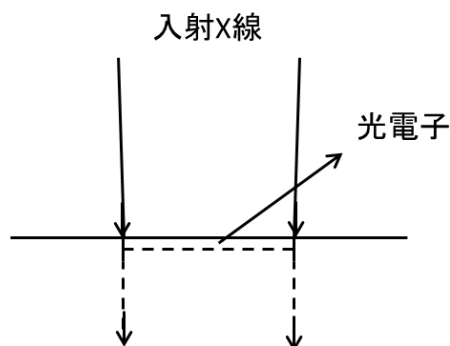


図 2-16 XPS の信号発生課程の模式図



## 2.2.4 走査電子顕微鏡

SEM（走査電子顕微鏡）は電子線を試料に走査させ、その時に出てくる2次電子を結像することで表面の顕微鏡像を観察する。数 $\mu\text{m}$ 程度のパターンであれば容易に観察が可能である。図2-17にSEMの原理を示す。電子銃から出る電子線束を電子レンズで集束し偏向コイルで2次元的に試料を走査し、試料面から発生する2次電子を検出器で集める。その信号を電子プローブと同期し、走査するCRTに送り走査像を得る。この時のSEMの倍率は試料表面の走査幅とCRT上の走査幅の比で決まる。

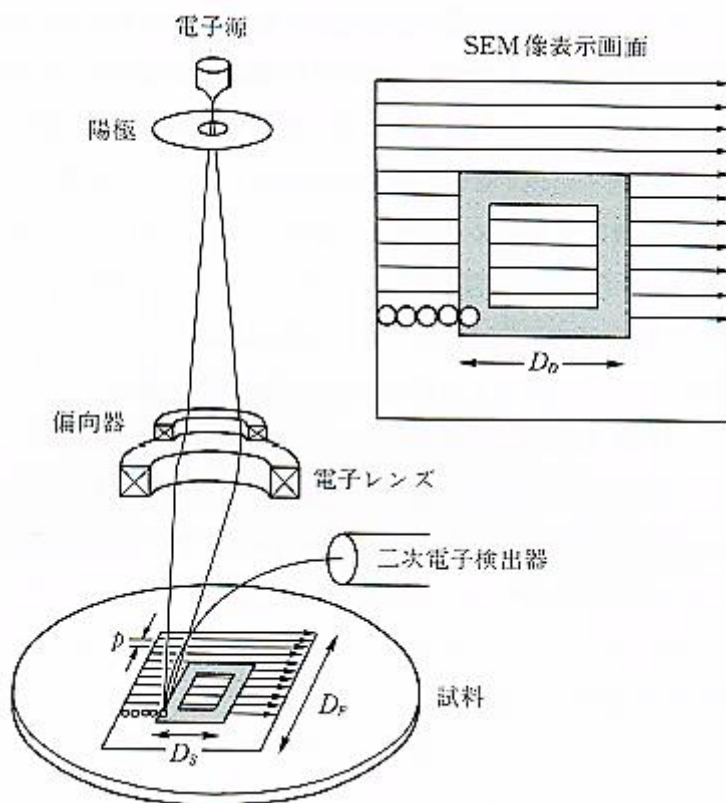


図 2-17 SEM の原理[17]

## 2.2.5 フーリエ変換赤外線分光光度計

FT-IR（フーリエ変換赤外線分光光度計）は化合物の構造推定を行う分析装置である。分子に赤外線を照射すると、分子を構成している原子間の振動エネルギーに相当する波長の赤外線を吸収する。この吸収度合を調べることで化合物の構造推定や定量分析を行うことができる[18]。

FT-IR は半透鏡（ビームスプリッター）及び2枚の平面鏡で構成されるマイケルソン干渉計から成る。2枚の平面鏡のうち1枚は平行に移動する機構が備えられている。入射された赤外線は半透鏡で一部を透過し、残りを反射して2つの経路に分割される。その後平面鏡で反射され、半透鏡に戻りふたたび合成される。移動鏡をある速度で動かすとその速度と入射した光の波数に比例した周波数に変調された光を出力として得る。光源が連続光の場合、それぞれの波数に比例した周波数に変換されて、出力されるので各周波数の信号強度を分析すればそれぞれの波数の光の強度を知ることができることになる。

本研究では FT-IR の反射率測定から、薄膜試料の赤外線吸収率を評価する手法を提案し、測定を行った。測定系の概略図を図 2-18 に示す。赤外線をほぼ 100% 反射する反射膜の上に試料膜を成膜し、赤外線を試料膜に垂直に入射させる。入射された赤外線は空気と試料膜の界面である程度反射され、試料膜を透過した赤外線は反射膜で再び反射されて、試料/空気界面で再び反射、透過が起こる。反射膜では赤外線はほとんど透過しないため、赤外線の反射率を測定することで、反射率の減少がそのまま試料膜の吸収と考えることができる。このように赤外線反射率の十分大きな膜を下地に用いることで FT-IR の反射率測定のみから赤外線吸収率を評価することができる。ただし、試料膜と反射膜の屈折率差は十分大きい必要があることに注意が必要である。

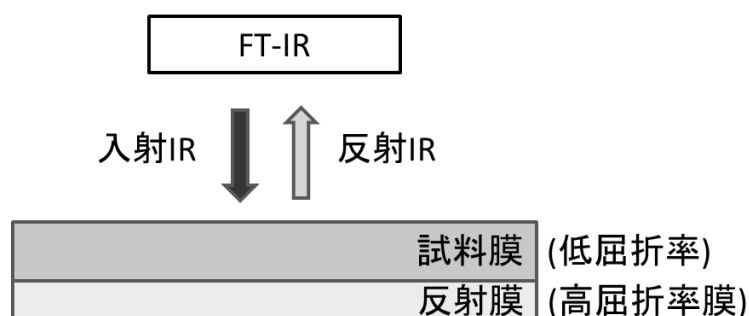


図 2-18 FT-IR を用いた試料膜の赤外線吸収率測定（反射率測定から吸収率を算出）

## 参考文献

- [1] 田部浩三、清山哲郎、笛木和雄、金属酸化物と複合酸化物（講談社サイエンティフィック、1978).
- [2] Ralph W. G. Wyckoff, *Crystal Structures* vol. 3, 2<sup>nd</sup> ed, Interscience, New York, 1965).
- [3] I. Levin and D. Brandon, "Metastable Alumina Polymorphs: Crystal Structures and Transition Sequences," *J. Am. Ceram. Soc.*, 81 (1998) 1995.
- [4] B. C. Lippens and J. H. De Boer, "Study of Phase Transformations during Calcination of Aluminum Hydroxides by Selected Area Electron Diffraction," *Acta Crystallogr.*, 17 (1964) 1312.
- [5] H. Yanagida and G. Yamaguchi, "Thermal Effects on the Lattices of  $\eta$ - and  $\gamma$ -Aluminum Oxide," *Bull. Chem. Soc. Jpn.*, 37 (1964) 1229.
- [6] 岡田貴行 豊橋技術科学大学 博士学位論文 (2007)
- [7] K. Sawada, M. Ishida, N. Ohtake and T. Nakamura, "Metalorganic molecular beam epitaxy of  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> films on Si at low growth temperatures," *Appl. Phys. Lett.*, 52 (1988) 1672.
- [8] 伊藤幹記 豊橋技術科学大学 博士学位論文 (2008)
- [9] I. Kanno and H. Kotera, "Crystallographic characterization of epitaxial Pb(Zr,Ti)O<sub>3</sub> films with different Zr/Ti ratio grown by radio-frequency-magnetron sputtering," *J. Appl. Phys.*, 93 (2003) 4091.
- [10] K. Uchino, *Advanced Piezoelectric Materials*, Woodhead Publishing, Cornwall, 2010.
- [11] 権田俊一、21世紀版 薄膜作製応用ハンドブック、エヌ・ディー・エス、2003.
- [12] 日本表面科学会 編、表面分析選書 ナノテクノロジーのための表面電子回折法、丸善株式会社、1998.
- [13] 三宅静雄 編、実験物理講座 21 電子回折・電子分光、共立出版、1991.
- [14] B. D. Cullity、新版 X線回折要論、アグネ、1980.
- [15] 日本表面科学会 編、表面分析技術選書 X線光電子分光法、丸善株式会社、1998.
- [16] 吉原一紘、吉武美智子、表面分析入門、裳華房、1997.
- [17] 日本電子顕微鏡学会関東支部 編、走査電子顕微鏡、共立出版株式会社、2000.
- [18] 田隅三生 編、FT-IRの基礎と実際（第2版）、東京化学同人、1994.

# 第3章 Si(100) 基板上への $\gamma$ - $\text{Al}_2\text{O}_3$ 薄膜形成と CMOS 回路インテグレーション

## 3.1 緒言

本章では Si 基板上へ CMOS 回路と結晶配向 PZT 薄膜センサをインテグレーションするための基盤プロセスとなる  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜と CMOS 回路のインテグレーションプロセスについて述べる。インテグレーションの実現には次の 2 つの重要な点が挙げられる。1 つ目は PZT を結晶性良く Si 基板上に形成するための下地となる  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の結晶性を、CMOS 回路作製プロセスを通して維持することである。 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜形成を CMOS 回路作製プロセスの前に行う理由はプロセス温度が高く、CMOS 回路素子の特性に設計値とのずれが生じてしまうからである。そして 2 つ目は Si に対して異種材料である  $\gamma$ - $\text{Al}_2\text{O}_3$  が成膜されている基板で CMOS 回路が設計通り正常に動作することである。これまでに、インテグレーションプロセスの確立を試みてきたが、CMOS 回路作製プロセスにおける  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の結晶性が維持されるかについては詳細に調べられていない。特に MOCVD 法により成膜した  $\gamma$ - $\text{Al}_2\text{O}_3$  について CMOS 回路と同一基板上に作製し、詳しく分析、評価した例はほとんどなく、これを行うことが Si 基板上へ PZT 薄膜をインテグレーションさせるために重要である。そこで本章では Si 上へ結晶配向させた  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜について、CMOS 回路作製工程による結晶性評価、元素・組成分析、表面状態観察を RHEED、XRD、XPS、SEM により評価し、 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜への影響とそのメカニズムを考察する。更に  $\gamma$ - $\text{Al}_2\text{O}_3$  が成膜された基板に作製した CMOS 回路素子について回路特性を評価し、設計した回路特性と比較する。[1]

まず、図 3-1 に結晶配向 PZT 薄膜と CMOS 回路インテグレーションデバイスの作製プロセス断面図を示す。最初に Si 基板上のセンサを形成するエリアに  $\text{SiO}_2$  をマスクとして  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜を MOCVD 法により結晶成長させる。次に CMOS 回路を同一 Si 基板上に形成させる。そして最後に post-CMOS プロセスとして、結晶配向電極膜、PZT 薄膜を  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜上に成膜してセンサを形成する。ここで PZT 薄膜を結晶性良く形成するためには下地材料となる  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の結晶性が重要になる。しかしながらプロセスの最初に成膜する  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の成長温度は  $960^\circ\text{C}$  であり、これ以上に高い温度のアニールプロセスがある CMOS 回路作製プロセスでは  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の結晶性や表面状態を劣化させてしまう恐れがある。CMOS 回路作製プロセス後に  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の成長ができれば問題ないが、前述したように  $960^\circ\text{C}$  という高い成長温度が必要なため、形成した Si の well やソース/ドレインなどの不純物(ドーパント)を拡散させてしまい、作製する回路が設計通り動作しなくなってしまう。

本プロセスで作製する  $\gamma\text{-Al}_2\text{O}_3$  薄膜は CMOS 回路形成前に成膜しなければならないため、アニールプロセスによる影響を調査する必要がある。

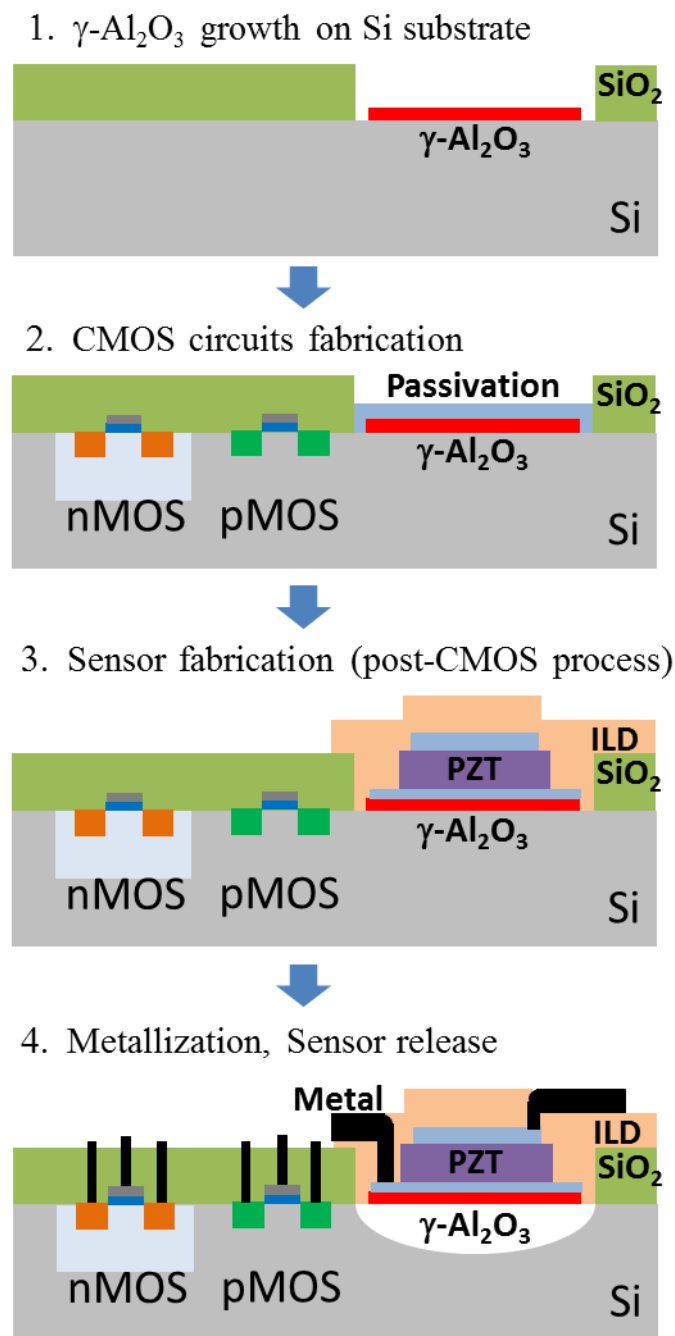


図 3-1 デバイス作製プロセス断面図

## 3.2 CMOS プロセスにおける高温プロセス

CMOS 回路作製プロセスは  $\gamma\text{-Al}_2\text{O}_3$  薄膜成長温度を超える複数の高温プロセスがあり、様々なガス雰囲気で行われる。表 3-1 に代表的な CMOS 作製工程の高温プロセス条件を示す。 $\gamma\text{-Al}_2\text{O}_3$  成膜温度を超える CMOS 作製工程の高温プロセスは、不純物拡散を目的としたドライブイン (Drive-in) 工程、素子分離のための local oxidation of silicon (LOCOS) 工程、MOS 構造形成のための gate 酸化工程など、 $\text{O}_2$  や  $\text{H}_2\text{O}$  vapor 雰囲気中でのアニールなどがある。Drive-in 工程は  $1150^\circ\text{C}$ 、 $\text{O}_2$  雰囲気中で 540 min アニールを行うプロセス (Drive-in anneal) である。これはプロセス中で最も温度が高く、時間の長いプロセスである。LOCOS 工程は  $1000^\circ\text{C}$ 、 $\text{H}_2\text{O}$  vapor 雰囲気中で 240 min アニールを行うプロセス (Wet oxidation anneal) である。そして gate 酸化工程は  $1000^\circ\text{C}$ 、 $\text{O}_2$  雰囲気中で 90 min アニールを行うプロセス (Gate oxidation) である。このように CMOS プロセスでは様々な雰囲気での高温アニールにより化学的な反応や  $\gamma\text{-Al}_2\text{O}_3$  の再結晶化が起こり、膜質の変化が懸念される。そこでこれらのアニールの中でも特に温度の高く時間の長い、Drive-in アニール ( $\text{O}_2$  雰囲気) 及び Wet oxidation アニール ( $\text{H}_2\text{O}$  vapor 雰囲気) の 2 つのアニールについて  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板へ与える影響を評価・分析した。

表 3-1 CMOS プロセス中の主なアニールのプロセス条件

Process	Temperature	Gas source	Pressure	Time
$\gamma\text{-Al}_2\text{O}_3$ growth	$960^\circ\text{C}$	TMA, $\text{O}_2$	500 Pa	6 min
Drive-in anneal	$1150^\circ\text{C}$	$\text{O}_2$	1 atm	540 min
Wet oxidation anneal	$1000^\circ\text{C}$	$\text{H}_2\text{O}$ vapors	1 atm	240 min
Gate oxidation	$1000^\circ\text{C}$	$\text{O}_2$	1 atm	90 min

## 3.3 Si 基板上の $\gamma\text{-Al}_2\text{O}_3$ 薄膜アニールサンプルの作製

アニール実験を行うための  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板サンプルの作製手順について述べる。

### 3.3.1 Si 基板上への $\gamma\text{-Al}_2\text{O}_3$ 結晶成長

実験に用いた Si 基板は抵抗率  $3\sim 4 \Omega/\text{cm}$  の Si(001) 基板である。まず Si 基板表面のパーティクル及び有機物除去を行うためにアンモニア水、過酸化水素水、超純水の混合溶液であ

る APM (Ammonium hydrogen-peroxide mixture) 溶液 ( $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 0.05:1:5$ )により洗浄を行った。その後金属イオン除去を行うために塩酸、過酸化水素水、超純水の混合溶液である HPM (hydrochloric hydrogen-peroxide mixture) 溶液 ( $\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 1:1:6$ )により洗浄した。最後に希フッ酸と超純水の混合溶液である DHF (diluted hydrofluoric acid) 溶液 ( $\text{HF}:\text{H}_2\text{O} = 1:50$ )により Si 基板表面の自然酸化膜除去を行った。

$\gamma\text{-Al}_2\text{O}_3$  薄膜の成長は原料として TMA と  $\text{O}_2$  ガスを用いた MOCVD 法により行った。液相の有機金属である TMA は  $20^\circ\text{C}$  の恒温槽に入っており、 $\text{N}_2$  ガスのバブリングによりガスを成長室に導入している。ヒータは  $1200^\circ\text{C}$  まで昇温し、その時の Si 基板表面を放射温度計で測定した温度は  $960^\circ\text{C}$  であった。 $\gamma\text{-Al}_2\text{O}_3$  薄膜の成長は  $960^\circ\text{C}$ 、圧力 500 Pa、時間 6 min の条件で行った。原料ガスは TMA 流量 15 sccm、 $\text{O}_2$  流量 14 sccm で導入した。表 3-2 に  $\gamma\text{-Al}_2\text{O}_3$  薄膜の成長条件を示す。本プロセスにより成長させた  $\gamma\text{-Al}_2\text{O}_3$  薄膜は分光エリプロメーターによる測定により膜厚 50 nm、屈折率 1.76 であることが分かった。

表 3-2 MOCVD 法による  $\gamma\text{-Al}_2\text{O}_3$  薄膜の成長条件

Parameters	Condition
TMA gas flow	15 sccm
$\text{O}_2$ gas flow	14 sccm
Temperature (substrate)	$960^\circ\text{C}$
Temperature (heater)	$1200^\circ\text{C}$
Pressure	500 Pa
Growth time	6 min
Thickness	50 nm
Refractive index	1.76

### 3.3.2 $\gamma\text{-Al}_2\text{O}_3$ 薄膜のアニール

アニールによる  $\gamma\text{-Al}_2\text{O}_3$  薄膜への影響は、 $\text{O}_2$  雰囲気でも最も温度が高い Drive-in アニールと  $\text{H}_2\text{O}$  vapor 雰囲気でも最も温度が高い Wet oxidation アニールを行い調査した。Drive-in アニールは大気圧中で  $\text{O}_2$  を流量 4.2 L/min で導入し、 $1150^\circ\text{C}$  で 9 時間アニールを行った。Drive-in アニールは Si にイオン注入などによって導入した不純物を熱により拡散させて、基板深くまで不純物を拡散させるための熱拡散プロセスである。不純物濃度が回路特性を決めるパラメータとなるため、CMOS 回路を作製する上で重要なプロセスである。不純物としては B や P が一般的に用いられるが、Si 中の不純物拡散速度と  $\text{SiO}_2$  中の拡散速度を比較すると 2

ケタほど Si 中の拡散速度が速い[2]。したがって、熱処理を O<sub>2</sub> 雰囲気中で行うことで、形成される酸化膜が拡散に対しマスクとしての役割を果たし、不純物を Si 中に閉じ込めることができるため効果的に拡散ができる。また新たな不純物が添加され拡散される恐れもなくなるので O<sub>2</sub> 雰囲気は Drive-in アニールにおいて重要である。また Wet oxidation アニールは大気圧中で O<sub>2</sub> と H<sub>2</sub> ガスをそれぞれ流量 4.2 L/min で導入し、燃焼をさせることで H<sub>2</sub>O vapor 雰囲気を作りだし、1000°C で 4 時間アニールを行った。Wet oxidation アニールは LOCOS 工程において Si 基板上の回路素子分離を実現するためのプロセスである。LOCOS 工程では Si 表面を部分的に酸化するために、マスクとして Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 膜を用いている。Si<sub>3</sub>N<sub>4</sub> は非常に緻密な膜であり H<sub>2</sub>O や O<sub>2</sub> ガスなどが膜中を通過できない。したがって局所的な酸化が可能になる。下地の SiO<sub>2</sub> はアニールした時の基板への応力を緩和するためのバッファ層としての役割を果たす[3]。よって Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 膜は O<sub>2</sub> や H<sub>2</sub>O による反応を防ぐための保護膜として有用である。

### 3.3.3 Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 膜による $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の保護

$\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の保護膜として Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 膜が有用であると考えた。 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜上の保護膜として Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 膜を成膜し、保護膜としての役割を果たすかについて調査した。成長した  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜上へ成膜する Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 膜は LPCVD 法（低圧化学気相成長法）を用いて成膜した。表 3-3 に LPCVD 法による Si<sub>3</sub>N<sub>4</sub> 膜、SiO<sub>2</sub> 膜の成膜条件を示す。SiO<sub>2</sub> 膜は 720°C、37 Pa で TEOS (Tetraethyl orthosilicate) と O<sub>2</sub> ガスを原料として 200 nm 成膜した。TEOS と O<sub>2</sub> の流量はそれぞれ 30 sccm と 300 sccm である。この SiO<sub>2</sub> 膜には 2 つの役割がある。SiO<sub>2</sub> 膜は一般的に Si<sub>3</sub>N<sub>4</sub> 膜と反対方向の応力を有するために、全体の応力を緩和するためのバッファ層としての役割がある。もう 1 つの役割はアニール後の保護膜エッチングにおける緩衝膜としての役割である。 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜上に Si<sub>3</sub>N<sub>4</sub> を直接成膜してしまうと、RIE (reactive ion etching) により Si<sub>3</sub>N<sub>4</sub> 膜をエッチングする時に、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜表面がエッチングに荒れてしまい、表面状態が劣化してしまう恐れがある。SiO<sub>2</sub> 膜が間にあれば Buffered HF (BHF) 溶液による Wet エッチングが可能であるので、Si<sub>3</sub>N<sub>4</sub> 膜を RIE でエッチングした後に SiO<sub>2</sub> 膜を BHF でエッチングでき、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜表面へのプラズマダメージを小さくすることができると考えられる。 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜はその上への成膜する結晶配向薄膜の結晶性を左右する重要な下地膜となるので表面状態を維持すること重要である。Si<sub>3</sub>N<sub>4</sub> 膜は 820°C、29 Pa で SiH<sub>2</sub>Cl<sub>2</sub> と NH<sub>3</sub> ガスを原料として 200 nm 成膜した。SiH<sub>2</sub>Cl<sub>2</sub> と NH<sub>3</sub> の流量はそれぞれ 40 sccm と 400 sccm である。Si<sub>3</sub>N<sub>4</sub> 膜については、O<sub>2</sub> や H<sub>2</sub>O が膜を拡散できない緻密な膜であるので、雰囲気ガスの  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜までの侵入を防ぐ役割がある。よってこれら Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 膜を  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上に成膜することで、アニールによる影響を防ぐことの保護膜として用い、保護膜なしの場合と比較を行った。



表 3-3 LPCVD 法による Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub> 成膜条件

Parameter	SiO <sub>2</sub>	Si <sub>3</sub> N <sub>4</sub>
TEOS gas flow	30 sccm	-
O <sub>2</sub> gas flow	300 sccm	-
SiH <sub>2</sub> Cl <sub>2</sub> gas flow	-	40 sccm
NH <sub>3</sub> gas flow	-	400 sccm
Temperature	720°C	820°C
Pressure	62 Pa	43 Pa
Time	30 min	40 min
Thickness	180 nm	200 nm

### 3.4 反射高速電子線回折及び X 線回折を用いた $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の結晶性評価

薄膜の結晶性評価を反射高速電子線回折(RHEED)と X 線回折(XRD)を用いて行った。Drive-in アニールおよび Wet oxidation アニールをした  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の RHEED 観察結果を図 3-2 に示す。それぞれ電子線の入射方位は<110>である。図 3-2(a)の結果より、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> の as-grown 膜では透過型スポットパターンが得られていることから 3 次元成長した結晶が得られていることが分かる。図 3-2 (b)の結果では Drive-in アニールした  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜では少しぼやけたているがスポットパターンが確認できた。一方、図 3-2 (c)の Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 保護膜を成膜したサンプルでは as-grown 膜同様の RHEED パターンが得られた。Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 保護膜の除去には CF<sub>4</sub> と O<sub>2</sub> ガスを用いた RIE により Si<sub>3</sub>N<sub>4</sub> 膜をエッチングした後に、BHF 溶液により SiO<sub>2</sub> 膜をエッチングした。RHEED 観察結果より、Drive-in アニールにおいては  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜表面の結晶性は多少変化するが、3 次元の結晶を維持していると考えられる。

Wet oxidation アニールをした  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の RHEED 観察結果を図 3-2(d)に示す。図 3-2(e)の Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 保護膜ありの場合と比較すると、保護膜を成膜したサンプルでは as-grown 膜同様の RHEED パターンが得られたが、保護膜のない  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜においてはスポットパターンがぼやけており、明らかに  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の結晶性に変化が見られた。RHEED の回折パターンの観察結果より Drive-in アニールおよび Wet oxidation アニールでは  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の膜質に影響を与えていることが示唆された。

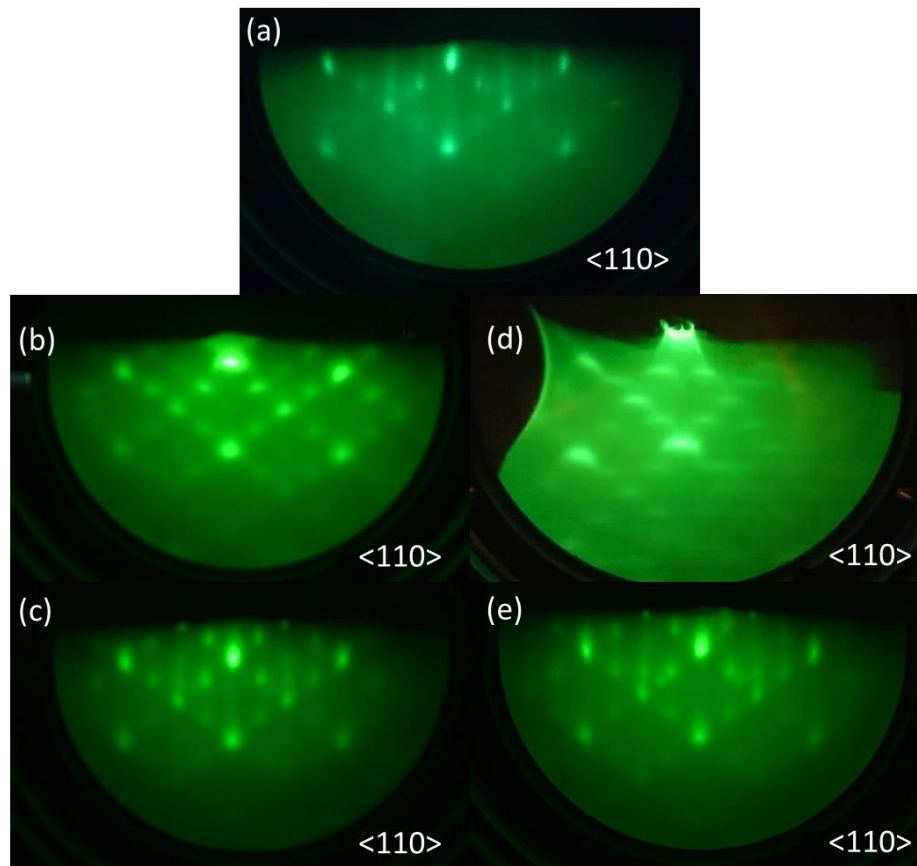


図 3-2  $\gamma\text{-Al}_2\text{O}_3$  薄膜の RHEED 観察結果(電子線入射方位<110>)。(a) As-grown 膜、(b) Drive-in annealed 膜、(c) Drive-in annealed 膜 ( $\text{Si}_3\text{N}_4/\text{SiO}_2$  保護膜有り)、(d) Wet oxidation annealed 膜、(e) Wet oxidation annealed 膜 ( $\text{Si}_3\text{N}_4/\text{SiO}_2$  保護膜有り)

図 3-3 に Drive-in アニールおよび Wet oxidation アニールをした  $\gamma\text{-Al}_2\text{O}_3$  薄膜の XRD (X 線回折) 結果を示す。図 3-3(a)の結果より、as-grown 膜において  $\gamma\text{-Al}_2\text{O}_3(400)$  のピークが確認できることから  $\gamma\text{-Al}_2\text{O}_3$  薄膜は  $\gamma\text{-Al}_2\text{O}_3(400)$  に平行な結晶面に優先的に配向をしていることが示された。なお他のピークとしては  $\gamma\text{-Al}_2\text{O}_3(004)$  や  $\gamma\text{-Al}_2\text{O}_3(220)$  が確認できた。いずれのピークも幅のあるピークであることが分かった。ピーク幅については一般的に原因をはっきりとは決めることは困難であるが、結晶粒子の大きさや膜の歪による影響等が考えられる。結晶粒子とは単結晶とみなせる集まりのことであり、結晶粒子の大きさが小さくなるほど X 線回折ピークの幅は広がる。これは異なる  $\theta$  角を有する結晶子が多く存在すると、得られるピークが幅を持つためである。ピーク強度についてはブラッグの条件を満たす格子の数が減るために弱くなる。一方、膜にかかる応力が原因の場合、歪で結晶の間隔が膜中で変化し、幅を持つピークが得られる。図 3-3(b)の Drive-in アニールした  $\gamma\text{-Al}_2\text{O}_3$  薄膜では  $\gamma\text{-Al}_2\text{O}_3(400)$  のピークが低角側で鋭くなっており、一方  $\gamma\text{-Al}_2\text{O}_3(004)$  のピークは小さくな

っていることが確認できた。これは 1150°C という高温を要する Drive-in アニールにより、結晶配向膜の結晶粒子の大きさが変化、または膜に歪がかかり、 $\gamma\text{-Al}_2\text{O}_3(400)$ のピークが先鋭になったことが考えられる。図 3-3(c)の Wet oxidation アニールした  $\gamma\text{-Al}_2\text{O}_3$  薄膜でも  $\gamma\text{-Al}_2\text{O}_3(400)$ のピークが多少先鋭になっていることが確認できた。しかしながら低角側 ( $20^\circ\sim 30^\circ$ )に現れた  $\gamma\text{-Al}_2\text{O}_3$ 以外のピークの出現やこれらの強度の増加など、膜質が明らかに as-grown 膜と Drive-in 膜とは異なっていることが確認できた。これらのピークは  $\text{SiO}_2$  (quartz) や  $\text{AlO}(\text{OH})$ のピークであると考えられる[4,5]。Wet oxidation アニールによる反応により現れたピークだと考えられる。よって XRD の結果についても RHEED の結果と同じように Wet oxidation アニールをした  $\gamma\text{-Al}_2\text{O}_3$  結晶配向膜としての膜質の劣化が確認できた。

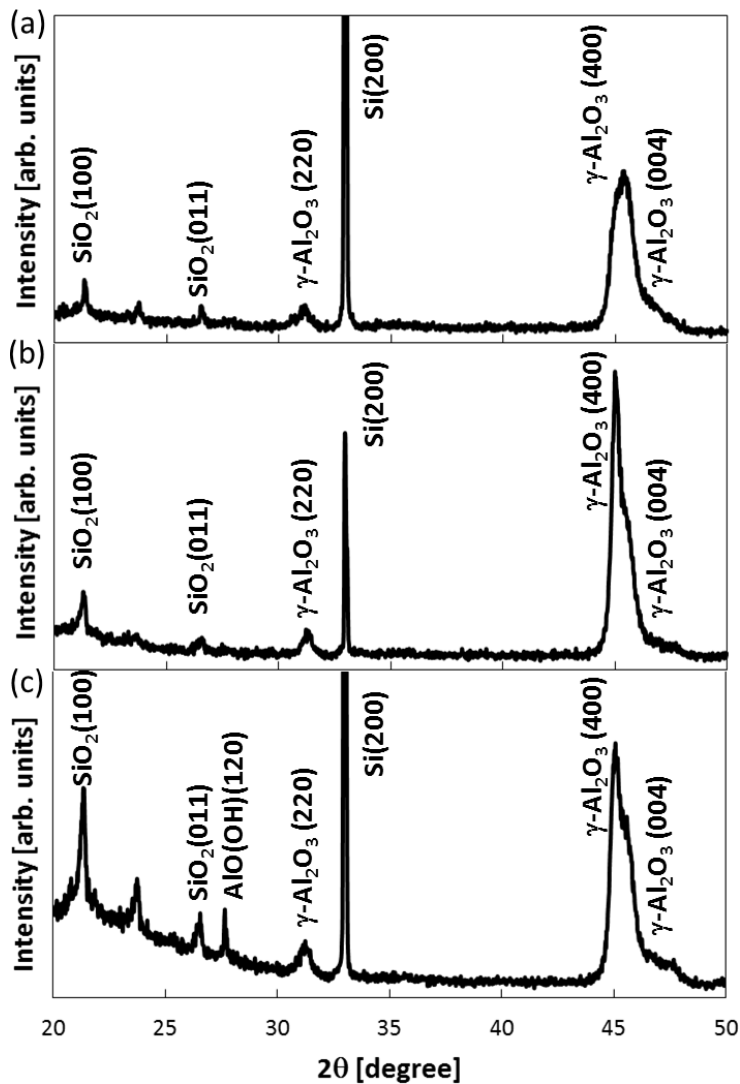


図 3-3  $\gamma\text{-Al}_2\text{O}_3$  薄膜の XRD 結果。(a) As-grown 膜、(b) Drive-in annealed 膜、(c) Wet oxidation annealed 膜

### 3.5 Wet oxidation アニールした $\gamma\text{-Al}_2\text{O}_3$ 薄膜の BHF によるエッチング

#### グ耐性

XRD の結果で分かった通り、Wet oxidation アニールした  $\gamma\text{-Al}_2\text{O}_3$  薄膜では  $\text{SiO}_2$  が膜中に存在している可能性がある。そこで BHF 溶液を用いて膜中の  $\text{SiO}_2$  がエッチングされるかを調べた。通常  $\gamma\text{-Al}_2\text{O}_3$  薄膜は BHF 溶液に対しては化学反応を起こさないため、エッチングはされない。しかしながら、Wet oxidation アニールした  $\gamma\text{-Al}_2\text{O}_3$  薄膜を BHF 溶液に 2 min ほど浸した結果、表面の膜が溶液中で剥離していくことを確認した。そこで再び RHEED により薄膜の電子線回折の観察を行った。図 3-4(a)、(b)にそれぞれ BHF 溶液に 2 min 浸す前と後の Wet oxidation アニールした  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  サンプルの RHEED 観察結果を示す。結果として、アモルファス膜を表すハローパターンが得られた。更にこのサンプルを BHF 溶液へ追加して浸したら Si 基板の表面が表れた。本実験で Wet oxidation アニールした  $\gamma\text{-Al}_2\text{O}_3$  薄膜は本来エッチングされないはずの BHF 溶液により剥離されたことが確認されたことから、 $\gamma\text{-Al}_2\text{O}_3$  薄膜中に  $\text{SiO}_2$  が存在していることが考えられる。一方 Wet oxidation アニールをした保護膜のある  $\gamma\text{-Al}_2\text{O}_3$  薄膜は BHF に浸しても剥離はされなかった。以上より、Wet oxidation アニールした保護膜のない  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板では BHF 溶液による  $\gamma\text{-Al}_2\text{O}_3$  薄膜の剥離が明らかになった。

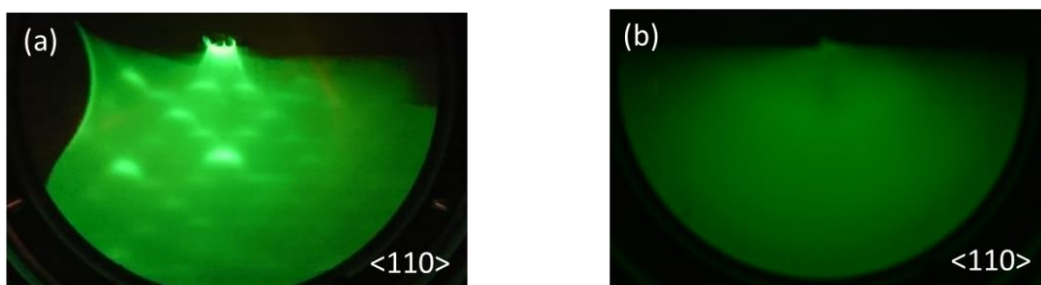


図 3-4 Wet oxidation アニールした  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板を BHF 溶液へ投入。(a) Wet oxidation anneal 後、(b) BHF 溶液へ 2 min 浸した後

### 3.6 X線光電子分光及び走査型電子顕微鏡を用いた $\gamma$ - $\text{Al}_2\text{O}_3$ 薄膜の

#### 表面元素分析と表面観察

Wet oxidation アニールした保護膜のない  $\gamma$ - $\text{Al}_2\text{O}_3/\text{Si}$  基板においてどのような化学反応が起きたかを調べるために XPS による表面元素分析を行った。まず as-grown  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の XPS によるワイドスキャン結果を図 3-5 に示す。ワイドスキャンでは構成元素の同定を目的に行う。エネルギースペクトルを広く鳥瞰できるため、構成元素の同定が容易にできる。ワイドスキャンの結果より、As-grown  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜には O 1s, C 1s, Al 1s, Al 2p のピークがあることから、O、C、Al の元素が存在している事が確認できた。O と Al については  $\gamma$ - $\text{Al}_2\text{O}_3$  の構成元素である。一方 C の元素が確認できたが、これは MOCVD 法で成膜した  $\gamma$ - $\text{Al}_2\text{O}_3$  の原料ガスである TMA 中の有機物であると考えられる。

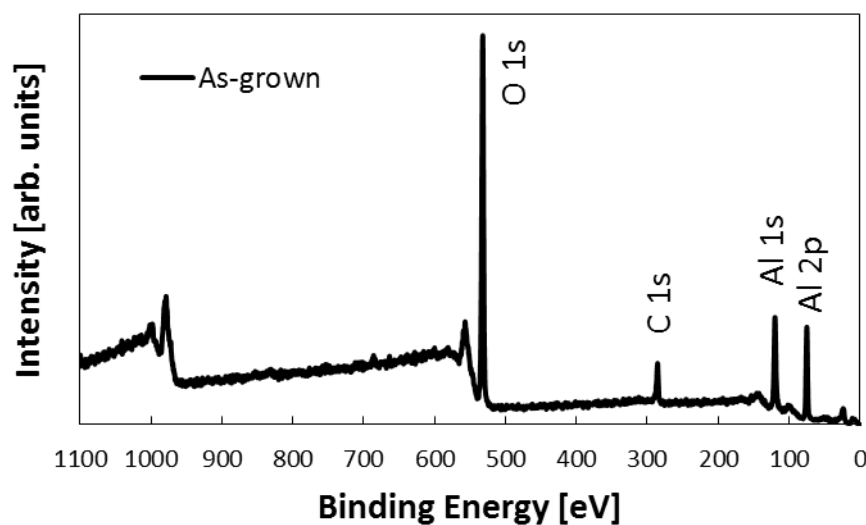


図 3-5 XPS による As-grown  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜のワイドスキャン

次に図 3-6、3-7 にそれぞれ Al 2p および Si 2p のスペクトル周辺のパロースキャン結果を示す。As-grown  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜と Wet oxidation annealed  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜をプロットして比較をした。図 3-6 の Al 2p スペクトル付近のパロースキャン結果より、75 eV 付近に  $\gamma$ - $\text{Al}_2\text{O}_3$  特有の Al-O 結合のピークが確認できた[6]。これは As-grown 膜と Wet oxidation annealed 膜の両方で同じ形のピークであることが確認できた。一方、図 3-7 の Si 2p スペクトル付近のパロースキャン結果からは As-grown 膜と Wet oxidation annealed 膜で異なる結果が得られた。結果から、

Wet oxidation annealed 膜では 103 eV 付近に  $\text{SiO}_2$  特有の Si-O 結合のピークがはっきりと検出されていることが分かる[7]。XPS では膜の最表面の情報しか得られないため、この  $\text{SiO}_2$  は  $\gamma\text{-Al}_2\text{O}_3$  薄膜最表面に存在していることを示している。

しかしながら、 $\gamma\text{-Al}_2\text{O}_3$  薄膜を  $\text{H}_2\text{O}$  vapor 雰囲気中でアニールするだけでは  $\text{SiO}_2$  は直接表面には生成されない。Si 原子は基板にしかいないため、 $\text{SiO}_2$  は  $\gamma\text{-Al}_2\text{O}_3$  薄膜と Si 基板の界面でまず生成されると考えられる。そしてその  $\text{SiO}_2$  が成長して  $\gamma\text{-Al}_2\text{O}_3$  薄膜表面まで達したと考えられる。

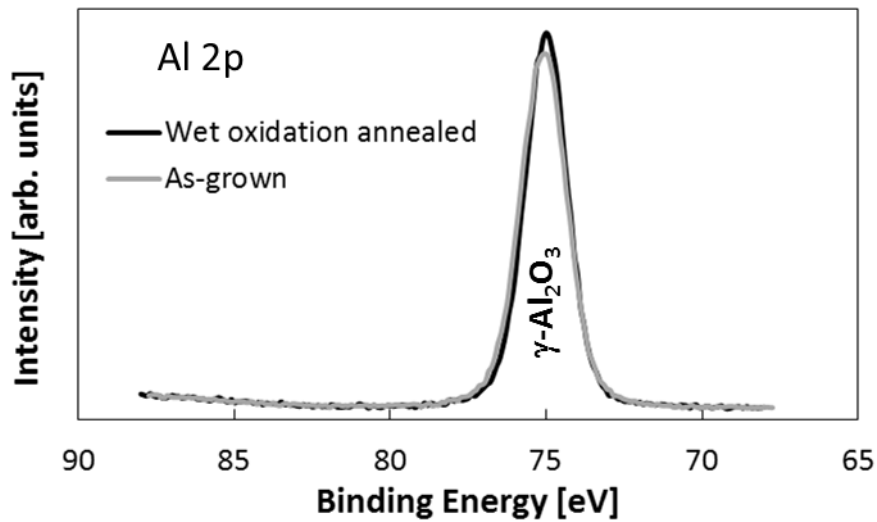


図 3-6 XPS による Al 2p 周辺スペクトルの  $\gamma\text{-Al}_2\text{O}_3$  薄膜のナローズキャン

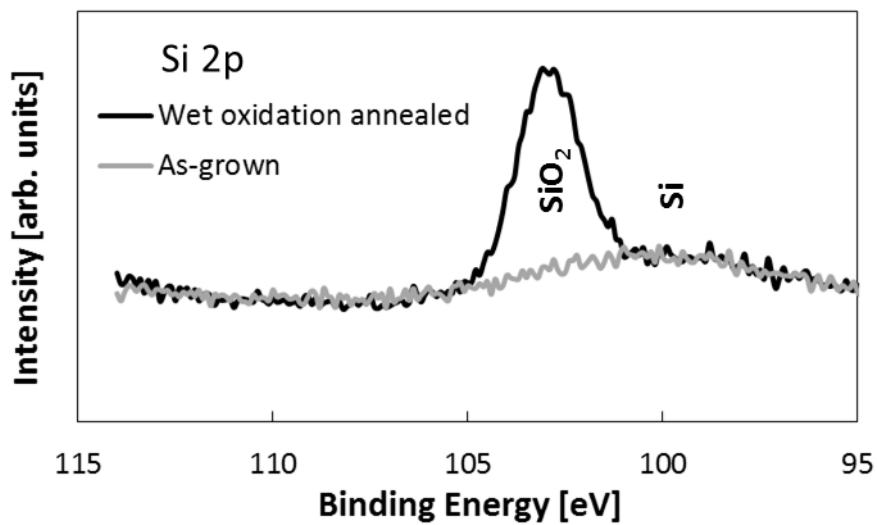


図 3-7 XPS による Si 2p 周辺スペクトルの  $\gamma\text{-Al}_2\text{O}_3$  薄膜のナローズキャン

次に走査型電子顕微鏡(SEM)を用いて薄膜の表面観察を行った。図 3-8 に SEM による  $\gamma\text{-Al}_2\text{O}_3$  薄膜表面の電子顕微鏡画像を示す。SEM では電子線の加速電圧により試料内での電子線散乱強度が異なる。入射する電子線の加速電圧が大きいくほど試料内での散乱は大きくなるため表面のみでなく、深さ方向の情報も入ってきてしまう。よって表面のみの情報が欲しい場合は加速電圧をなるべく小さくすることが望ましい。電子線の加速電圧は 1 kV にして観測を行った。図 3-8 の結果から分かるように、As-grown の  $\gamma\text{-Al}_2\text{O}_3$  薄膜ではコントラストがはっきりとしており、凹凸のある 3次元の結晶であることが分かる。一方 Wet oxidation アニールをした  $\gamma\text{-Al}_2\text{O}_3$  薄膜では表面の凹凸は小さくなっていることが考えられる。

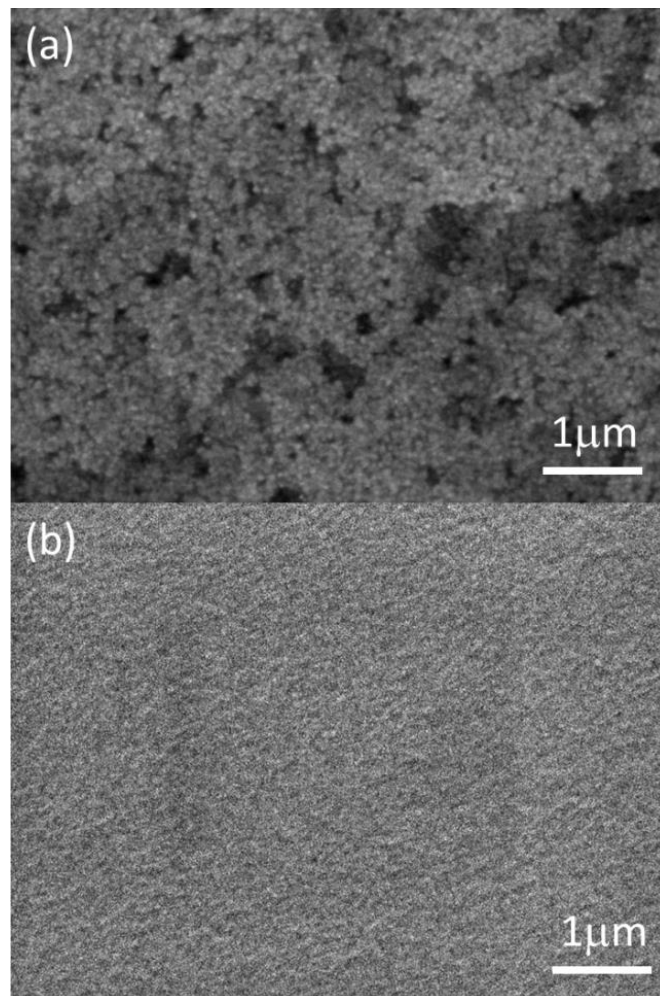


図 3-8 SEM による表面観察。(a) As-grown  $\gamma\text{-Al}_2\text{O}_3$ 、(b) Wet oxidation annealed  $\gamma\text{-Al}_2\text{O}_3$

### 3.7 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板のアニールモデル考察

これまでの実験結果より、CMOS 作製工程の Wet oxidation アニールプロセスにおいて  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の表面に SiO<sub>2</sub> が形成され、BHF 溶液中において剥離が起こることが分かった。この SiO<sub>2</sub> は  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板の界面で生成され、それが表面まで成長してくることが予想された。そこで Drive-in アニール及び Wet oxidation アニールプロセスそれぞれにおける  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板のアニールモデルを考察した。

図 3-9 に  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板のアニールモデルのイラストを示す。まず Drive-in アニールについては図 3-9(a)に示す。Drive-in アニールは O<sub>2</sub> 雰囲気で行われるため、O<sub>2</sub> 分子が  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 膜中の結晶粒界などを侵入してゆき、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 界面に到達する。Si 表面において(3-2)式のように反応が起き、SiO<sub>2</sub> が生成される。過去の研究でも  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板に O<sub>2</sub> 雰囲気で行うと  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> と Si 界面に酸化膜が形成されるという報告がされている。Drive-in アニールにおいてはこれと同様に SiO<sub>2</sub> が形成されていると考えられる[8]。



一方、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板の Wet oxidation アニールモデルは複雑である。Wet oxidation アニールモデルを図 3-9(b)に示す。まず H<sub>2</sub>O vapor 雰囲気において H<sub>2</sub>O 分子が  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 膜中の結晶粒界などを通り、侵入していく。そして  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 界面に到達した際に(3-3)式のように  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> と Si 界面で反応が起き、SiO<sub>2</sub> が形成される。ここで SiO<sub>2</sub> の形成の他に H<sub>2</sub> が生成される。



そして、この生成された H<sub>2</sub> が  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜と反応し、(3-4)式のような Al と H<sub>2</sub>O が生成される。そして Al と H<sub>2</sub>O が再び反応し、(3-5)式のように AlO(OH)と H<sub>2</sub> の生成をする反応を繰り返す。更に(3-2)式の反応が同時に進行することで SiO<sub>2</sub> が  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> の結晶粒界を通して成長してゆくと考えられる。



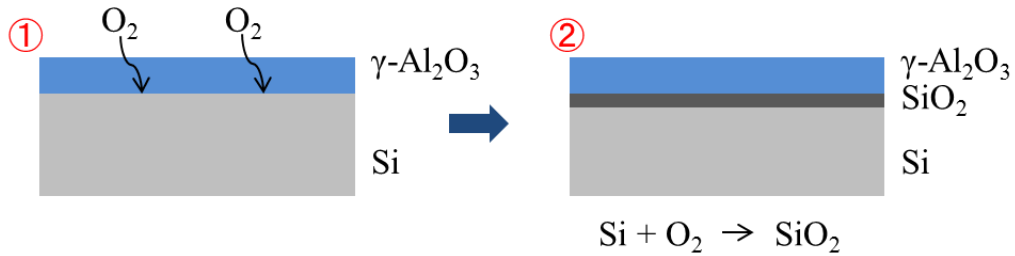
ここで AlO(OH)が生成されることは XRD の結果で説明ができ、SiO<sub>2</sub> が  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜表面まで成長してくることは XPS の結果で説明ができる。最後にこの Wet oxidation アニールした  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板を BHF に浸すと SiO<sub>2</sub> の部分がエッチングされてゆき、結果的に  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜



が剥離を起したと考えられる。Wet oxidation アニールしたサンプルでは BHF 溶液中で  $\gamma\text{-Al}_2\text{O}_3$  薄膜が剥離した結果をこのようなモデルで説明ができる。

以上の結果・考察より、Wet oxidation アニールした  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板では  $\gamma\text{-Al}_2\text{O}_3$  薄膜の膜質が劣化することが分かった。 $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板において CMOS 回路作製プロセス中に  $\gamma\text{-Al}_2\text{O}_3$  薄膜の結晶性を維持するには  $\text{O}_2$  や  $\text{H}_2\text{O}$  の  $\gamma\text{-Al}_2\text{O}_3$  薄膜への侵入を防ぐ保護膜が必要であり、本実験で導入した  $\text{Si}_3\text{N}_4(200\text{ nm})/\text{SiO}_2(200\text{ nm})$  膜はインテグレーションプロセスにおいて非常に有用であることが確認できた。

(a) Drive-in anneal of  $\gamma\text{-Al}_2\text{O}_3$  film in  $\text{O}_2$  atmosphere



(b) Wet oxidation anneal of  $\gamma\text{-Al}_2\text{O}_3$  film in  $\text{H}_2\text{O}$  vapor atmosphere

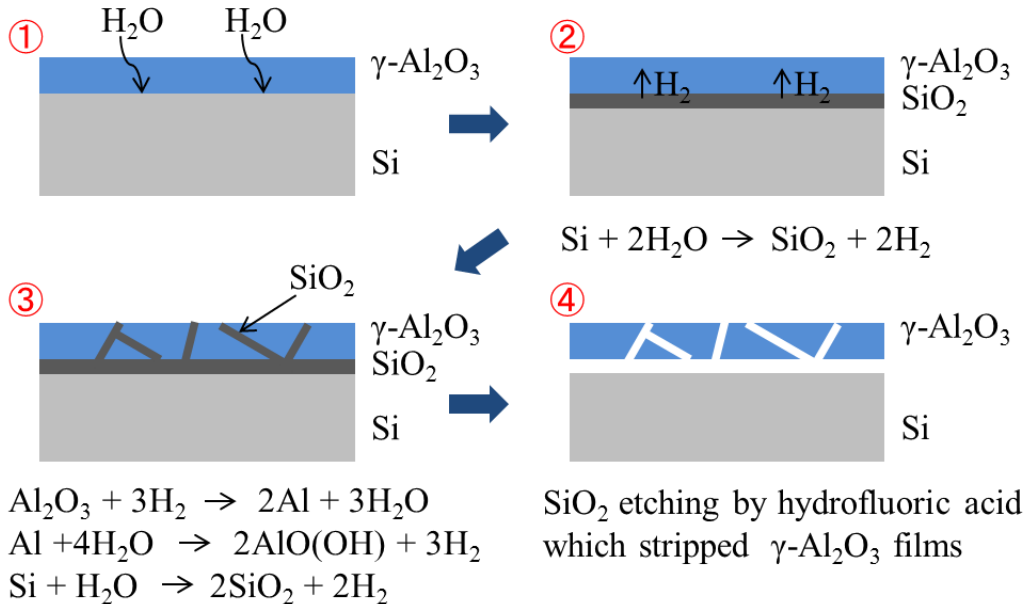


図 3-9  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板のアニールモデル

### 3.8 $\gamma\text{-Al}_2\text{O}_3$ 薄膜を形成した Si(001)基板上への CMOS 回路素子作製

#### 及び回路特性評価

$\gamma\text{-Al}_2\text{O}_3$  薄膜は Si に対しては異種材料であるため、 $\gamma\text{-Al}_2\text{O}_3$  薄膜を形成させた基板上に CMOS 回路を作製した場合、Al の拡散などで回路素子が設計通り動かなくなることが懸念される。そこで  $\gamma\text{-Al}_2\text{O}_3$  薄膜(膜厚 50 nm、成長温度 960°C)を形成した Si 基板上に作製した CMOS 回路素子の特性評価を行った。CMOS 回路素子としては n 型 Enhancement MOSFET (nEMOSFET)、p 型 Enhancement MOSFET (pEMOSFET)、n 型 Depletion MOSFET (nDMOSFET) を作製した。ゲート長 L、ゲート幅 W はそれぞれ 10  $\mu\text{m}$  および 30  $\mu\text{m}$  であり L/W=10/30、ゲート酸化膜の膜厚は 60 nm である。n 型 Si(100)基板 (resistivity 3.85 ~ 4.15  $\Omega\text{ cm}$ )を用いており、n 型 MOSFET は p-well 領域上に、p 型 MOSFET は n 型 Si 基板上に作製した。ゲート電極は n 型 poly Si である。作製した回路素子の光学顕微鏡写真を図 3-10 に示す。図 3-11 にこれらの回路素子評価結果 ( $I_D\text{-}V_{GS}$  特性)を示す。n 型 Si 基板の電位は 5V、p-well 領域の電位は 0V に固定した。 $\gamma\text{-Al}_2\text{O}_3$  薄膜をインテグレーションした Si 基板上( $\gamma\text{-Al}_2\text{O}_3/\text{Si}$ )で回路特性との比較として、 $\gamma\text{-Al}_2\text{O}_3$  薄膜をインテグレーションしていない  $\text{SiO}_2/\text{Si}$  基板上の回路素子特性を重ねてプロットした。結果より、nEMOSFET、pEMOSFET、nDMOSFET のそれぞれ、 $\gamma\text{-Al}_2\text{O}_3$  薄膜の有無に関係なく回路が正常に動作していることが確認できた。閾値電圧(設計値は nEMOSFET、pEMOSFET、nDMOSFET に対してそれぞれ 0.82 V、-0.75 V、-0.90 V)はシフトなどなく一致しており、S ファクタはそれぞれ 138 mV/dec、127 mV/dec、130 mV/dec であった。S ファクタは理想的な条件下では 60 mV/dec となりそれよりも高い値であるが、回路素子特性としては問題ない値である。以上より、 $\gamma\text{-Al}_2\text{O}_3$  薄膜は CMOS 回路とのインテグレーションプロセスとの適合性があることも確認できた。図 3-12 に CMOS インバータの入出力特性を示す( $V_{DD} = 5V$ )。nEMOSFET とゲート幅を 2 倍にした pEMOSFET を組み合わせた CMOS インバータについても正常動作を確認できた。よって CMOS 回路を  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板上に問題なく構築できることが確かめられた。

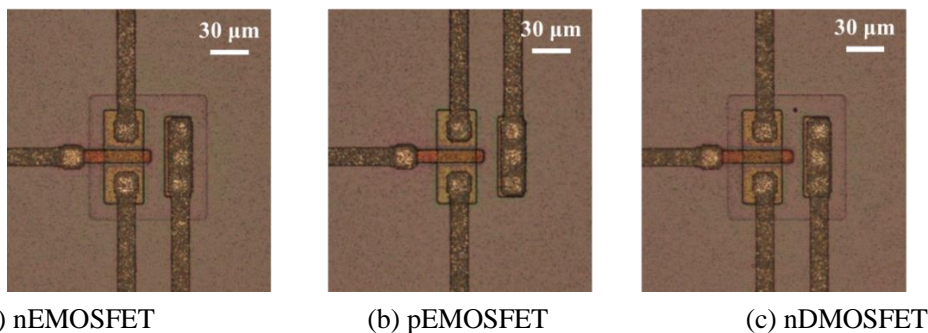


図 3-10 作製した回路素子(MOSFET)の光学顕微鏡画像  
(ゲート長 L/ゲート幅 W=10/30)、酸化膜膜厚 60 nm

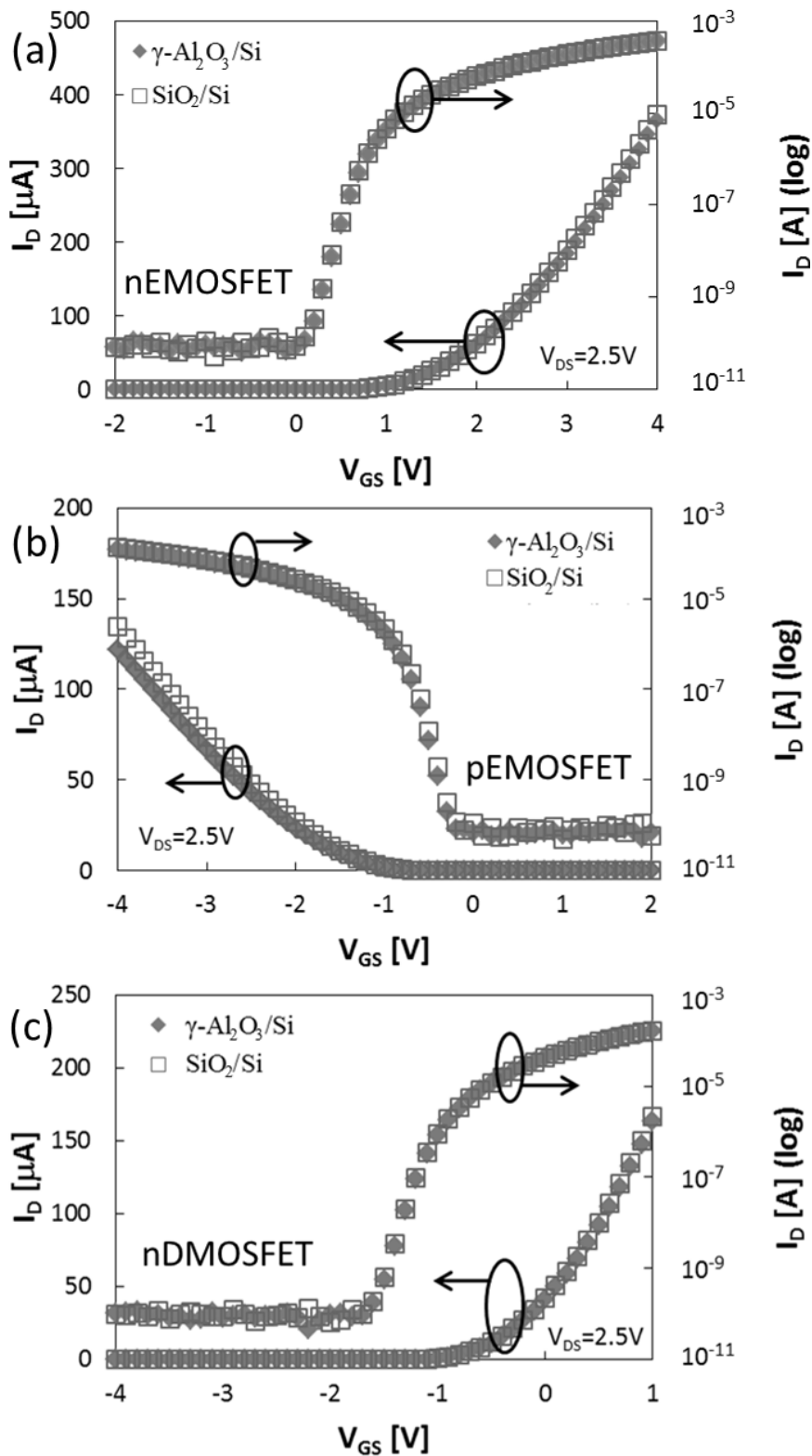


図 3-11 作製した CMOS 回路素子の  $I_D$ - $V_{GS}$  特性。 $\gamma\text{-Al}_2\text{O}_3$  薄膜を形成した Si 基板( $\gamma\text{-Al}_2\text{O}_3/\text{Si}$ ) を  $\text{SiO}_2/\text{Si}$  基板と比較。(a) n 型 Enhancement MOSFET (nEMOSFET)、(b) p 型 Enhancement MOSFET (pEMOSFET)、(c) n 型 Depletion MOSFET (nDMOSFET)

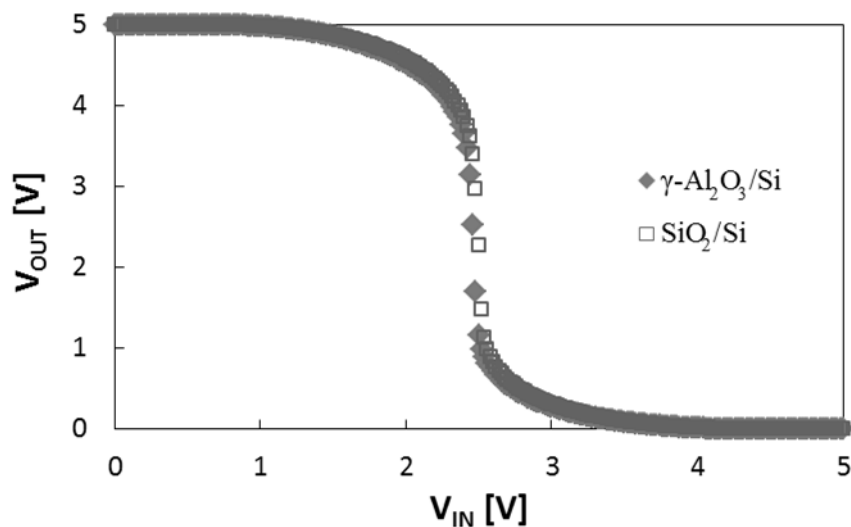


図 3-12 作製した CMOS インバータの入出力特性

### 3.9 結言

Si(001)基板上への $\gamma$ - $\text{Al}_2\text{O}_3$ 薄膜と CMOS 回路のインテグレーションプロセス適合性について、 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜結晶性維持及び CMOS 回路特性を調べた。CMOS 回路作製プロセスにおいては代表的なアニール工程である Drive-in アニール( $\text{O}_2$  雰囲気)と wet oxidation アニール( $\text{H}_2\text{O}$  vapor 雰囲気)を行い、 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の結晶性評価、構成原子の結合状態分析、表面観察を行った。MOCVD 法により Si 基板上へ成長させた  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜は wet oxidation アニールにおいて膜質の劣化が明らかになった。構成原子の結合状態を分析した結果、 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜中を  $\text{H}_2\text{O}$  分子が拡散し、 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜/Si 界面で  $\text{SiO}_2$  膜を形成しながら  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜を還元し、 $\text{SiO}_2$  膜が  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜表面まで成長してしまうというアニールモデルを考察した。以上の結果より wet oxidation アニールは  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の膜質を劣化させてしまう、CMOS 回路作製プロセスであり、 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜上に  $\text{H}_2\text{O}$  分子を通さない保護膜として  $\text{Si}_3\text{N}_4/\text{SiO}_2$  膜が  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の結晶性を維持するために非常に有用であることが明らかになった。また  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜をインテグレーションさせた Si(001)基板上へ CMOS 回路を作製・評価した結果、閾値電圧シフトなどの不具合は一切なく、設計値通りの CMOS 回路素子を作製することができた。本研究により Si(001)基板上への  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜と CMOS 回路をインテグレーションするプロセスの確立をした。

## 参考文献

- [1] K. Oishi, D. Akai and M. Ishida, "Integration of crystalline orientated  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> films and complementary metal-oxide-semiconductor circuits on Si(100) substrate," *Solid State Electron.*, 103 (2015) 110.
- [2] Andrew S. Grove、半導体デバイスの基礎、オーム社、1995.
- [3] 永田穰、柳井久義、新版 集積回路工学(1)、コロナ社、2005.
- [4] H. Fujishita, M. Hayashi, T. Kanai, T. Yamada, N. Igawa and K. Kihara, "Study of quantum effects on atomic displacements in quartz," *J. Phys. Chem. Solids*, 71 (2010) 1285.
- [5] L. Farkas and P. Gado, "The structure refinement of boehmite ( $\gamma$ -AlO(OH)) and the study of its structural variability based on Guinier-Hagg powder data," *Mater. Res. Bull.*, 12 (1977) 1213.
- [6] B. R. Strohmeier, "Gamma-Alumina ( $\gamma$ -Al<sub>2</sub>O<sub>3</sub>) by XPS," *Surf. Sci. Spectra*, 3 (1994) 135.
- [7] J. Finster, E. -D. Klinkenberg and J. Heeg, "ESCA and SEXAFS investigations of insulating material for ULSI microelectronics," *Vacuum*, 41 (1990) 1586.
- [8] M. Ishida, H. Hori, F. Kondo, D. Akai and K. Sawada, "Fabrication of the Si/Al<sub>2</sub>O<sub>3</sub>/SiO<sub>2</sub>/Si structure using O<sub>2</sub> annealed Al<sub>2</sub>O<sub>3</sub>/Si structure," *Jpn. J. Appl. Phys.*, 39 (2000) 2078.

## 第4章 積層赤外線吸収膜と $\gamma\text{-Al}_2\text{O}_3/\text{Si}$ 基板上の PZT 薄膜焦電型赤外線センサの作製・評価

本章では  $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板上に形成した PZT 薄膜焦電型赤外線センサへ向けた積層赤外線吸収膜について検討し、その設計、製作、及び赤外線センサとしての評価について述べる[1]。

### 4.1 緒言

強誘電体 PZT 薄膜の応用として有用だと考えられている一つのデバイスは赤外線センサである。赤外線センサは 2 次元アレイ化することでナイトビジョン、監視、医療モニタや環境モニタなど様々な応用への期待がされている。強誘電体を用いた赤外線センサは焦電効果を利用して実現されることから焦電センサとも呼ばれている。焦電センサは強誘電体の温度変化時の分極電荷の変化を検知することを利用して温度検知をする。よってセンサ材料である強誘電体にいかに効率よく温度変化を起こさせるかが焦電センサの作製において重要になる。温度変化を起こさせるにはセンサにできるだけ熱を蓄える必要がある。よってセンサで熱を出来るだけ保持し、センサの温度を上げることが性能の良い赤外線センサの実現には重要である。

赤外線センサの最も重要な要素の 1 つとなるのが赤外線吸収膜である。赤外線吸収膜はセンサに照射された赤外線を吸収し、熱に変換させるものであり、センサ感度向上のための重要な役割を果たす。赤外線吸収膜として一般的に用いられるものに metal-black 膜、SiN 膜やメタマテリアルなどがある[2-6]。これらの中でも metal-black 膜として有名な Au-black 膜は porous (多孔質)形状であることから、幅広いスペクトルで 90%以上の赤外線吸収率を有し、最もよく使われている赤外線吸収膜である。しかしながら、その形状は物理的に脆く通常のフォトリソグラフィープロセスが使えない等、パターニングが難しいという欠点がある。これまでに Au-black をパターニングするプロセスとして lift-off、stencil lithography、laser ablation など様々なプロセスが試みられてきたが、アライメント精度の悪さやプロセス時間が長くなり生産性が下がるなど、MEMS 作製プロセスに適しているとは言えない[7-9]。よって Au-black 膜利用は作製プロセスの複雑化につながるのである。

一方、積層膜を用いた赤外線吸収膜は、その壊れにくい構造や簡単なプロセスなどの利点がある。Laamanen は Mo と  $\text{Al}_2\text{O}_3$  薄膜の積層構造を用いて可視光、及び近赤外光の赤外線吸収膜を報告している[10]。これは積層膜による光の干渉を利用しており、膜の構造を制御することで吸収率の増大が図られている。また単純な膜としては SiN 膜もよく用いられ

ているが、これは metal との bilayer 構造にした membrane として用いられており、高吸収率を得るためには基板との間に空洞を精度よく作らなくてはならない[11]。これは一般的に membrane 直下の空洞厚さを波長の 1/4 にすることでその波長に対して反射や透過を制御する原理を用いているため、広いスペクトルで高い赤外線吸収率を得ることには向かない。

そこで本研究では  $\gamma$ - $\text{Al}_2\text{O}_3/\text{Si}$  基板上の PZT 薄膜焦電型赤外線センサ上へインテグレーション可能な CMOS 適合材料を用いた赤外線吸収膜として  $\text{SiO}_2/\text{SiN}$  積層膜を提案し、設計、作製、評価を行った。作製した PZT 薄膜赤外線センサに提案した赤外線吸収膜をインテグレーションし、赤外線応答を測定することで赤外線センサとしての感度評価も行った。

## 4.2 $\text{SiO}_2/\text{SiN}$ 積層赤外線吸収膜の光学設計

積層赤外線吸収膜の材料として用いた膜はプラズマ CVD 装置により成膜した  $\text{SiO}_2$  と  $\text{SiN}$  膜である。プラズマ CVD 装置は成膜温度が  $300^\circ\text{C}$  程度と低温なため、センサである PZT 薄膜などへの熱の影響が少ない利点がある。 $\text{SiO}_2$  と  $\text{SiN}$  膜についてはターゲットとしている赤外線の波長帯 (8 - 14  $\mu\text{m}$ ) で赤外線吸収特性を有しており、Si 系の材料であるため回路一体型のデバイス上へ成膜する膜としてもプロセス適合性がある。そして単純な積層膜であるため、物理的にも壊れにくい構造であり通常のリソグラフィプロセスを利用可能である。 $\text{SiO}_2$  と  $\text{SiN}$  膜の赤外線吸収ピークはそれぞれ 10  $\mu\text{m}$  と 12  $\mu\text{m}$  付近に存在する。よってこれらの膜を積層させることでブロードなスペクトルで吸収特性を持つ赤外線吸収膜が形成できると考えられる。

高い赤外線吸収率を得るためには積層吸収膜の膜厚設計が重要である。そこで積層膜の吸収率を光学計算により見積もりをした。光学計算のモデルを図 4-1 に示す。用意したサンプルは  $\text{SiO}_2/\text{SiN}/\text{Pt}/\text{Si}$  である。Pt は赤外線に対して高い反射率を有しており、屈折率も非常に高い膜である。この Pt 上に屈折率の低い  $\text{SiO}_2/\text{SiN}$  膜を成膜したサンプルに赤外線を照射するとほぼすべての赤外線が膜に入射され、Pt 膜で反射するので、実測の際には反射率のみの測定で吸収率を得ることができる。また計算には複素屈折率を用いた。複素屈折率は実部と虚部に分かれており、それぞれ屈折率と消衰係数に分けられる。複素屈折率を用いて計算することで膜での赤外線吸収を含めた反射率が計算できるので赤外線がまったく透過しないと仮定すれば、100%から反射率を差し引くことで吸収率の見積もりができる。多層膜のモデルにおいて反射係数を最下層の界面から最上層の界面まで求めて行き、最後にその反射係数を 2 乗することでトータルの反射率が求められる。反射率の計算は次に示す式(4-1)~(4-4)を用いて反射率の計算を行った。

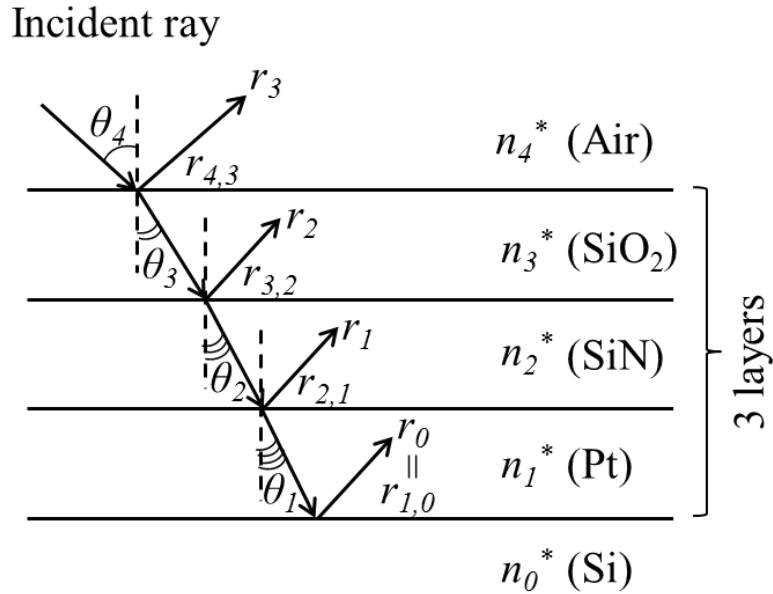


図 4-1 SiO<sub>2</sub>/SiN 膜の赤外線吸収率計算モデル

$$R = |r_m|^2 = \left| \frac{r_{m+1,m} + r_{m-1} e^{i\Delta_m}}{1 + r_{m-1} r_{m+1,m} e^{i\Delta_m}} \right|^2 \quad (m > 0) \quad (4-1)$$

$$r_{i,j} = \frac{n_i^* \cos \theta_i - n_j^* \cos \theta_j}{n_i^* \cos \theta_i + n_j^* \cos \theta_j} \quad (4-2)$$

$$r_0 = r_{1,0} \quad (4-3)$$

$$\Delta_m = \frac{4\pi n_m^* d \cos \theta_m}{\lambda} \quad (4-4)$$

ここで  $R$  は反射率、 $r$  は反射係数であり、 $m$  は整数であり各層を表している。 $\theta$  は赤外線の入射角と屈折角である。垂直入射の場合は  $0^\circ$  である。 $d$  は各層の膜厚、 $\lambda$  は赤外線の波長、 $n^*$  は複素屈折率である。 $n_4^*$ 、 $n_3^*$ 、 $n_2^*$ 、 $n_1^*$ 、 $n_0^*$  はそれぞれ Air、SiO<sub>2</sub>、SiN、Pt、Si の複素屈折率を表す。計算に用いた SiO<sub>2</sub>、SiN、Pt の複素屈折率は光の波長によって異なるが、8 - 14  $\mu\text{m}$  の範囲での文献の値を参考にした[12-14]。図 4-2, 4-3 に文献値から読み取った SiO<sub>2</sub> 及び SiN の屈折率  $n$  及び消衰係数  $k$  の値を示す。

SiO<sub>2</sub>/SiN の順番に膜を配置した理由は SiO<sub>2</sub> の方が SiN に比較して空気との屈折率差が小さいため、逆にした構造に比べて反射が低減できるからである。Pt の膜厚は反射率を十分に有する膜厚である 70 nm を用いた。計算を行った結果 SiO<sub>2</sub>(550 nm)/SiN(850 nm)の積層膜構造において赤外線吸収率が最大となった。同じ構造を実際に作製し反射率の測定を行っ



た。まずスパッタリング装置を用いて Si 基板上に Pt を 70 nm 成膜する。その後プラズマ CVD 装置を用いて SiO<sub>2</sub>(550 nm)/SiN(850 nm)積層膜を Pt/Si 基板上に成膜した。成膜条件は表 4-1 に示す。反射率の測定はフーリエ変換赤外線分光光度計(FTIR)を用いて測定した。図 4-4 に赤外線吸収膜の光学計算結果、及び FTIR による測定結果を示す。8 - 14 μm において計算結果、及び測定結果ともに非常によく一致していることが分かり、作製した赤外線吸収膜により平均 70%の赤外線吸収率が得られた。以上より SiO<sub>2</sub>(550 nm)/SiN(850 nm)の構造からなる積層赤外線吸収膜の設計及び作製に成功した。

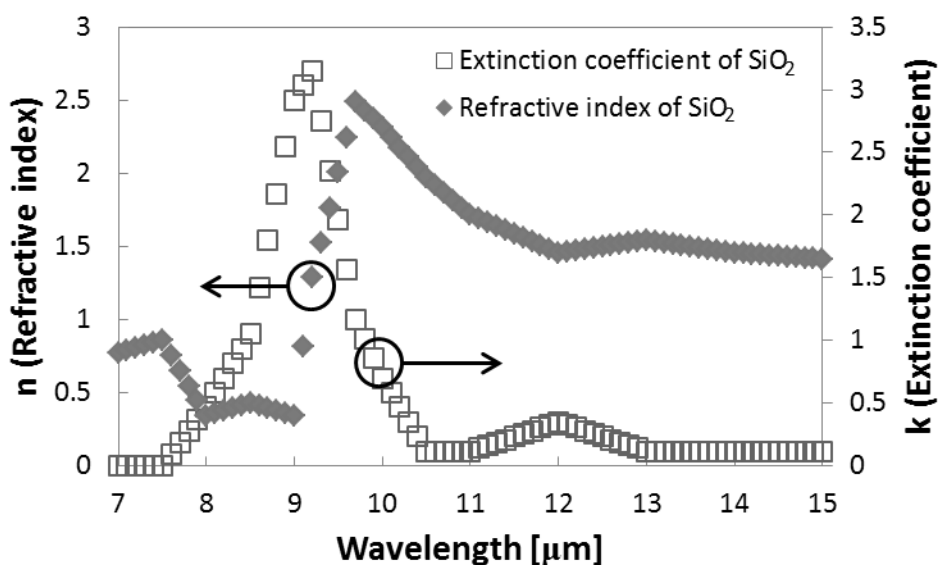


図 4-2 SiO<sub>2</sub> の屈折率と消衰係数

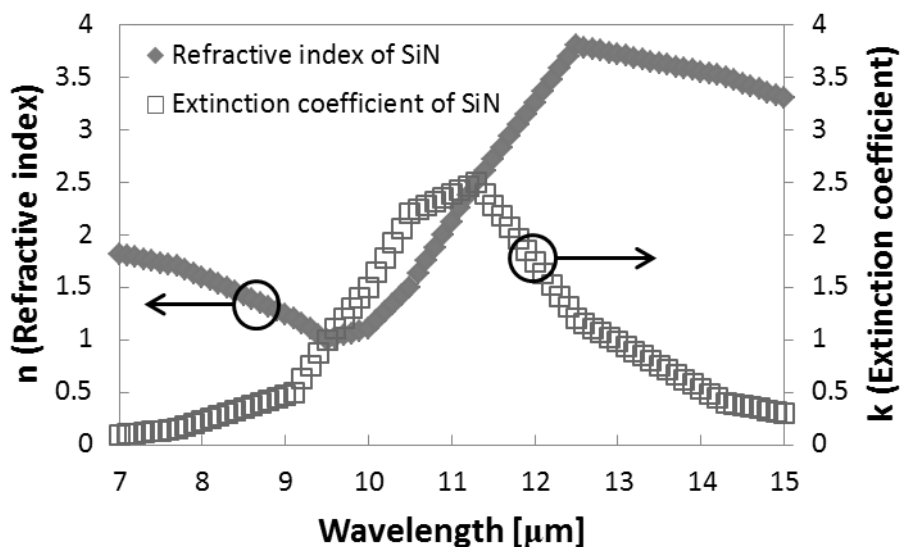


図 4-3 SiN の屈折率と消衰係数

表 4-1 プラズマ CVD 装置による SiO<sub>2</sub>, SiN 成膜条件

Parameter	SiO <sub>2</sub>	SiN
SiH <sub>4</sub> gas flow	65 sccm	117 sccm
N <sub>2</sub> O gas flow	120 sccm	-
NH <sub>3</sub> gas flow	-	6 sccm
N <sub>2</sub> gas flow	-	183 sccm
Temperature	300°C	300°C
Pressure	67 Pa	75 Pa
RF power	30 W	100 W
Time	10 min	14 min

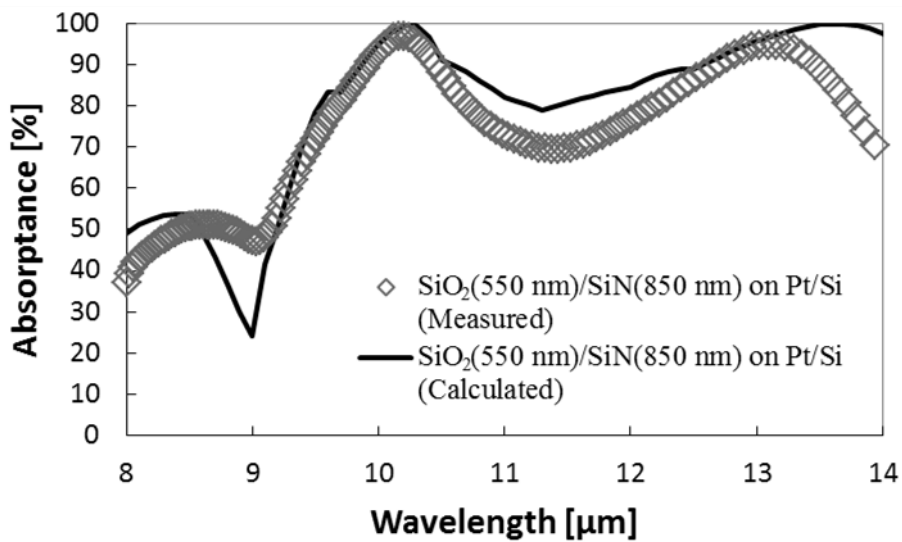


図 4-4 光学計算、及び実際に測定した SiO<sub>2</sub>/SiN 積層膜における赤外線吸収率

### 4.3 有限要素法による過渡伝熱解析とセンサ構造の設計

センサ構造やレイアウトは赤外線センサの感度に関わる非常に重要な要素である。よって赤外線センサの感度を向上させたい場合、適切なセンサ構造及びレイアウトの設計をしなければならない。そしてその適切な構造の設計には設計の指針が必要である。赤外線センサの出力は物体から照射される赤外線をセンサ部の赤外線吸収膜で熱に変換し、センシング材料の温度変化によって、変化する電気的なパラメータを出力信号として読み取る。ボロメータ、熱電対などを用いた一般的な赤外線センサでは温度の絶対値に比例して出力が増加するため、センサの温度を効率良く高くできる構造にすることで感度を向上させることができる。そのためには基板から熱分離されているセンサを支える梁 (beam) の配線材料や構造を変更することで、低熱伝導化をしてセンサの高感度化を図っている。一方焦電センサの場合、出力は焦電流の式(4-5)を見ても分かる通り、温度の時間微分に比例して出力が増加する。 $T$ は温度、 $t$ は時間、 $\rho$ は焦電係数(定数)である。つまり温度変化を起こし続けなければ赤外線を照射し続けても出力が 0 になってしまう。よって焦電センサで出力取得し続けるためには照射される赤外線を一定間隔でチョッピングするメカニカルチョッパが必要になる。よって赤外線が照射される一定時間においてセンサの温度変化が起こり続ける必要があり、そのようなセンサ構造を設計する必要があるのである。

$$i = \rho \frac{dT}{dt} \quad (4-5)$$

そこで過渡伝熱解析に基づいてセンサ構造を設計し、センサの温度が赤外線の照射時間に対してどのように振る舞うかをシミュレーションした。図 4-5 に設計したセンサのレイアウトを示す。梁の長さを変更することで熱伝導を低くした。梁の長さはそれぞれ 200  $\mu\text{m}$  と 1000  $\mu\text{m}$  であり、幅は両方とも 10  $\mu\text{m}$  である。センサの断面構造を図 4-6、用いた材料と材料定数は表 4-2 に示す。膜厚やレイアウトの詳細については本論文の付録に示す。入力する物理量としては、人体から発する赤外線のエネルギーの単位面積当たりの熱流束が 100  $\text{W}/\text{m}^2$  であるので、解析ではこの熱流束を赤外線吸収膜の表面に与えた。また赤外線のチョッピングを再現するために熱流束が 100  $\text{W}/\text{m}^2$  と 0  $\text{W}/\text{m}^2$  を繰り返すような矩形波の熱流束を設定した。

設計したセンサの過渡伝熱解析を行った結果を図 4-7 に示す。赤外線チョッピング周波数は 10Hz である。結果より、梁長さ 200  $\mu\text{m}$  の時は赤外線を照射している時間 0 ~ 50 ms において温度が 200 mK まで上昇したのに対し、梁長さ 1000  $\mu\text{m}$  では 500 mK まで上昇した。梁長さ 200  $\mu\text{m}$  においては温度が早い段階で飽和しているのに対し、1000  $\mu\text{m}$  では温度が飽和せず変化し続けている。前述したように焦電センサでは温度の時間微分が重要であり、温

度が飽和せずに変化し続けることが望ましい。よってチョッピング周波数 10Hz では梁長さ 200  $\mu\text{m}$  のセンサは温度が飽和してしまうため、適切なチョッピング周波数ではないことが分かる。チョッピング周波数を高くしていくと 200  $\mu\text{m}$  でも同等の結果が得られると思われる。一般的にセンサをアレイにした際のイメージを得るためのフレームレートは 30Hz 程度で十分とされており、同程度の周波数で動作させるセンサを作製することが望ましい。このように焦電センサの構造の設計は過渡伝熱解析により温度変化をあらかじめ見積もることが重要である。

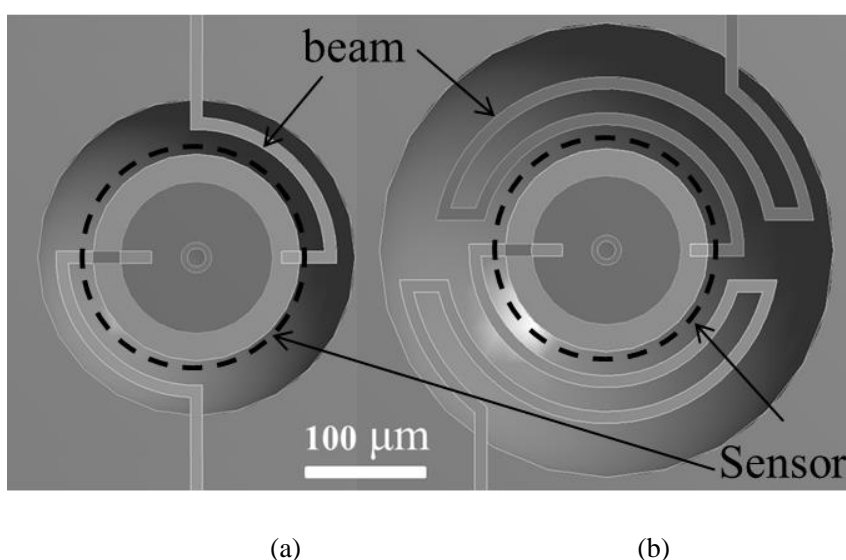


図 4-5 設計したセンサのレイアウト。センサを支える梁の長さはそれぞれ(a) 200  $\mu\text{m}$ 、(b)1000  $\mu\text{m}$ 。

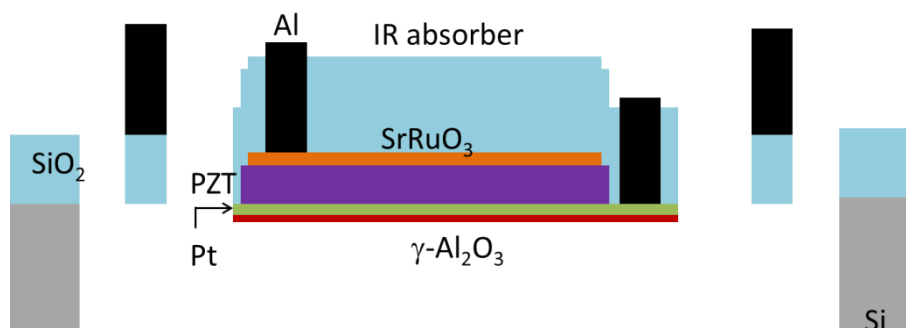


図 4-6 センサの断面構造

表 4-2 過渡伝熱シミュレーションに用いた材料と材料定数[15-17]

Materials	Density [ $\text{kg m}^{-3}$ ]	Thermal Conductivity [ $\text{W m}^{-1} \text{K}^{-1}$ ]	Specific Heat [ $\text{J kg}^{-1} \text{K}^{-1}$ ]
SrRuO <sub>3</sub>	6489	5.72	465.4
PZT	8100	1.52	364
Pt	21500	71.1	133
$\gamma$ -Al <sub>2</sub> O <sub>3</sub>	3580	14.6	760
Al	2700	237	900
SiO <sub>2</sub>	2330	1.4	1000
Si	2500	130	700

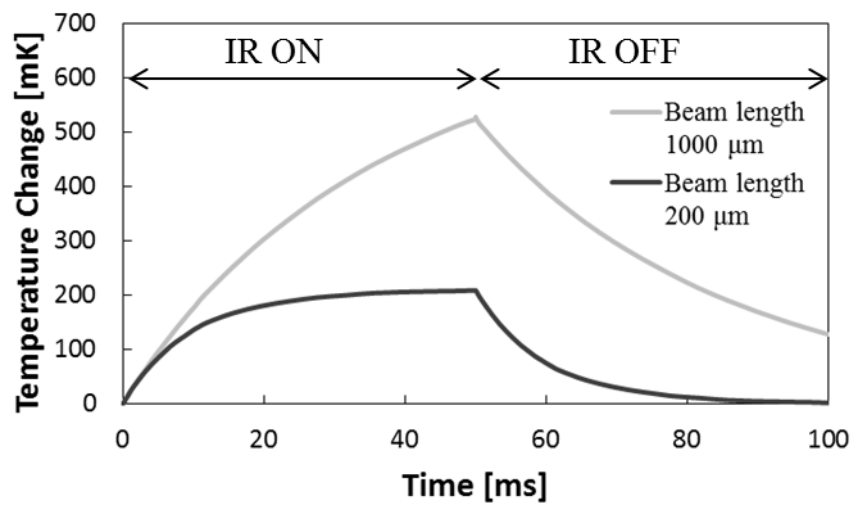


図 4-7 過渡伝熱解析結果 (Beam width 10 μm)

## 4.4 デバイス作製

本節では設計した  $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜やセンサ構造を用いて、PZT 薄膜赤外線センサデバイスの作製を行った。作製プロセスの断面図を図 4-8 に示す。まず Si 基板上に MOCVD 法を用いて  $\gamma\text{-Al}_2\text{O}_3$  薄膜を 50 nm 結晶成長した (図 4-8(a))。これは前章で述べた通りである。その後、Pt 薄膜をスパッタリング法により 70 nm 成膜する。この時の基板温度は  $600^\circ\text{C}$  としてあり、高温で成膜することで  $\gamma\text{-Al}_2\text{O}_3$  薄膜結晶格子にマッチングする結晶配向膜が成膜される。 $\text{SrRuO}_3$  薄膜を同じくスパッタリング法により  $750^\circ\text{C}$  で 10 nm 成膜する。 $\text{SrRuO}_3$  薄膜は酸化物電極として PZT との密着性の良い材料であり、疑似立方晶として Pt や PZT との格子定数に近いとため、結晶配向成長が可能なバッファ層である[18]。次に PZT 薄膜を sol-gel 法により 450 nm 成膜を行う。まず Rapid Thermal Anneal (RTA)により  $\text{O}_2$  雰囲気中で  $650^\circ\text{C}$  でベークを行う。その後 PZT の溶液を Pt/ $\gamma\text{-Al}_2\text{O}_3$ /Si 基板上へ塗布し、スピンコータでコーティングする。塗布した溶液は三菱マテリアル製の PZT sol-gel 液であり、Zr, Ti 組成比は 40/60 である。その後  $150^\circ\text{C}$ 、5 min で乾燥を行い、更に  $250^\circ\text{C}$ 、5 min で熱分解を行う。そして RTA により  $\text{O}_2$  雰囲気中で  $650^\circ\text{C}$  まで  $10^\circ\text{C}/\text{s}$  で昇温し、90 s アニールを行い PZT 薄膜の焼成を行う。これを所望の膜厚まで繰り返す。本プロセスでは PZT 薄膜を 3 層 sol-gel プロセスを行い、450 nm の膜厚を得た。最後に上部電極となる  $\text{SrRuO}_3$  薄膜を常温で 100 nm 成膜する (図 4-8(b))。次は成膜した膜を inductive coupled plasma reactive ion etching (ICP-RIE) によりパターニングを行う (図 4-8(c))。そして  $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜をプラズマ CVD 法により SiN を 850 nm、続いて  $\text{SiO}_2$  を 550 nm 成膜した (図 4-8(d))。この  $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜はセンサの上部電極と下部電極の配線を引き出す際の層間絶縁膜及び、Si 基板上のフィールド絶縁膜としての役割も果たす。次に  $\text{SiO}_2/\text{SiN}$  積層膜を RIE によりパターニングし、Al で配線を行った (図 4-8(e))。最後にセンサ直下の Si を  $\text{XeF}_2$  ガスによりエッチングして熱分離構造を形成した (図 4-8(f))。最後は基板をダイシングによりチップ化し、パッケージング、及びチップ上の Al パッドからワイヤボンディングにより外のパッケージ基板に配線を取り出した。以上のプロセスにより、 $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜を用いた焦電型赤外線センサを作製した。

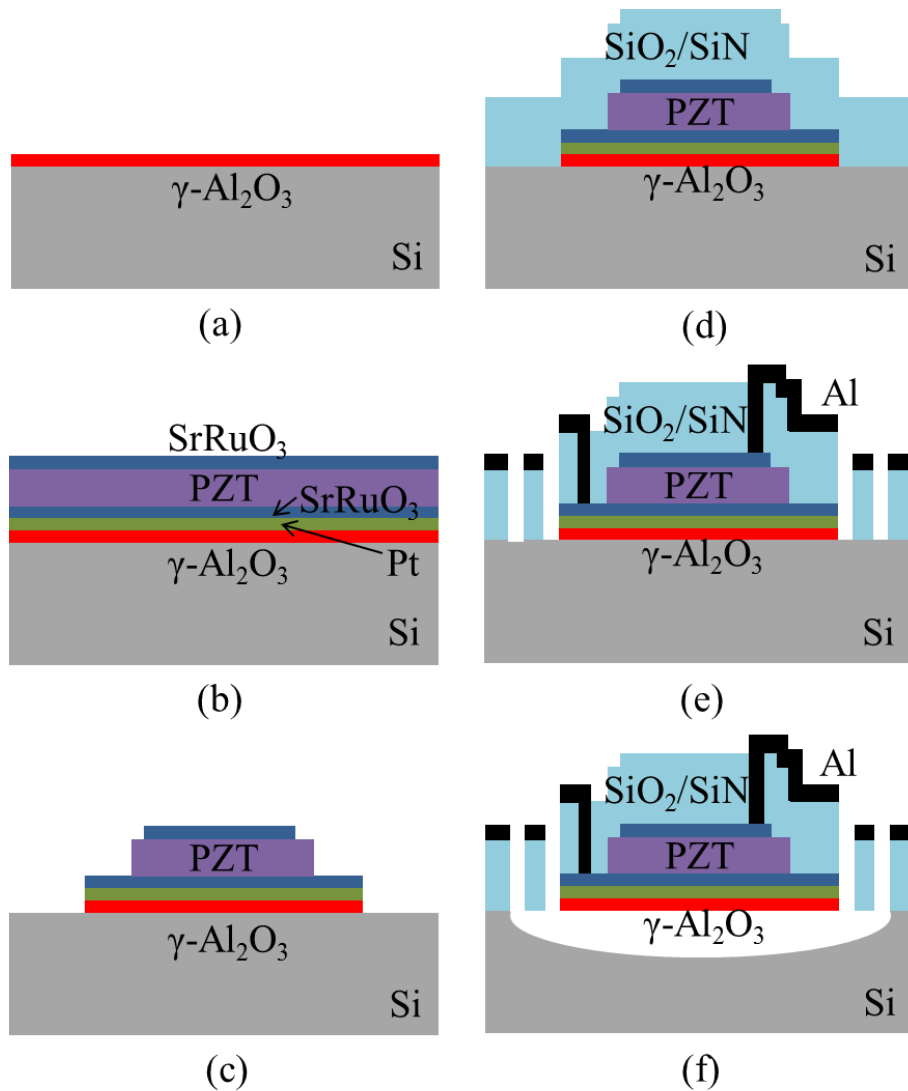


図4-8  $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜をインテグレーションしたPZT薄膜焦電型赤外線センサの作製プロセス断面図。(a)  $\gamma\text{-Al}_2\text{O}_3$  薄膜成長、(b) Pt,  $\text{SrRuO}_3$ , PZT 薄膜の成膜、(c) センサ構造のパターニング、(d)  $\text{SiO}_2/\text{SiN}$  積層膜の成膜、(e)  $\text{SiO}_2/\text{SiN}$  積層膜のパターニング, Al 配線、(f) センサの熱分離構造形成

## 4.5 作製したデバイスの評価

作製した PZT 薄膜焦電型赤外線センサの SEM 観察画像を図 4-9 に示す。図は梁長さ 200  $\mu\text{m}$  のセンサである。センサを支える梁がねじれていることが確認できた。これは Al 膜と  $\text{SiO}_2/\text{SiN}$  膜の成膜時に応力が生じ、センサ下部の Si 基板をエッチングした時に応力が解放されたためだと考えられる。よってこの梁のねじれを解消するにはそれらの膜の成膜条件を見直す必要がある。しかし、梁はねじれているにもかかわらず、センサの表面は基板に対して水平を保っている。したがって梁のねじれは本赤外線センサにおいて問題は無い。

作製したセンサの強誘電体ヒステリシスループを図 4-10 示す。強誘電体ヒステリシスループは縦軸に分極、横軸に膜にかかる電界をとったグラフであり、強誘電体の特性を評価する重要な電気的特性である。作製した PZT 薄膜はヒステリシスループを描いており強誘電性の分極を持っていることが確認できる。また電界が 0 kV/cm の時の分極値（自発分極値または残留分極値）は梁長さ 200  $\mu\text{m}$  および 1000  $\mu\text{m}$  のセンサにおいてそれぞれ 28  $\mu\text{C}/\text{cm}^2$  と 33  $\mu\text{C}/\text{cm}^2$  が得られた。これは PZT 薄膜の他の報告に比べて 2 ~ 3 倍程度高い値である [19,20]。自発分極値が大きければ焦電効果における電荷の変化量が大きくなるため、出力は大きくなるはずであるため、作製した PZT 薄膜センサは焦電センサとして良質な膜であると考えられる。

次に作製したセンサにおける赤外線吸収特性を図 4-11 に示す。比較として Pt/Si 上の  $\text{SiO}_2/\text{SiN}$  積層成外線吸収膜の赤外線吸収率をプロットしている。作製したセンサは本研究で提案した  $\text{SiO}_2/\text{SiN}$  積層成外線吸収膜をセンサ上に成膜しており、赤外線は実際には下部電極の Pt 上にある  $\text{SiO}_2/\text{SiN}/\text{SrRuO}_3/\text{PZT}/\text{SrRuO}_3$  というセンサ構造全体で吸収されるため、赤外線吸収率が底上げされる。結果より実際に作製したセンサの赤外線吸収率は波長 8 - 14  $\mu\text{m}$  において平均 86% の赤外線吸収率を得られた。このように作製した焦電センサでは高い赤外線吸収率を実現でき、 $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜が非常に有用であることが確かめられた。



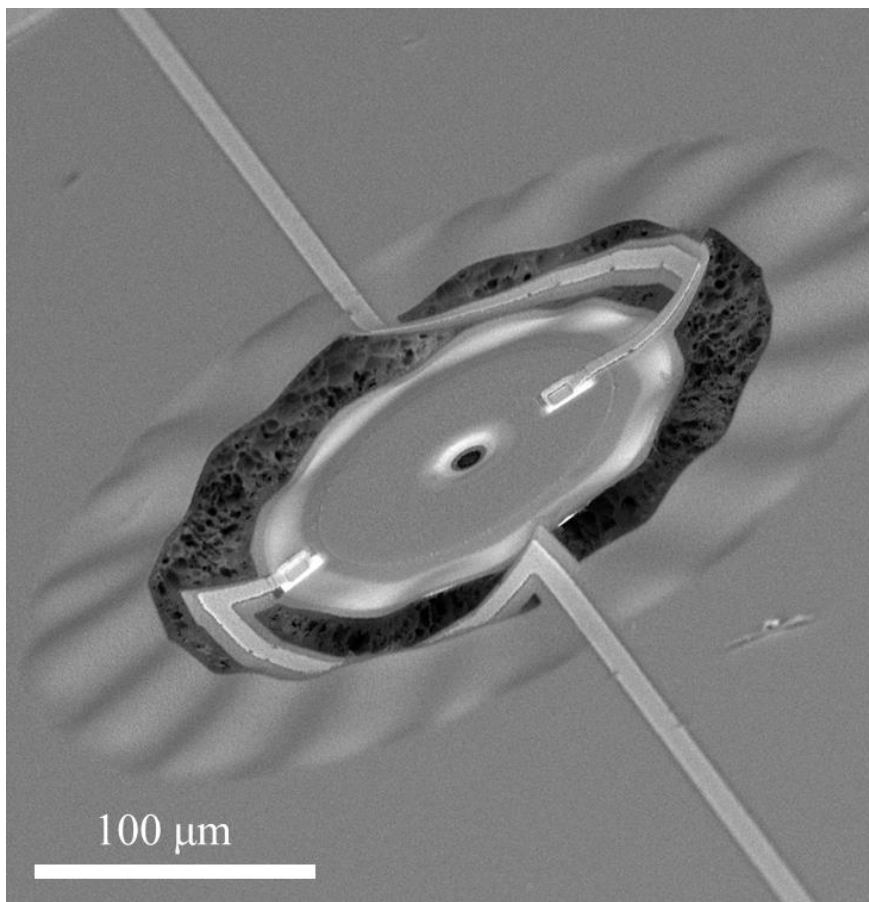


図 4-9 作製した PZT 薄膜焦電型赤外線センサの SEM 観察画像

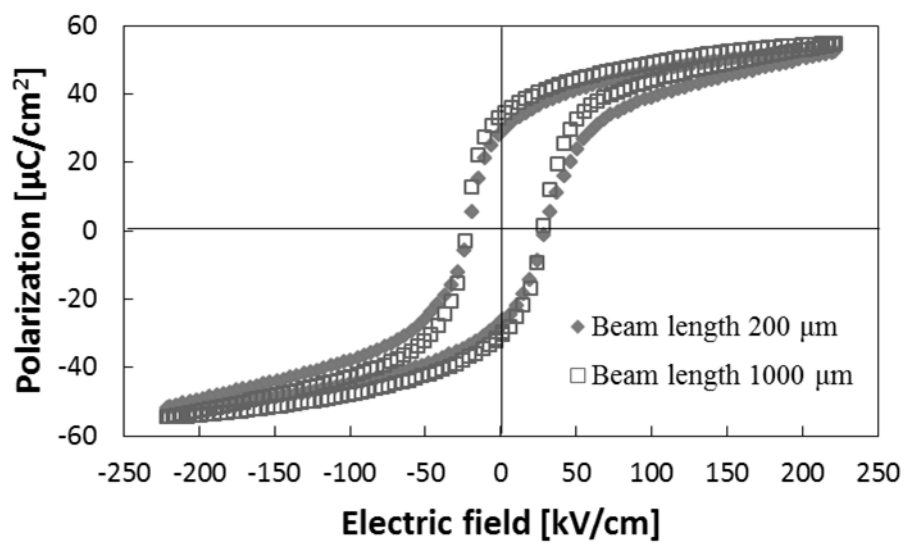


図 4-10 作製した PZT 薄膜の分極ヒステリシスループ

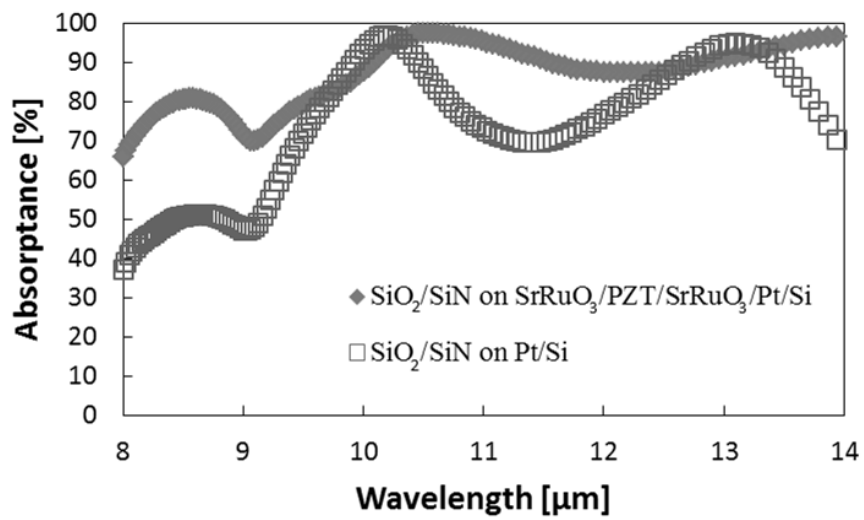


図 4-11 FTIR により測定した作製したセンサの赤外線吸収率

## 4.6 赤外線応答感度評価

赤外線センサの赤外線に対する感度の性能を示す重要な値として specific detectivity (比検出能)  $D^*$ がある。これは 1W の光入力があった時のセンサ素子の S/N (signal to noise)がどれだけであるかを示す値である。検出面積によらず材料の特性を比べられるように、検出素子面積  $1\text{cm}^2$ 、雑音帯域 1Hz で規格化されている。 $D^*$ が高いほど感度の良いセンサ素子といえる。 $D^*$ は次の式で表される。

$$D^* = \frac{\sqrt{A_S}}{V_N} R_V \quad (5)$$

$$R_V = \frac{V_S}{\Phi_S} \quad (6)$$

ここで  $A_S$  はセンサ面積、 $V_N$  はノイズ電圧。 $R_V$  は responsivity と呼ばれ、出力電圧  $V_S$ 、と放射パワー  $S$  の商で表される。 $D^*$ の単位は  $\text{cmHz}^{0.5}/\text{W}$  である[21]。焦電センサの出力電圧はメカニカルチョッパと同期させた lock-in アンプを用いて測定するので、電圧の実効値が得られる。

$D^*$ 測定システムのブロック図を図 4-12 に示す。作製された PZT 薄膜焦電センサはディスクリット部品である Junction FET (2SK3796)と抵抗器 (470 k $\Omega$ )と一緒にプリント基板にパッケージし、図に示してあるようなソースフォロワ回路を形成している。またこの基板を TO-5、赤外線バンドパスフィルタの付いた金属のフタと一緒にパッケージすることで、可視光や近赤外光などの光は遮断されるようになっている。図 4-13 にパッケージの外観を示す。また TO-5 は金属のボックス内に入れ、赤外線フィルタ窓のみを露出させており、信号は同軸ケーブルから取り出しているため、コネクタ部分から外部雑音が入らないようにした。このフィルタの透過率は波長 6 - 13  $\mu\text{m}$  において平均 70% である。黒体炉はセンサパッケージ表面から 20 cm 離れた場所に設置し、黒体炉の前にメカニカルチョッパを設置した。ソースフォロワの出力は Lock-in アンプに接続され、Lock-in アンプはメカニカルチョッパの周波数に同期させた。ソースフォロワの電源電圧は 5 V の直流電源を用いた。

$D^*$ の測定結果を図 4-14 に示す。チョッピング周波数は 45 Hz まで測定した。結果より、梁長さ 1000  $\mu\text{m}$  のセンサ構造ではチョッピング周波数 20 Hz ~ 40 Hz において  $D^* 1.15 \times 10^7 \text{cmHz}^{0.5}/\text{W}$  が得られた。また傾向として低周波数側では  $D^*$ は小さく、周波数が大きくなると  $D^*$ が増加していくことが分かった。これは図 4-7 の過渡伝熱特性のシミュレーションでもわかる通り、周波数が低いと温度が飽和してしまい、温度の時間微分に比例する出力の実効値は小さくなってしまうからである。また周波数が高くなると温度飽和の時間が短くなり実効値として大きくなるので出力が上がることから説明できる。一方、40 Hz より高

い周波数で  $D^*$  が下がっている。これは周波数が上がりすぎると温度自体の絶対値も小さくなるため、出力が小さくなるからだと考えられる。焦電センサでは赤外線のリコッピング周波数でも出力に影響があるため、目標とする周波数に対応するセンサ構造の設計が重要であるということが分かった。作製したセンサでは梁長さを  $200\ \mu\text{m}$  から  $1000\ \mu\text{m}$  へ変更すると  $D^*$  は約 1.3 倍になった。図 4-7 のシミュレーション結果では温度は 2 倍以上になっているが、実際の  $D^*$  の変化は小さかった。図 3-5 のグラフの温度の時間微分を縦軸としてプロットし、実効値を求めるとそれぞれの温度の時間微分の実効値は 1.78 倍となり、実測の梁長さを  $200\ \mu\text{m}$  から  $1000\ \mu\text{m}$  のセンサの比に近い値となった。残る誤差はシミュレーションの厳密性や用いた材料定数などにより生じたものだと考えられる。以上より、提案、作製をした  $\text{SiO}_2/\text{SiN}$  積層成外線吸収膜及び過渡伝熱解析に基づいたセンサ構造設計を用いて作製した PZT 薄膜赤外線センサの  $D^*$  の測定に成功し、 $D^* 1.15 \times 10^7\ \text{cmHz}^{0.5}/\text{W}$  が得られた。

また作製した焦電センサの  $D^*$  を他の薄膜焦電型赤外線センサの報告と性能を比較した結果を表 4-3 に示す。様々な材料、膜厚、周波数での比較になるが、本研究で作製したセンサの性能は他の報告されている PZT 薄膜赤外線センサと比較して数十分の一程度の  $D^*$  であることが分かった。この原因として、赤外線吸収膜の吸収率が十分でないことが原因であると考えられる。本センサでは CMOS 回路に適合する材料として  $\text{SiO}_2/\text{SiN}$  赤外線吸収膜を提案し作製したが、その赤外線吸収率 86%程度と Au-black などの赤外線吸収膜の吸収率(90%以上)と比較するとやや低い結果となった。よってさらに赤外線吸収膜の構造を工夫して赤外線吸収率を向上させることが必要であると考えられる。現在の赤外線吸収膜では波長  $8\ \mu\text{m}$  から  $9\ \mu\text{m}$  において吸収率が低い。この帯域の赤外線を吸収できる材料を積層させて吸収膜を形成することで更なる吸収率の向上ができると考えられる。赤外線吸収膜の積層構造を更に工夫して Au-black 同等の 90%以上の吸収率を実現することがセンサ性能向上に有効であると考えられる。そして更に性能を向上させる方法として回路素子との集積化が考えられる。現在はディスクリート部品の回路素子を用いて外部で信号処理をしているが、これをチップ上に増幅回路などを形成して、信号処理をセンサの近傍で行うことができれば、雑音の混入を小さくし、性能を向上させることが可能であると考えられる。回路との集積化は赤外線センサの性能を向上させる上で重要な要素なのである。

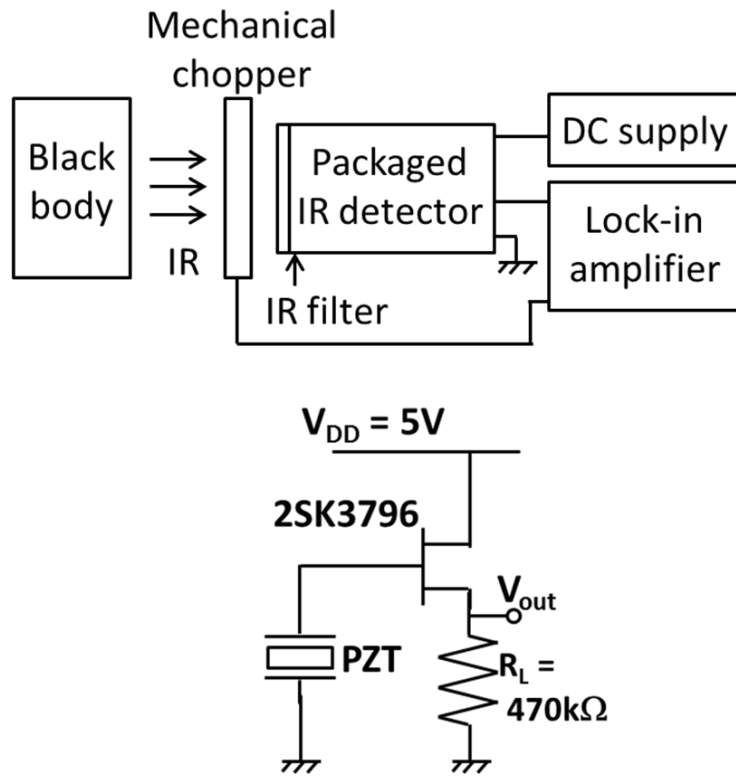


図 4-12 D\*測定系のブロック図、及びパッケージしたセンサの回路図

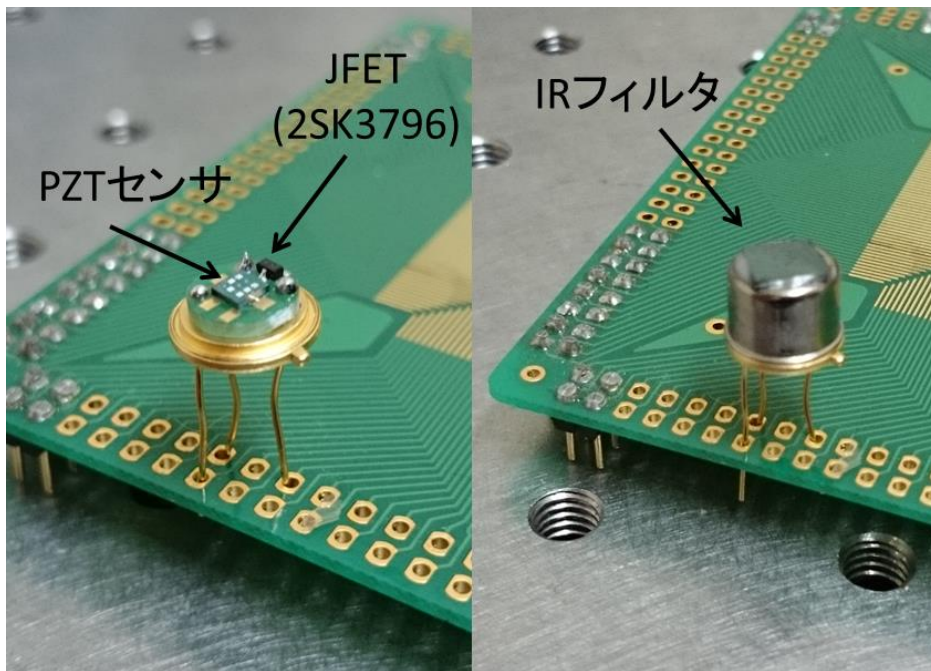


図 4-13 センサパッケージの外観

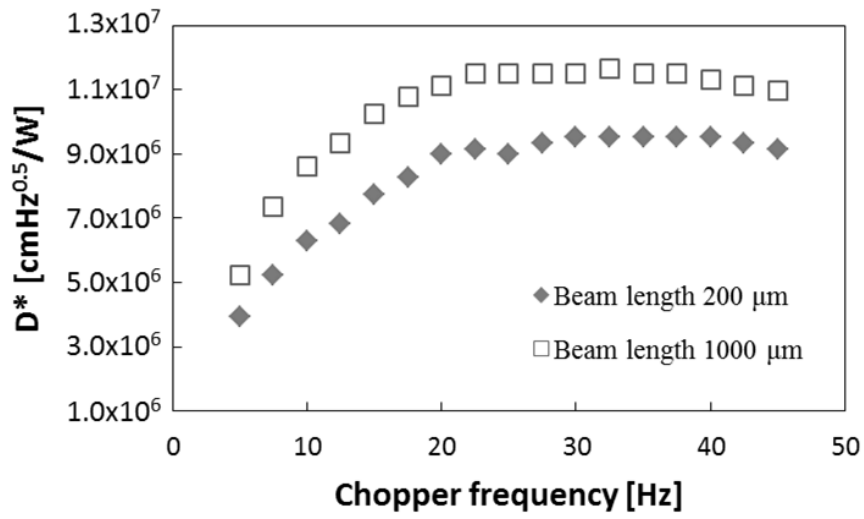


図 4-14 D\*の測定結果

表 4-3 作製した薄膜焦電型赤外線センサと他の報告との性能比較[22-26]

Authors	Material	Thickness [nm]	Specific detectivity [cmHz <sup>1/2</sup> /W]
C. Giebeler et al.	PZT	800	5.0 x 10 <sup>8</sup> (10 Hz)
W. Liu et al.	PZT	550	1.7 x 10 <sup>8</sup> (10 Hz)
C. C. Chang et al.	PZT	500	2 x 10 <sup>6</sup> (1 Hz)
L. Pham et al.	PbTiO <sub>3</sub>	360	2 x 10 <sup>8</sup> (30 Hz)
N. Fujitsuka et al.	PVDF	700	2.4 x 10 <sup>7</sup> (40 Hz)
This work	PZT	450	1.15 x 10 <sup>7</sup> (30 Hz)

## 4.7 結言

$\gamma$ - $\text{Al}_2\text{O}_3/\text{Si}$  基板上の PZT 薄膜焦電型赤外線センサに適合する、簡単に作製可能な  $\text{SiO}_2/\text{SiN}$  積層成外線吸収膜の提案、設計、作製、評価を行い、センサ上へインテグレーションした。 $\text{SiO}_2/\text{SiN}$  積層成外線吸収膜の設計には赤外線吸収を考慮した積層膜の光学計算を行い赤外線吸収率の見積もりをした。 $\text{SiO}_2(550 \text{ nm})/\text{SiN}(850 \text{ nm})$  積層膜の構造で赤外線吸収率が最大になり、実際に作製した膜と計算した赤外線吸収膜を比較したところ、赤外線吸収特性が非常によく一致する結果が得られた。その後、有限要素法を用いた過渡伝熱解析の結果に基づき、センサ構造の設計を行った。センサの梁の構造により 2 倍以上のセンサの温度上昇が期待できることが分かった。実際にセンサを  $\gamma$ - $\text{Al}_2\text{O}_3/\text{Si}$  基板上に作製し、強誘電体 PZT 薄膜の電気特性、及びセンサ  $\text{SiO}_2/\text{SiN}$  積層成外線吸収膜をインテグレーションさせたセンサの赤外線吸収率を測定した。センサの赤外線吸収率について、ターゲットとしている赤外線波長 8 - 14  $\mu\text{m}$  において平均 86% の赤外線吸収率を得ることができた。よって本研究で作製した  $\text{SiO}_2/\text{SiN}$  積層成外線吸収膜は PZT 薄膜焦電型赤外線センサに有用であることが確かめられた。最後に赤外線応答感度評価を行い、チョッピング周波数 30Hz において  $1.15 \times 10^7 \text{ cmHz}^{0.5}/\text{W}$  が得られた。以上の結果より、 $\text{SiO}_2/\text{SiN}$  積層成外線吸収膜はシンプルなプロセスで高い赤外線吸収率を実現できる PZT 薄膜焦電型赤外線センサへの応用に非常に有用な赤外線吸収膜であるといえる。

## 参考文献

- [1] K. Oishi, S. Yonemaru, D. Akai and M. Ishida, "SiO<sub>2</sub>/SiN multilayer-stack infrared absorber integrated on Pb(Zr<sub>0.4</sub>,Ti<sub>0.6</sub>)O<sub>3</sub> film pyroelectric sensors on  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si substrate," *Sensor Mater.*, accepted.
- [2] R. R. Neli, I. Doi, J. A. Diniz and J. W. Swart, "Development of process for far infrared sensor fabrication," *Sens. Actuators A*, 132 (2006) 400.
- [3] C. Chen, "Fully quantitative characterization of CMOS-MEMS polysilicon/titanium thermopile infrared sensors," *Sens. Actuators B*, 161 (2012) 892.
- [4] Y. Zhao, M. Mao, R. Horowitz, A. Majumdar, J. Varesi, P. Norton and J. Kitching, "Optomechanical Uncooled Infrared Imaging System: Design, Microfabrication, and Performance," *J. Microelectromech. S.*, 11 (2002) 136.
- [5] B. Jiao, C. Li, D. Chen, T. Ye, S. Shi, Y. Ou, L. Dong, Q. Zhang, Z. Guo, F. Dong, and Z. Miao, "A novel opto-mechanical uncooled infrared detector," *Infrared Phys. Techn.*, 51 (2007) 66.
- [6] N. Zhang, P. Zhou, S. Zou, X. Weng, J. Xie and L. Deng, "Improving the mid-infrared energy absorption efficiency by using a dual-band metamaterial absorber," *Nat. Sci. Mater. Int.*, 24 (2014) 128.
- [7] M. Hirota, Y. Nakajima, M. Saito and M. Uchiyama, "120 x 90 element thermal focal plane array with precisely patterned Au-black absorber," *Sens. Actuators A*, 135 (2007) 146.
- [8] D. Panjwani, M. Yesiltas, S. Singh, E. D. Barco, R. E. Peale, C. Hirschmugl and J. Sedlemair, "Stencil lithography of gold-black IR absorption coatings," *Infrared Phys. Techn.*, 66 (2014) 1.
- [9] N. Nelms, J. Dowson, N. Rizvi and T. Rohr, "Laser micromaching of goldblack coatings," *Appl. Optics*, 45 (2006) 6977.
- [10] M. Laamanen, M. Blomberg, R. L. Puurunen, A. Miranto and H. Kattelus, "Thin film absorbers for visible, near-infrared, and short-wavelength infrared spectra," *Sens. Actuators A*, 162 (2010) 210.
- [11] M. F. Toy, O. Ferhanoglu, H. Torun and H. Urey, "Uncooled infrared thermo-mechanical detector array: Design, fabrication and testing" *Sens. Actuators A*, 156 (2009) 88.
- [12] A. Andersen, H. Mutschke, T. Posch, M. Min and A. Tamanai, "Infrared extinction by homogeneous particle aggregates of SiC, FeO and SiO<sub>2</sub>: Comparison of different theoretical approaches," *J. Quant. Spectrosc. Ra.*, 100 (2006) 4.
- [13] F. Jutzi, D. Wicaksono, G. Pandraud, N. Rooij and P. French, "Far-infrared sensor with LPCVD-deposited low-stress Si-rich nitride absorber membrane-Part 1. Optical absorptivity," *Sens. Actuators A*, 152 (2009) 119.
- [14] J. H. Weaver, "Optical properties of Rh, Pd, Ir, and Pt," *Phys. Rev. B*, 11 (1975) 1416.



- [15] S. Yamanaka, T. Maekawa, H. Muta, T. Matsuda, S. Kobayashi and K. Kurosaki, "Thermophysical properties of SrHfO<sub>3</sub> and SrRuO<sub>3</sub>," *J. Solid State Chem.*, 177 (2004) 3484.
- [16] P. P. Donohue and M. A. Todd, "Pulse-extended excimer laser annealing of lead zirconate titanate thin films," *Integr. Ferroelectr.*, 31 (2000) 285.
- [17] G. W. C. Kaye and T. H. Laby, *Tables of Physical and Chemical Constants*, 15<sup>th</sup> Ed. (Longman Scientific and Technical, 1993).
- [18] W. Lee, K. Ahn, S. Yoon, H. Shin, Y. Kim and K. No, "Ferroelectric properties of ultra-thin epitaxial Pb(Zr<sub>0.2</sub>Ti<sub>0.8</sub>)O<sub>3</sub> thin films grown on SrRuO<sub>3</sub>/SrTiO<sub>3</sub> substrate," *Integr. Ferroelectr.*, 73 (2005) 125.
- [19] C. Zinck, D. Pinceau, E. Defay, E. Delevoye and D. Barbier, "Development and characterization of membranes actuated by PZT thin film for MEMS applications," *Sens. Actuators A*, 115 (2004) 483.
- [20] M. Kang, K. Kim and C. Kim, "Recovery of plasma-induced damage in PZT thin film with O<sub>2</sub> gas annealing," *Thin Solid Films*, 398-399 (2001) 448.
- [21] H. Budzier and G. Gerlach: *Thermal infrared sensors theory, optimization and practice*, Dorte Muller (A John Wiley and Sons, 2011).
- [22] C. Giebeler, J. Wright, S. Freebom, N. Conway, T. Chamberlain, M. Schreiter, R. Koehler, and P. Clark, "High performance PZT based pyro-detectors with D\* of 2x10<sup>9</sup> cmHz<sup>1/2</sup>/W for presense, gas and spectroscopy applications," *Proc. SENSOR+TEST Conf.*, 2009, pp. 185-189.
- [23] W. Liu, L. L. Sun, W. Zhu, O. K. Tan, "Noise and specific detectivity of pyroelectric detector using lead titanate zirconate (PZT) thin films," *Microelectron. Eng.*, 66 (2003) 785.
- [24] C. C. Chang, C. S. Tang, "An integrated pyroelectric infrared sensor with a PZT thin film," *Sens. Actuators A*, 65 (1998) 171
- [25] L. Pham, W. Tjhen, C. Ye, D. L. Polla, "Surface-micromachined pyroelectric infrared imaging array with vertically integrated signal processing circuitry", *IEEE Transactions on Ultrasonics, Ferroelectrics and Frequency Control*, 41 (1994) 552.
- [26] N. Fujitsuka et al., "Monolithic pyroelectric infrared image sensor using PVDF thin film", *Sens. Actuators A*, 66 (1998) 237.

# 第5章 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上への PZT 薄膜センサと CMOS 回路の集積化

## 5.1 緒言

前章までの結果より、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の結晶性を維持した CMOS 回路作製プロセスの確立、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 上への SiO<sub>2</sub>/SiN 積層赤外線吸収膜を形成させた PZT 薄膜赤外線センサの作製、及び赤外線センサとしての評価を行ってきた。本章ではこれらの確立されたプロセスを組み合わせて、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上へ PZT 薄膜赤外線センサと CMOS 回路を集積化したデバイスの作製を行い、集積化した際のセンサ特性、回路特性など種々の評価を行った。

## 5.2 PZT 薄膜赤外線センサと CMOS 回路の集積化デバイス作製プロセス

PZT 薄膜赤外線センサと CMOS 回路の集積化デバイス作製を試みた。図 5-1 にデバイスの作製プロセスフローを示す。まず Si 基板を酸化して SiO<sub>2</sub> をマスクとなるようにパターンニングした。そして MOCVD 法により  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜 (膜厚 50 nm) を基板温度 960°C にて Si(100) 基板上へ部分的にエピタキシャル成長させた。次に LPCVD により  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜の膜質を保護するための Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 保護膜を  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜上に成膜し、CMOS 回路作製を行った。作製した CMOS 回路素子は第 3 章同様の素子であり、n 型 Enhancement MOSFET、p 型 Enhancement MOSFET (pEMOSFET)、n 型 Depletion MOSFET (nDMOSFET) を作製した。ゲート長 L、ゲート幅 W はそれぞれ 10  $\mu$ m および 30  $\mu$ m であり L/W=10/30、ゲート酸化膜の膜厚は 60 nm である。n 型 Si(100) 基板 (resistivity 3.85 ~ 4.15  $\Omega$  cm) を用いており、n 型 MOSFET は p-well 領域上に、p 型 MOSFET は n 型 Si 基板上に作製した。ゲート電極は n 型 poly Si を用いた。その後、Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 保護膜を除去し、 $\gamma$ -Al<sub>2</sub>O<sub>3</sub> 薄膜上に下部電極 Pt、強誘電体膜 PZT をスパッタ法、Sol-gel 法によりそれぞれ成膜した。上部電極として SrRuO<sub>3</sub> を成膜し、センサのパターンニングを行った。プラズマ CVD で成膜した赤外線吸収膜としての SiO<sub>2</sub>/SiN 積層膜をセンサ上に成膜、パターンニングを行った。その後、センサ及び CMOS 回路素子それぞれにコンタクトホールを開け、Al のスパッタ及びパターンニングを行い、配線を形成し

た。最後に Si のエッチングホールを開け、XeF<sub>2</sub> によるセンサ直下の Si をエッチングし、センサを基板からリリースして熱分離構造を形成した。本プロセスには工程数が 140 工程、使用したマスクは 20 枚、フォトリソ 22 回を要した。また作製した MOSFET のゲート長は 10 μm, ゲート幅は 30 μm である。

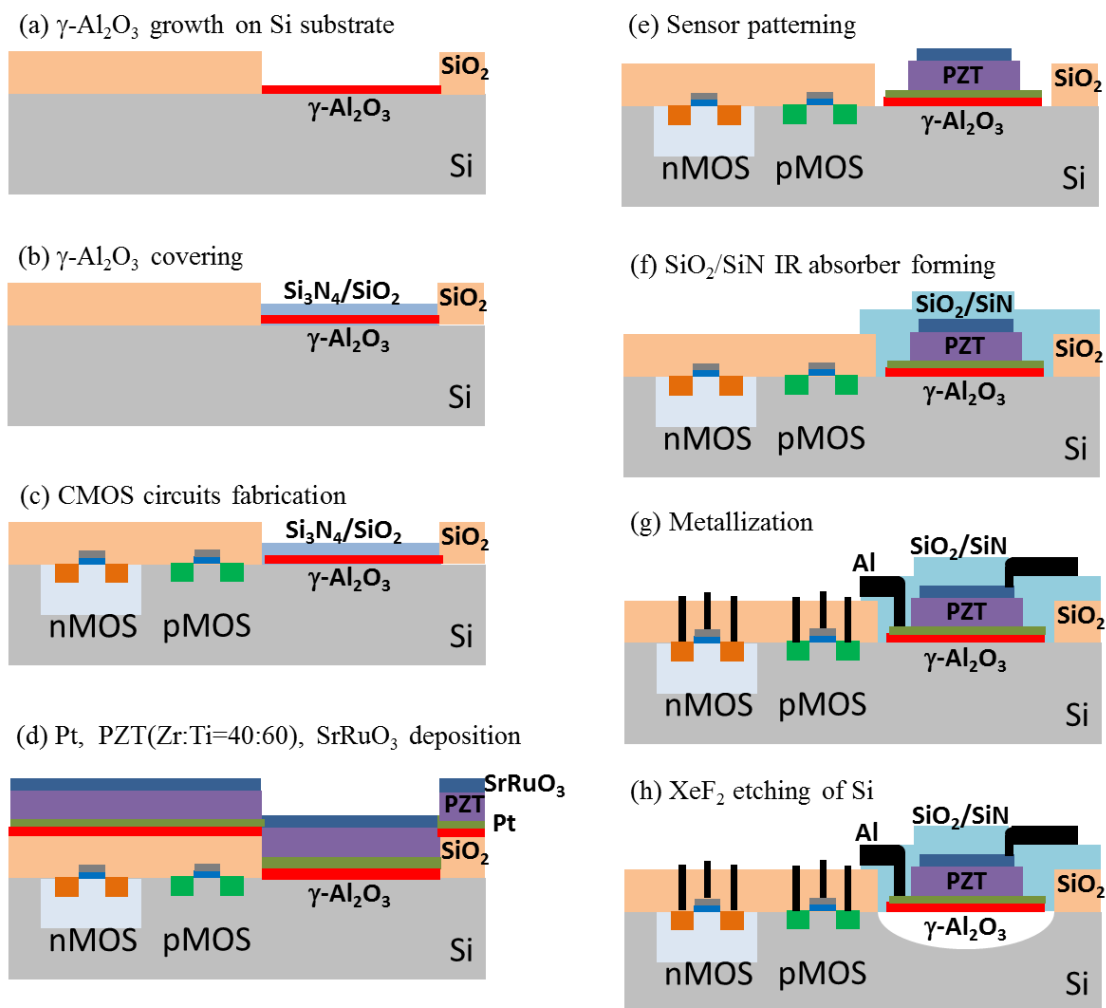


図 5-1 PZT 薄膜赤外線センサと CMOS 回路の集積化デバイス作製プロセス

### 5.3 作製したデバイスの特性評価

図 5-2 に作製した PZT 薄膜赤外線センサの SEM 画像を示す。ウェハやセンサの外景としては特に膜の剥離などなく、綺麗に作製できたことが確認できた。センサの形は前章とは異なり、長方形(110  $\mu\text{m}$  x 30  $\mu\text{m}$ )でありセンサ面積はこれまで作製してきたセンサの約 1/3 の大きさのものを作製した。これは円系センサにて  $\text{XeF}_2$  で Si をエッチングすると等方性エッチングのため円形の空洞ができてしまい、センサをアレイ状に並べて MOSFET などを同一ピクセルに集積化した際の Fill Factor を考慮すると長方形のセンサが最適な形になるからである。センサはしっかり基板からリリースされて作製できている。またセンサは中心が上方向に撓んだ状態で支えられていることが確認できた。センサを支える配線については前章同様に、歪んでいることが確認された。配線が短い場合は歪の影響が少ないが、配線が長いレイアウトの場合は影響が大きくなり、センサの傾きなどに影響してくるため抑制をする必要があると考えられる。

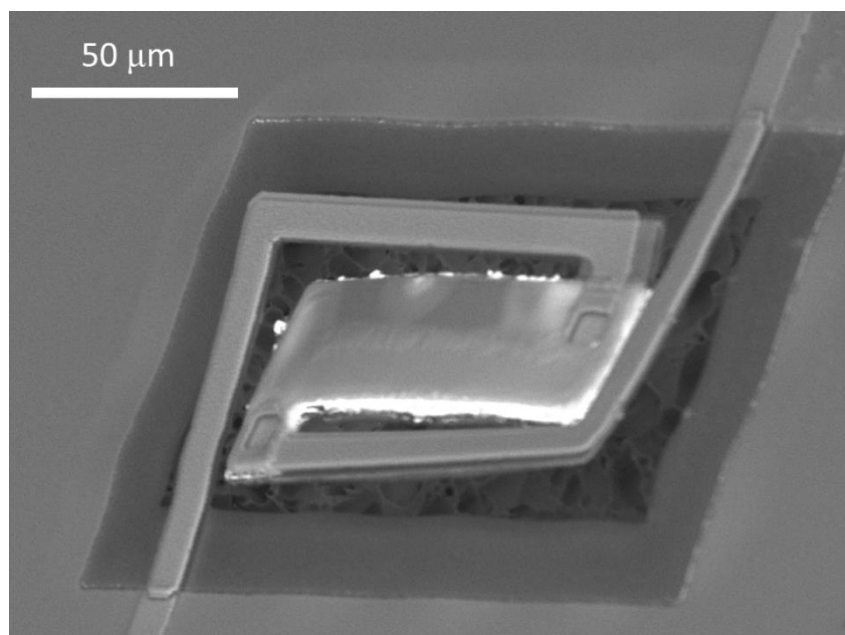


図 5-2 作製した PZT 薄膜赤外線センサの SEM 観察画像

### 5.3.1 全工程後の PZT 薄膜の強誘電体特性評価

図 5-3 に作製した PZT 薄膜の分極ヒステリシスループ特性を示す。Al 配線後に測定したものと XeF<sub>2</sub> による Si エッチング後に測定したものをプロットする。センサの基板からのリリース後においても同様の特性が得られていることから、熱分離構造形成によるヒステリシス特性の劣化が無いことが確認できた。自発分極値については配線形成後には 17  $\mu\text{C}/\text{cm}^2$  だったものが 21  $\mu\text{C}/\text{cm}^2$  と約 1.3 倍向上していることが確認できた。前述したセンサ面が上方向に撓んでいることによる影響であると考えられる。歩留まりとしては 4 inch ウェハ内で 50% 程度であった。場所による特性の傾向はあまりなく、直近のセンサ間でも完全にリークしている特性のセンサと綺麗な分極ヒステリシスループを持つセンサが確認でき、PZT 薄膜の更なる歩留まり向上が必要なことが確認できた。

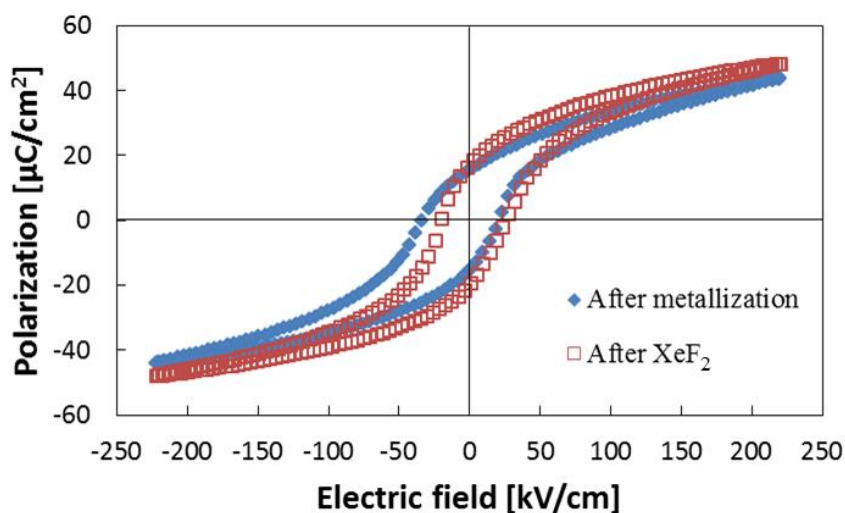
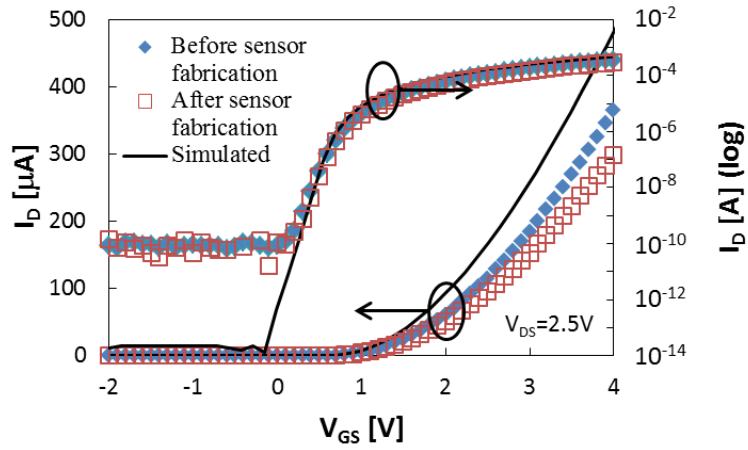


図 5-3 各プロセス後における PZT 薄膜の分極ヒステリシス特性(PZT 膜厚 450 nm)

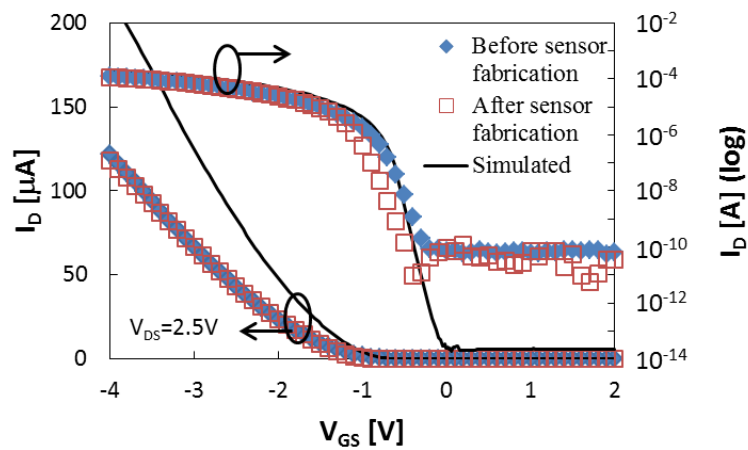
### 5.3.2 全工程後の CMOS 回路素子の回路特性評価

本デバイスには強誘電体薄膜として PZT 薄膜を用いており、含有される Pb の拡散により集積化した回路素子への影響が懸念される。そこで本デバイスでは Pt や PZT 薄膜の成膜前に回路素子上に BPSG をプラズマ CVD により成膜し、Pb の拡散を防ぐゲッタリング効果により回路素子を保護した。図 5-4 に全工程後の CMOS 回路特性を示す。センサ作製前に評価した回路素子特性と比較して特性をプロットした。また Synopsys 社製のプロセス・デバイスシミュレータ「TCAD Sentaurus」のシミュレーション結果との比較もプロットした。センサ作製後においても回路素子特性に変化はなく、PZT 薄膜を集積化したデバイスにおいても CMOS 回路が正常に動作することが確認できた。以上のことから本デバイスでは

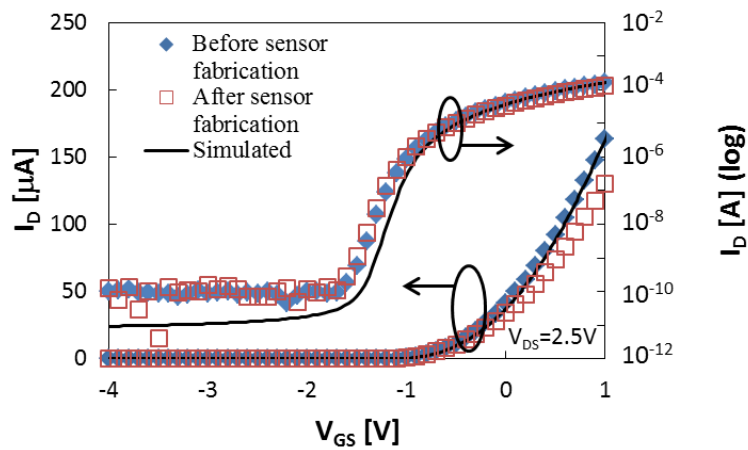
$\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上へ PZT 薄膜赤外線センサと CMOS 回路を一体化させることに成功したと言える。



(a) n type enhancement MOSFET



(b) p type enhancement MOSFET



(c) n type depletion MOSFET

図 5-4 全工程後の回路素子の  $I_D$ - $V_{GS}$  特性 ( $L/W=10/30$ ) ゲート酸化膜厚 60 nm

全工程後の強誘電体薄膜センサ及び CMOS 回路素子の動作が確認できたため、強誘電体薄膜センサにて検知した赤外線応答を集積化した信号処理回路により評価が可能となった。しかしながら今回は評価をすることが出来なかった。その原因は PZT センサのバイアスが想定していたものと異なっていたため設計した回路が予想通り動作しなかったことが考えられる。今回設計・作製した信号処理回路は前段でソース接地回路 (MOSFET + 拡散抵抗) により信号増幅をして、後段のソースフォロワ回路 (MOSFET + 拡散抵抗) から信号取り出す回路である。PZT センサはソース接地回路の MOSFET のゲートに入力されており片方は接地されているため、取り出される信号としてはバイアス 0V の小信号であると考えしてソース接地回路の設計をした。しかしながら、PZT キャパシタによるバイアスが存在すると考えると、回路の動作点がずれてしまい検出した信号を減衰させてしまっていると考えられる。よって今後の対策として、作製した PZT センサのバイアスがどのような状態にあるかを調査し、適切な回路設計を行うことで集積化チップでの赤外線応答評価が可能になると考える。

## 5.4 結言

$\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si 基板上へ PZT 薄膜赤外線センサと CMOS 集積回路を集積化したデバイスの作製を試みた。全 140 工程のデバイス作製を行い、全工程後の特性評価において PZT 薄膜センサを CMOS 回路と集積化することに成功した。強誘電体特性と回路特性ともに劣化なく作製できたことを確認した。今後は、強誘電体薄膜センサのバイアス条件などを検討し、集積化した CMOS 回路による信号増幅などを行い、ワンチップでの赤外線応答評価を行うことが必要である。

## 第6章 総括

本論文では  $\gamma$ - $\text{Al}_2\text{O}_3/\text{Si}$  基板上の結晶配向 PZT 薄膜センサと CMOS 集積回路をインテグレーションさせるための技術について結晶性と CMOS 回路素子特性評価、及び PZT 薄膜センサの作製とその評価について述べた。

第 1 章では赤外線センサ、Si 上の MEMS デバイス、センサ応用としての強誘電体薄膜について述べ、Si 基板上へ PZT 薄膜をインテグレーションさせるための結晶性絶縁膜  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜について説明した。本研究の目的である  $\gamma$ - $\text{Al}_2\text{O}_3/\text{Si}$  基板を用いた、結晶配向 PZT 薄膜をインテグレーションさせたセンサチップについて述べ、回路一体化の重要性を説明した。これまでの問題として CMOS 回路作製プロセスにおける  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の膜質の劣化や PZT 薄膜センサに適用する赤外線吸収構造の必要性について述べ、その解決方法を提案し、目的を述べた。

第 2 章では本論文で用いた薄膜成膜技術、及び評価技術について述べた。薄膜成膜技術としては  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜を Si 基板上に成長させるための MOCVD 法と PZT 薄膜を成膜するための sol-gel 法について説明した。評価技術については作製した薄膜の結晶性を評価するために用いた RHEED 及び XRD について述べ、実際に本研究で成膜した  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜、Pt 薄膜、PZT 薄膜などの結晶性評価結果を示した。表面分析として XPS、及び SEM について述べた。そして赤外線センサに用いる赤外線吸収膜の特性を評価するための FT-IR について述べた。

第 3 章では  $\gamma$ - $\text{Al}_2\text{O}_3/\text{Si}$  基板上の結晶配向 PZT 薄膜センサと CMOS 集積回路をインテグレーションさせるため最初の課題として、 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜と CMOS 回路のインテグレーションプロセスについて述べた。 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の膜質を劣化させる要因として CMOS 回路作製工程のアニールプロセスに注目し、それぞれのアニールプロセスが  $\gamma$ - $\text{Al}_2\text{O}_3/\text{Si}$  基板にどのような影響を与えるかを調査した。本研究では  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の結晶性評価に反射高速電子線回折、X 線回折を用い、構成元素分析及び結合状態分析、表面観察に X 線光電子分光及び走査型電子顕微鏡を用いた。これらの結果より  $\gamma$ - $\text{Al}_2\text{O}_3/\text{Si}$  基板のアニールプロセスを考察し、 $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜の膜質劣化を防止する方法として  $\text{Si}_3\text{N}_4/\text{SiO}_2$  保護膜の提案を行い、評価した。最後に  $\gamma$ - $\text{Al}_2\text{O}_3$  薄膜がインテグレーションされた Si 基板上に作製した CMOS 回路素子が正常に動作するかを評価し、設計値通り正常に動作することを確認した。

第 4 章では本研究で作製する PZT 薄膜焦電型赤外線センサの赤外線吸収膜として CMOS プロセス後に適用しやすい、 $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜を提案、設計、作製、評価を行った。赤外線吸収膜の設計には赤外線吸収を考慮した光学計算を行い、 $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜の最適な構造を導き出した。また実際に作製し、計算値と実測値の一致を確認した。PZT 薄膜センサのレイアウトについても有限要素法を用いた過渡伝熱解析を行い、そのシミュレーション結果に基づき、PZT 薄膜焦電型赤外線センサに適するセンサ構造を設計した。



実際に  $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜をインテグレーションさせたセンサの作製を行い PZT 薄膜の電気特性、及び本センサの赤外線応答感度評価を行った。 $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜が PZT 薄膜焦電型赤外線センサに有用であることが確かめられた。

第 5 章では前章までの結果を踏まえ、 $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板上へ PZT 薄膜焦電型赤外線センサと CMOS 回路を集積化することを試みた。第 3 章で議論した  $\gamma\text{-Al}_2\text{O}_3$  薄膜成長後の CMOS 回路作製プロセスにおいて  $\text{Si}_3\text{N}_4/\text{SiO}_2$  保護膜用い、センサ作製プロセスでは第 4 章で確立した作製プロセス及び  $\text{SiO}_2/\text{SiN}$  積層赤外線吸収膜を用い、デバイスの作製を行った。デバイスを作製した結果、PZT の分極ヒステリシスループ特性が全工程後にも得られ、CMOS 回路特性もセンサ作製工程前に評価した特性と一致するものが得られ、設計値であるデバイスシミュレーション結果とも同等のものが得られた。以上より、 $\gamma\text{-Al}_2\text{O}_3/\text{Si}$  基板上へ PZT 薄膜焦電型赤外線センサと CMOS 回路を集積化するプロセスの確立に成功した。

今後の展望として、信号処理回路の設計、製作、及びワンチップでの赤外線応答評価をすることが挙げられる。信号処理回路の設計としては雑音の少ない増幅回路を設計することで赤外線センサシステムの高感度化を期待する。そのためには PZT 薄膜のバイアス条件などを調査し、作製する PZT 薄膜のバイアスを考慮した回路設計が必要である。適切な信号処理回路作製が達成できた後は、赤外線のイメージングが実現できると考えられる。本研究で達成した PZT 薄膜赤外線センサと CMOS 回路の集積化プロセス技術が今後のデバイス応用に役立つことを望む。

## 謝辞

本研究の遂行および本論文の作成にあたり適切な御指導と御助言を賜りました豊橋技術科学大学教授・工学博士 石田誠先生に謹んで感謝の意を表します。

本論文をまとめるにあたり、有益なご教示を頂いた、豊橋技術科学大学教授・工学博士 澤田和明先生、豊橋技術科学大学准教授・博士（工学） 河野剛士先生、豊橋技術科学大学准教授・博士（工学） 岡田浩先生に謹んで感謝の意を表します。

本研究を進めるにあたり、有益な御指導、御討論ならびに適切な御助言をいただきました豊橋技術科学大学助教・博士（工学） 赤井大輔先生に謹んで感謝の意を表します。

本研究を進めるにあたり、有益な御討論、激励をいただきました、豊橋技術科学大学准教授・博士（工学） 村上裕二先生、豊橋技術科学大学助教・博士（工学） 秋田一平先生、豊橋技術科学大学講師・博士（工学） 高橋一浩先生に心から感謝の意を示します。

また、豊橋技術科学大学 固体機能デバイス施設において各種装置の取り扱いや研究遂行の際にご便宜いただきましたエレクトロニクス先端融合研究所特命技術職員 足木光昭先生、テーラーメイド・バトンゾーン教育推進本部研究員 高瀬博行氏、研究支援課技術支援推進室技術専門職員 飛沢健氏に深く感謝の意を表します。

豊橋技術科学大学 インキュベーション施設においてフーリエ変換赤外線分光光度計をはじめとする、各種評価装置の利用に関してご協力いただいた日置電機株式会社技術本部開発部・中山直人氏に深く感謝の意を表します。

デバイス作製プロセスに関し、多大な協力をいただいた豊橋技術科学大学修士課程 2 年 高島大輔氏、修士課程 1 年 米丸翔太氏、学部 4 年 小林孝央氏に深く感謝いたします。

本研究の遂行において、豊橋技術科学大学大学院修士課程 2 年 赤塚信哉氏、修士課程 1 年 山蔭駿平氏、Yu Hongqu 氏、学部 4 年 鹿取丈朗氏、豊橋技術科学大学大学院博士課程 2 年 本間浩章氏、岡部謙志氏、高橋聡氏、に多くの御助言をいただきました。深く感謝いたします。

本研究の開始以来、御協力ならびに御助言いただいた、豊橋技術科学大学石田・澤田・河野研究室の諸氏、ならびに電子デバイスの大講座の皆様は深く感謝いたします。

最後に本学における勉学ならびに日々の生活を支えていただきました両親、家族に深く感謝いたします。

2015 年 1 月  
大石 浩史

# 付録

## 過渡伝熱シミュレーションに用いたデバイスモデル

表 A-1 過渡伝熱シミュレーションに用いたデバイスレイアウト

Purpose	Materials	Thickness	External radius	Internal radius
		[nm]	[ $\mu\text{m}$ ]	[ $\mu\text{m}$ ]
Top electrode	SrRuO <sub>3</sub>	100	62.5	12.5
Sensor	PZT	450	62.5	12.5
Bottom electrode	Pt	100	95	5
Insulator	$\gamma$ -Al <sub>2</sub> O <sub>3</sub>	50	95	5
Metallization	Al	600	-	-
IR absorber, insulator	SiO <sub>2</sub>	1400	95	5

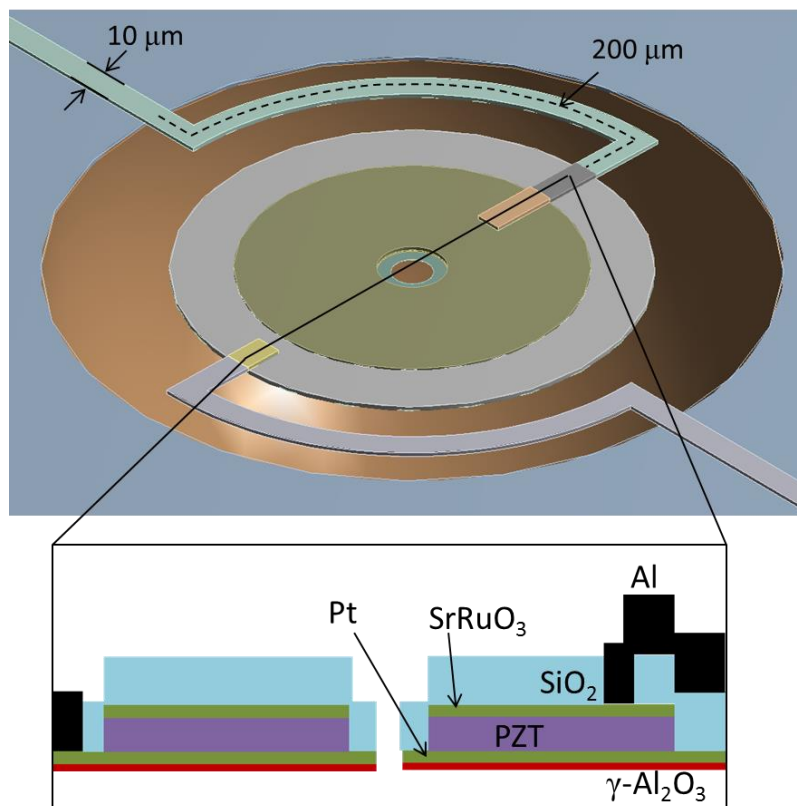


図 A-1 過渡伝熱シミュレーションに用いたデバイスモデル

プロセスチャート

No.	Process	Condition	Time	Note
1	初期洗浄	DHF(HF:H <sub>2</sub> O=1:50)	20 sec	
		DIW	10 min	
		王水(HNO <sub>3</sub> :HCl=1:3)	10 min	
		DIW	10 min	
		APM(NH <sub>4</sub> OH:H <sub>2</sub> O <sub>2</sub> :H <sub>2</sub> O=1:1:6)	10 min	
		DIW	10 min	
		HPM(HCl:H <sub>2</sub> O <sub>2</sub> :H <sub>2</sub> O=1:1:6)	10 min	
		DIW	10 min	
		DHF	20 sec	
	DIW	5 min		
2	初期酸化	Dry 1000°C (OX8)	60 min	~50 nm
		N <sub>2</sub> 1000°C (OX8)	10 min	
3	フォトリソ 1	Bake 160°C	5 min	
		HMDS & ip3100		Develop 2 min
		1 <sup>st</sup> 1000 rpm	5 sec	Rinse 2 min
		2 <sup>nd</sup> 3000 rpm	20 sec	Mask_Mark
		Prebake 110°C	90 sec	Mark
		Intensity : 9.5 (i-line filter)		(posi)
		Postbake 120°C	5 min	
4	SiO <sub>2</sub> /Si エッチング	RIE	8 min 30 sec	
		SF <sub>6</sub> =10 sccm		500 nm 以上
		Pressure=1 Pa		
		RF Power=100 W		
5	レジスト除去	SPM(H <sub>2</sub> SO <sub>4</sub> :H <sub>2</sub> O <sub>2</sub> )=3.1	10 min	
		DIW	10 min	
6	SiO <sub>2</sub> 除去	BHF	1 min 30 sec	全面除去
		DIW	5 min	
7	酸化前洗浄	APM	10 min	
		DIW	10 min	
		HPM	10 min	選択成長用
		DIW	10 min	酸化膜成膜の
		DHF	20 sec	前洗浄
		DIW	5 min	

8	フィールド酸化	Wet 1000°C	240 min	~750 nm
		O <sub>2</sub> 4.2 L/min H <sub>2</sub> 4.2 L/min		
		N <sub>2</sub> 1000°C	10 min	
9	フォトリソ 2	Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_Al <sub>2</sub> O <sub>3</sub> _1
		2 <sup>nd</sup> 3000 rpm	20 sec	γ-Al <sub>2</sub> O <sub>3</sub> 領域
		Prebake 110°C	90 sec	(posi)
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
10	O <sub>2</sub> アッシング	200 W, 20 Pa, O <sub>2</sub> 100 sccm	1 min 30 sec	
11	SiO <sub>2</sub> 除去	BHF	8 min 45sec	Etching rate
		DIW	10 min	~93.6 nm/min
12	レジスト除去	SPM	10 min	
		DIW	10 min	
13	γ-Al <sub>2</sub> O <sub>3</sub> 成長前洗浄	APM(NH <sub>4</sub> OH:H <sub>2</sub> O <sub>2</sub> :H <sub>2</sub> O=0.05:1:6)	10 min	
		DIW	10 min	
		HPM	10 min	
		DIW	10 min	
		DHF	20 sec	
		DIW	5 min	
14	γ-Al <sub>2</sub> O <sub>3</sub> 成膜	Pressure 500 Pa	30 min	
		Temperature 981°C		
		TMA 2.5 sccm		~50 nm
		O <sub>2</sub> 25 sccm		Cold-wall CVD
		Carrier N <sub>2</sub> 0.5 slm		
		Purge N <sub>2</sub> 250 slm		
15	Si <sub>3</sub> N <sub>4</sub> / SiO <sub>2</sub> (保護膜) 成膜前洗浄	APM	10 min	
		DIW	10 min	
		HPM	10 min	
		DIW	10 min	センサ部保護
		DHF	20 sec	
		DIW	5 min	

16	SiO <sub>2</sub> 成膜	LPCVD	30 min	
		Pressure 62 Pa		
		Temperature 720°C		~180 nm
		TEOS 30 sccm		
		O <sub>2</sub> 300 sccm		
17	Si <sub>3</sub> N <sub>4</sub> 成膜	LPCVD	40 min	
		Pressure 43 Pa		
		Temperature 820°C		~200 nm
		SiH <sub>2</sub> Cl <sub>2</sub> 40 sccm		
		NH <sub>3</sub> 400 sccm		
18	SiO <sub>2</sub> 成膜	LPCVD	30 min	
		Pressure 62 Pa		
		Temperature 720°C		~180 nm
		TEOS 30 sccm		
		O <sub>2</sub> 300 sccm		
19	Si <sub>3</sub> N <sub>4</sub> 成膜	LPCVD	40 min	
		Pressure 43 Pa		
		Temperature 820°C		~200 nm
		SiH <sub>2</sub> Cl <sub>2</sub> 40 sccm		
		NH <sub>3</sub> 400 sccm		
20	フォトリソ 3	Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_Al <sub>2</sub> O <sub>3</sub> _2
		2 <sup>nd</sup> 3000 rpm	20 sec	γ-Al <sub>2</sub> O <sub>3</sub> 領域
		Prebake 110°C	90 sec	(nega)
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
21	Si <sub>3</sub> N <sub>4</sub> エッチング	RIE	3 min 30 sec	
		CF <sub>4</sub> :O <sub>2</sub> =20:5		
		Pressure 10 Pa		
		RF Power 100 W		
22	SiO <sub>2</sub> エッチング	RIE	7 min 30 sec	
		CHF <sub>3</sub> 45 sccm		
		Pressure 2 Pa		
		RF Power 100 W		

23	Si <sub>3</sub> N <sub>4</sub> エッチング	RIE CF <sub>4</sub> :O <sub>2</sub> =20:5 Pressure 10 Pa RF Power 100 W	3 min 30 sec	
24	SiO <sub>2</sub> エッチング	RIE CHF <sub>3</sub> 45 sccm Pressure 2 Pa RF Power 100 W	7 min 30 sec	
25	γ-Al <sub>2</sub> O <sub>3</sub> エッチング	ICP-RIE(Clean Cl Chamber) BCl <sub>3</sub> 15 sccm APC 0.5 Pa Antenna 400 W Bias 30 W	3 min	
26	レジスト除去	SPM DIW	10 min 10 min	
27	レジスト塗布	HMDS & ip3100		全面
28	裏面 TEOS エッチング	RIE CHF <sub>3</sub> 45 sccm Pressure 2 Pa RF Power 100 W	7 min 30 sec	
29	裏面 Si <sub>3</sub> N <sub>4</sub> エッチング	RIE CF <sub>4</sub> :O <sub>2</sub> =20:5 Pressure 10 Pa RF Power 100 W	3 min 30 sec	
30	レジスト除去	SPM DIW	10 min 10 min	
31	フォトリソ 4	Bake 160°C HMDS & ip3100 1 <sup>st</sup> 1000 rpm 2 <sup>nd</sup> 3000 rpm Prebake 110°C Intensity : 9.5 (i-line filter) Postbake 120°C	5 min 5 sec 20 sec 90 sec 5 min	Mask_pwell p-well 領域 (posi)
32	O <sub>2</sub> アッシング	200 W, 20 Pa, O <sub>2</sub> 100 sccm	1 min 30 sec	

33	SiO <sub>2</sub> 除去	BHF	7 min 45 sec	
		DIW	5 min	
34	レジスト除去	SPM	10 min	
		DIW	10 min	
35	炉入れ前洗浄	APM	10 min	
		DIW	10 min	
		HPM	10 min	
		DIW	10 min	
		DHF	20 sec	
		DIW	5 min	
36	インプラ保護酸化	Dry 1000°C (OX8)	60 min	50 nm
		N <sub>2</sub> 1000°C (OX8)	10 min	
37	イオン注入	Boron(BF <sub>3</sub> ) 1x10 <sup>13</sup> cm <sup>-2</sup>	~24 sec	p-well
		60 keV		
38	炉入れ前洗浄	APM	10 min	
		DIW	10 min	
		HPM	10 min	
		DIW	10 min	
		DHF	20 sec	
		DIW	3 min	
39	Drive-in	Dry 1150°C (OX8)	540 min	
		N <sub>2</sub> 1150°C (OX8)	10 min	
40	SiO <sub>2</sub> 除去	BHF	10 min 20 sec	全面除去
		DIW		
41	パッド酸化膜成膜 前洗浄	APM	10 min	
		DIW	10 min	
		HPM	10 min	
		DIW	10 min	
		DHF	20 sec	
		DIW	5 min	
42	パッド酸化	Dry 1000°C (OX8)	60 min	
		N <sub>2</sub> 1000°C (OX8)	10 min	
43	Si <sub>3</sub> N <sub>4</sub> 成膜	LPCVD	25 min	
		Pressure 37 Pa, Temperature 820°C		130 nm
		SiH <sub>2</sub> Cl <sub>2</sub> 40 sccm, NH <sub>3</sub> 400 sccm		



		LPCVD	90 min	
44	SiO <sub>2</sub> 成膜	Pressure 36 Pa Temperature 720°C TEOS 30 sccm O <sub>2</sub> 300 sccm		270 nm
45	レジスト塗布	HMDS & ip3100		全面
46	裏面 SiO <sub>2</sub> エッチング	RIE CHF <sub>3</sub> 45 sccm Pressure 2 Pa RF Power 100 W	10 min	
47	裏面 Si <sub>3</sub> N <sub>4</sub> エッチング	RIE CF <sub>4</sub> :O <sub>2</sub> =20:5 sccm Pressure 10 Pa RF Power 100 W	2 min 30 sec	
48	裏面 Si <sub>3</sub> N <sub>4</sub> エッチング	RIE CF <sub>4</sub> :O <sub>2</sub> =20:5 sccm Pressure 10 Pa RF Power 100 W	3 min 30 sec	
49	レジスト除去	SPM DIW	10 min 10 min	
50	フォトリソ 5	Bake 160°C HMDS & ip3100 1 <sup>st</sup> 1000 rpm 2 <sup>nd</sup> 3000 rpm Prebake 110°C Intensity : 9.5 (i-line filter) Postbake 120°C	5 min 5 sec 20 sec 90 sec 5 min	Mask_Active Active 領域 (nega)
51	O <sub>2</sub> アッシング	200 W, 20 Pa, O <sub>2</sub> 100 sccm	1 min 30 sec	
52	SiO <sub>2</sub> エッチング	BHF DIW	50 sec 10 min	
53	Si <sub>3</sub> N <sub>4</sub> エッチング	RIE CF <sub>4</sub> :O <sub>2</sub> =20:5 Pressure 10 Pa, RF Power 100 W	2 min 30 sec	
54	レジスト除去	SPM DIW	10 min 10 min	

		Bake 160°C	5 min	
		HMDS & ip3100		Mask_pwell
		1 <sup>st</sup> 1000 rpm	5 sec	nMOS channel
55	フォトリソ 6	2 <sup>nd</sup> 3000 rpm	20 sec	stopper
		Prebake 110°C	90 sec	(posi)
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
56	イオン注入	Boron(BF <sub>3</sub> ) 3x10 <sup>13</sup> cm <sup>-2</sup>		
		60 keV		
57	レジスト除去	SPM	10 min	
		DIW	10 min	
		Bake 160°C	5 min	
		HMDS & ip3100		Mask_nwell
		1 <sup>st</sup> 1000 rpm	5 sec	pMOS channel
58	フォトリソ 7	2 <sup>nd</sup> 3000 rpm	20 sec	stopper
		Prebake 110°C	90 sec	(posi)
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
59	イオン注入	Phosphorous(PH <sub>3</sub> ) 3x10 <sup>13</sup> cm <sup>-2</sup>		
		60 keV		
60	レジスト除去	SPM	10 min	
		DIW	10 min	
61	SiO <sub>2</sub> ,パッド酸化膜 エッチング	BHF	50 sec	
		DIW	10 min	
		APM	10 min	
		DIW	10 min	
62	LOCOS 酸化前洗浄	HPM	10 min	
		DIW	10 min	
		DHF	20 sec	
		DIW	5 min	
		Wet 1000°C	240 min	
63	LOCOS 酸化	Dry 1000°C (OX8)	10 min	
		N <sub>2</sub> 1000°C (OX8)	10 min	
64	SiO <sub>2</sub> , Si <sub>3</sub> N <sub>4</sub> 除去	BHF	30 sec	窒化膜上の薄
		DIW	10 min	い SiO <sub>2</sub>

		熱リン酸	50 min	
		温純水	10 min	
65	パッド酸化膜除去	BHF	40 sec	LOCOS の膜厚
		DIW	10 min	チェック
66	犠牲酸化前洗浄	APM	10 min	
		DIW	10 min	
		HPM	10 min	
		DIW	10 min	
		DHF	20 sec	
		DIW	5 min	
67	犠牲酸化 (ホワイト リボン除去)	Dry 1000°C (OX8)	35 min	
		N <sub>2</sub> 1000°C (OX8)	10 min	
68	フォトリソ 8	Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_dMOS
		2 <sup>nd</sup> 3000 rpm	20 sec	dMOS channel
		Prebake 110°C	90 sec	(posi)
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
69	イオン注入	Phosphorous(PH <sub>3</sub> ) 2x10 <sup>12</sup> cm <sup>-2</sup>		
		30 keV		
70	レジスト除去	SPM	10 min	
		DIW	10 min	
71	犠牲酸化膜除去	BHF	35 sec	
		DIW	10 min	
72	ゲート酸化前洗浄	APM	10 min	
		DIW	10 min	
		HPM	10 min	
		DIW	10 min	
		DHF	20 sec	
		DIW	5 min	
73	ゲート酸化	Dry 1000°C (OX8)	75 min	60 nm
		N <sub>2</sub> 1000°C (OX8)	10 min	
74	polySi 成膜	LP-CVD, 0.50 Torr, 625°C	80 min	~500 nm
		SiH <sub>4</sub> 95 kg/cm <sup>2</sup> , N <sub>2</sub> 139 kg/cm <sup>2</sup>		

75	イオン注入	Phosphorous(PH <sub>3</sub> ) 4x10 <sup>15</sup> cm <sup>-2</sup> 60 keV		
		Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	
76	フォトリソ 9	2 <sup>nd</sup> 3000 rpm	20 sec	Mask_poly
		Prebake 110°C	90 sec	(nega)
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
		RIE	6 min 50 sec	
77	polySi エッチング	SF <sub>6</sub> =10 sccm Pressure=1.0 Pa RF Power=100 W		
78	ゲート酸化膜除去	BHF DIW	45 sec	
79	レジスト除去	SPM DIW	10 min 10 min	
		APM	10 min	
		DIW	10 min	
80	polySi 酸化前洗浄	HPM DIW DHF DIW	10 min 10 min 15 sec 5 min	
81	polySi 酸化	Dry 1000°C (OX8) N <sub>2</sub> 1000°C (OX8)	75 min 10 min	
		Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_p+
82	フォトリソ 10	2 <sup>nd</sup> 3000 rpm	20 sec	pMOS S/D
		Prebake 110°C	90 sec	(posi)
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
83	イオン注入	Boron(BF <sub>3</sub> ) 4x10 <sup>15</sup> cm <sup>-2</sup> 50 keV		
84	O <sub>2</sub> アッシング	600 W	30 min	

85	レジスト除去	SPM	10 min	
		DIW	10 min	
86	フォトリソ 11	Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_n+
		2 <sup>nd</sup> 3000 rpm	20 sec	nMOS S/D
		Prebake 110°C	90 sec	(posi)
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
87	イオン注入	Phosphorous(PH <sub>3</sub> ) 4x10 <sup>15</sup> cm <sup>-2</sup>		
		80 keV		
88	O <sub>2</sub> アッシング	600 W	30 min	
89	レジスト除去	SPM	10 min	
		DIW	10 min	
90	フォトリソ 12	Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_JFET
		2 <sup>nd</sup> 3000 rpm	20 sec	(posi)
		Prebake 110°C	90 sec	
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
91	イオン注入	Phosphorous(PH <sub>3</sub> ) 1x10 <sup>13</sup> cm <sup>-2</sup>		
		150 keV		
92	イオン注入	Boron(BF <sub>3</sub> ) 3x10 <sup>13</sup> cm <sup>-2</sup>		
		30 keV		
93	レジスト除去	SPM	10 min	
		DIW	10 min	
94	フォトリソ 13	Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_Al <sub>2</sub> O <sub>3</sub>
		2 <sup>nd</sup> 3000 rpm	20 sec	(posi)
		Prebake 110°C	90 sec	
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	

95	Si <sub>3</sub> N <sub>4</sub> エッチング	RIE	7 min 30 sec	
		CF <sub>4</sub> :O <sub>2</sub> =20:5		
		Pressure 10 Pa		
		RF Power 100 W		
96	O <sub>2</sub> アッシング	200 W, 20 Pa, O <sub>2</sub> 100 sccm	1 min 30 sec	
97	SiO <sub>2</sub> 除去	BHF	2 min 30 sec	
		DIW	10 min	
98	Anneal 前洗浄	APM	10 min	
		HPM	10 min	
		HPM	10 min	
		DIW	10 min	
		DHF	20 sec	
		DIW	5 min	
99	活性化 anneal	N <sub>2</sub> 1000°C(OX8)	20 min	
100	TEOS BPSG TEOS 成膜	PE-CVD (A rank)		
		SiO <sub>2</sub> : 3.0 sccm, O <sub>2</sub> 197 sccm, 40 Pa, 350°C, 150 W	15 min	
		BPSG : 2.0 sccm, TEB 0.25 sccm, TMP 0.75 sccm, O <sub>2</sub> 197 sccm, 40 Pa, 350°C, 150 W	15 min	~650 nm
		SiO <sub>2</sub> : 3.0 sccm, O <sub>2</sub> 197 sccm, 40 Pa, 350°C, 150 W	7 min 30 sec	

センサ作製前 回路特性評価

No.	Process	Condition	Time	Note
101	フォトリソ 14	Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_contact
		2 <sup>nd</sup> 3000 rpm	20 sec	Contact
		Prebake 110°C	90 sec	(posi)
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
102	O <sub>2</sub> アッシング	150 W, 20 Pa, O <sub>2</sub> 100 sccm	1 min 30 sec	
103	TEOS/BPSG/TEOS 除去	BHF	3 min 30 sec	
		DIW	10 min	

104	レジスト除去	SPM	10 min	
		DIW	10 min	
105	表面除去	HF	15 sec	
		DIW	3 min	
106	Al-Si スパッタ	RF スパッタ 0.5 kW, 0.2 Pa	60 min	650 nm
107	フォトリソ 15	Bake 160°C	5 min	
		OMR45cp 塗布		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_Metal
		2 <sup>nd</sup> 4000 rpm	20 sec	Metal
		Prebake 110°C	90 sec	(posi)
		Intensity : 1.0		
		Postbake 160°C	5 min	
108	Al-Si エッチング	RIE(C rank Cl chamber)	7 min 30 sec	
		Cl <sub>2</sub> 6 sccm, BCl <sub>3</sub> 14 sccm, N <sub>2</sub> 5 sccm, 1.0 Pa, 100 W		
109	O <sub>2</sub> アッシング	200 W 40 sccm (Samco March)	10 min	
110	回路特性評価			

#### センサ作製工程

No.	Process	Condition	Time	Note
101	フォトリソ 14	Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_TEOS
		2 <sup>nd</sup> 3000 rpm	20 sec	(posi)
		Prebake 110°C	90 sec	
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
102	O <sub>2</sub> アッシング	200 W, 20 Pa, O <sub>2</sub> 100 sccm	1 min 30 sec	
103	センサ領域周辺開口	BHF	2 min 30 sec	
		DIW		285nm/min
104	Pt スパッタ	RF スパッタ	225 min	
		0.5 Pa, 30 W, 600°C, Ar 66 sccm		
105	PZT 成膜	Sol-gel 法		
		PZT 塗布 1 <sup>st</sup> 1000 rpm	10 sec	3 layers

		2 <sup>nd</sup> 3000 rpm	30 sec	
		Dry 150°C	5 min	
		Pyro 250°C	5 min	
		RTA 650°C	90 sec	
<b>106</b>	<b>SrRuO<sub>3</sub> スパッタ</b>	スパッタ, 1 Pa, 100 W Ar 12 sccm, Room Temperature	10 min	
		Bake 140°C	5 min	
		HMDS & OFPR 52cp		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_upper
<b>107</b>	<b>フォトリソ 15</b>	2 <sup>nd</sup> 4000 rpm	20 sec	Upper electrode
		Prebake 110°C	90 sec	(nega)
		Intensity : 5.5		
		Postbake 140°C	5 min	
		ICP-RIE(C rank F chamber)	3 min x 5	
<b>108</b>	<b>SrRuO<sub>3</sub> エッチング</b>	Ar 15 sccm, 0.3 Pa Antenna 300 W Bias 70 W		
<b>109</b>	<b>O<sub>2</sub> アッシング</b>	200 W 40 sccm (Samco March)	10 min	
		Bake 140°C	5 min	
		HMDS & OFPR52cp		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_PZT
<b>110</b>	<b>フォトリソ 16</b>	2 <sup>nd</sup> 4000 rpm	20 sec	PZT
		Prebake 110°C	90 sec	(nega)
		Intensity : 5.5		
		Postbake 140°C	5 min	
		ICP-RIE(C rank F chamber)	3 min x 5	
<b>111</b>	<b>PZT エッチング</b>	Ar 15 sccm, 0.3 Pa Antenna 300 W, Bias 70 W	+ 2 min	Total 17 min
<b>112</b>	<b>O<sub>2</sub> アッシング</b>	200 W 40 sccm (Samco March)	10 min	
		Bake 160°C	5 min	
		HMDS & ip3100		
		1 <sup>st</sup> 1000 rpm	5 sec	Mask_lower
<b>113</b>	<b>フォトリソ 17</b>	2 <sup>nd</sup> 3000 rpm	20 sec	Lower electrode
		Prebake 110°C	90 sec	(nega)
		Intensity : 9.5 (i-line filter)		



		Postbake 120°C	5 min	
114	Pt エッチング	ICP-RIE (C rank F chamber) Ar 20 sccm, 0.5 Pa Antenna 600 W, Bias 30 W	3 min x 18	
115	O <sub>2</sub> アッシング	200 W 40 sccm (Samco March)	10 min	
116	RTA	650°C, O <sub>2</sub>	90 sec	10°C/sec
117	SiN 成膜	PE-CVD (C rank) SiH <sub>4</sub> 117 sccm, NH <sub>3</sub> 6 sccm, N <sub>2</sub> 183 sccm, 75 Pa, 300°C	28 min	850 nm
118	SiO <sub>2</sub> 成膜	PE-CVD (C rank) SiH <sub>4</sub> 45 sccm, N <sub>2</sub> O 120 sccm, 67 Pa, 300°C	10 min	550 nm
119	フォトリソ 18	Bake 160°C HMDS & ip3100 1 <sup>st</sup> 1000 rpm 2 <sup>nd</sup> 3000 rpm Prebake 110°C Intensity : 9.5 (i-line filter) Postbake 120°C	5 min 5 sec 20 sec 90 sec 5 min	Mask_LIL1 Interlayer insulator (nega)
120	SiO <sub>2</sub> エッチング	RIE (C rank F 系) CHF <sub>3</sub> 45 sccm, 3 Pa, 100 W	23 min	
121	O <sub>2</sub> アッシング	200 W, 40 sccm	10 min	
122	フォトリソ 19	Bake 160°C HMDS & ip3100 1 <sup>st</sup> 1000 rpm 2 <sup>nd</sup> 3000 rpm Prebake 110°C Intensity : 9.5 (i-line filter) Postbake 120°C	5 min 5 sec 20 sec 90 sec 5 min	Mask_LIL2 Interlayer insulator (nega)
123	SiN エッチング	RIE (C rank F 系) CF <sub>4</sub> 20 sccm, O <sub>2</sub> 5 sccm, 10 Pa, 100 W	5 min	
124	O <sub>2</sub> アッシング	200 W, 40 sccm	10 min	
125	フォトリソ 20	Bake 160°C HMDS & ip3100	5 min	Mask_contact Contact (posi)

		1 <sup>st</sup> 1000 rpm	5 sec	
		2 <sup>nd</sup> 3000 rpm	20 sec	
		Prebake 110°C	90 sec	
		Intensity : 9.5 (i-line filter)		
		Postbake 120°C	5 min	
<b>126</b>	<b>O<sub>2</sub>アッシング</b>	150 W, 40 sccm	1 min 30 sec	
<b>127</b>	<b>TEOS/BPSG/TEOS 除去</b>	BHF DIW	3 min 30 sec 10 min	
<b>128</b>	<b>O<sub>2</sub>アッシング</b>	200 W, 40 sccm	10 min	
<b>129</b>	<b>表面除去</b>	HF DIW	15 sec 5 min	
<b>130</b>	<b>Al-Si スパッタ</b>	RF スパッタ 0.5 kW, 0.2 Pa	60 min	650 nm
		Bake 160°C	5 min	
		OMR45cp		
<b>131</b>	<b>フォトリソ 21</b>	1 <sup>st</sup> 1000 rpm 2 <sup>nd</sup> 4000 rpm Prebake 110°C Intensity : 1.0 Postbake 160°C	5 sec 20 sec 90 sec 5 min	Mask_Metal Metal (posi)
<b>132</b>	<b>Al-Si エッチング</b>	RIE(C rank Cl chamber) Cl <sub>2</sub> 6 sccm, BCl <sub>3</sub> 14 sccm, N <sub>2</sub> 5 sccm, 1.0 Pa, 100 W	7 min 30 sec	
<b>133</b>	<b>O<sub>2</sub>アッシング</b>	200 W, 40 sccm	10 min	
		Bake 140°C	5 min	
		HMDS & OFPR52cp		
<b>134</b>	<b>フォトリソ 22</b>	1 <sup>st</sup> 1000 rpm 2 <sup>nd</sup> 4000 rpm Prebake 110°C Intensity : 5.5 Postbake 140°C	5 sec 20 sec 90 sec 5 min	Mask_XeF2 (posi)
<b>135</b>	<b>レーザーダイシング</b>			
<b>136</b>	<b>O<sub>2</sub>アッシング</b>	200 W, 40 sccm	5 min	レジスト残渣 除去
<b>137</b>	<b>SiO<sub>2</sub> 除去エッチング</b>	RIE (C rank F 系)	15 min	

---

		CHF <sub>3</sub> 45 sccm, 3 Pa, 100 W	
<b>138</b>	<b>Si エッチング</b>	XeF <sub>2</sub> , 2.5 Torr	30 sec x 15
<b>139</b>	<b>O<sub>2</sub> アッシング</b>	200 W, 40 sccm	10 min
<b>140</b>	<b>パッケージング</b>	Wire bonding	

---

## 本研究に関する発表論文

### 学術論文

1. K. Oishi, D. Akai and M. Ishida, "Integration of crystalline orientated  $\gamma$ -Al<sub>2</sub>O<sub>3</sub> films and complementary metal-oxide-semiconductor circuits on Si(100) substrate," Solid State Electron., 103 (2015) 110. (5 pages)
2. K. Oishi, S. Yonemaru, D. Akai and M. Ishida, "SiO<sub>2</sub>/SiN Multilayer-stack Infrared Absorber Integrated on Pb(Zr<sub>0.4</sub>,Ti<sub>0.6</sub>)O<sub>3</sub> Film Pyroelectric Sensors on  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si Substrate," Sensor. Mater., 27 (2015) 217. (11 pages)
3. Koji Oishi, Shota Yonemaru, Daisuke Akai, and Makoto Ishida, "Transient Heat Transfer Analysis of Pb(Zr,Ti)O<sub>3</sub> Thin Film Infrared Sensor Using Finite Element Model", AIP Conf. Proc., 1649 (2015) 47. (5 pages)

### 国際会議発表

1. K. Oishi, K. Oe, D. Akai and M. Ishida, "Process Development for Monolithic Uncooled Pyroelectric Infrared Detector Array and its Thin Infrared Absorbing Films," Abstract of The Irago Conference 2012, Nov.15-Nov.16, 2012, 15GSS-7. (1 page)
2. K. Oishi, D. Akai and M. Ishida, "SiO<sub>2</sub>/SiN infrared absorbing films for uncooled pyroelectric sensor and its fabrication and evaluation," Proceedings on IEEE International Symposium on the Applications of Ferroelectric and Workshop on the Piezoresponse Force Microscopy (ISAF/PFM) 2013, Prague, Czech, Jul. 21-22, 2013, pp.329-331. (3 pages)
3. K. Oishi, D. Akai and M. Ishida, "Integration of epitaxial PZT thin film infrared detector array with JFET compatible CMOS process," Abstracts of the Int'l Conf. Solid State Devices and Materials (SSDM2013), Fukuoka, Japan, Sep. 24-27, 2013, pp.328-329. (2 pages)

4. K. Oishi, D. Akai and M. Ishida, "Circuits Integration on Crystalline Orientated  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si(001) Substrate and Its Characterization," Abstract of The 7th Asia-Pacific Conf. Transducers and Micro/Nano Technologies (APCOT 2014), Daegu, Korea, Jun.29-Jul.2, 2014, 3-3. (2 pages)
5. K. Oishi, K. Oe, D. Akai and M. Ishida, "Crystalline Orientated PZT Infrared Detectors on  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si Substrate with Infrared Absorber Consists of SiO<sub>2</sub> and SiN Films" Abstract of The 7th Asia-Pacific Conf. Transducers and Micro/Nano Technologies (APCOT 2014), Daegu, Korea, Jun.29-Jul.2, 2014, P2-48. (2 pages)
6. K. Oishi, S. Yonemaru, D. Akai and M. Ishida, "Transient Heat Transfer Analysis of Pb(Zr,Ti)O<sub>3</sub> Thin Film Infrared Sensor Using Finite Element Model," Abstract of The Irago Conference 2014, Tsukuba, Japan, Nov.6-Nov.7, 2014, 7P-13. (1 page)

## 国内会議発表

1. 大石浩史, 大江一樹, 赤井大輔, 石田誠, "焦電型赤外線イメージセンサ応用へ向けた薄膜赤外線吸収膜の作製," 第73回秋季応用物理学会関係連合講演会(愛媛大学), 2012年9月11日-14日, 講演予稿集 13a-F7-9. (1 page)
2. 大石浩史, 赤井大輔, 石田誠, "赤外線イメージセンサに向けたエピタキシャル PZT 薄膜センサと JFET 混載 MOS 一体化プロセスの開発," 第30回「センサ・マイクロマシンと応用システム」シンポジウム(仙台国際センター), 2013年11月5日-7日, 講演論文集 5PM1-B-2. (4 pages)
3. 大石浩史, 赤井大輔, 石田誠, "結晶配向  $\gamma$ -Al<sub>2</sub>O<sub>3</sub>/Si(001)基板への回路インテグレーションと回路特性評価," 第61回春季応用物理学会関係連合講演会(青山学院大学相模原キャンパス), 2014年3月17日-20日, 講演予稿集 18a-E14-2. (1 page)
4. 大江一樹, 米丸翔太, 大石浩史, 赤井大輔, 石田誠, "赤外線吸収膜として SiON を用いた焦電型赤外線センサの作製と評価," 第61回春季応用物理学会関係連合講演会(青山学院大学相模原キャンパス), 2014年3月17日-20日, 講演予稿集 18a-E14-3. (1 page)

5. 米丸翔太, 大石浩史, 赤井大輔, 石田誠, “焦電型赤外線センサの感度向上に向けた配線材料薄膜化,” 第 75 回秋季応用物理学会関係連合講演会(北海道大学札幌キャンパス), 2014 年 9 月 17 日-20 日, 講演予稿集 18p-A19-4. (1 page)
6. 大石浩史, 赤井大輔, 石田誠, “Si(100)基板上への結晶配向 $\gamma$ -Al<sub>2</sub>O<sub>3</sub>薄膜と CMOS 回路のインテグレーション及びその評価,” 第 31 回「センサ・マイクロマシンと応用システム」シンポジウム(くにびきメッセ), 2014 年 10 月 20 日-22 日, 講演論文集 22am2-A3. (5 pages)