

多チャネルセンサに向けたミックス ドメイン信号処理回路

平成30年1月

博士(工学)

電気・電子情報工学専攻

岡澤 貴之

豊橋技術科学大学

多チャネルセンサに向けたミックス トドメイン信号処理回路

論文要旨

ニューラルレコーディングシステム (NRS: neural recording system) やイメージセンサをはじめ、センサシステムのチャネル数は指数関数的な増加傾向を示している。チャネル数の増加に伴い、出力バッファや無線送信回路といった、LSI 外部へデータを出力する回路の消費電力がセンサシステムにおける電力的なボトルネックとなる。これを解消するためには、LSI 内部でデータ量を削減する低消費電力オンチップデータ圧縮回路が必要となる。回路の簡略化という観点から、圧縮アルゴリズムは単純な演算の繰り返しであることが望ましく、特に圧縮センシング (CS: compressed sensing) や JPEG 圧縮で用いられている離散コサイン変換 (DCT: discrete cosine transform) 演算は積和演算の繰り返しのみで実現可能である。しかし、従来のアナログ (電圧・電流) またはディジタル積和演算回路では、小面積化・低消費電力化の達成に限界があった。

本研究では、アナログ信号を入力とするデータ圧縮回路について、入力信号のドメインを遅延時間やビットストリームにおける 0/1 の発生確率といった情報に変換することで、所望の信号処理回路の簡素化・低消費電力化を可能とするミックスドメイン信号圧縮回路アーキテクチャの提案を目的とする。アプリケーションとしては、信号処理回路への要求仕様が異なる 2 種類のセンサアレイ、NRS およびイメージセンサを例に挙げ、それぞれのセンサに適した信号圧縮回路を適用することで、提案アーキテクチャの有効性を検証した。

NRS で測定する活動電位 (AP: action potential) は神経細胞の活動により生じる電気信号であり、1 チャネルあたりの信号帯域は 10 kHz 程度と広く、信号圧縮回路にも高速動作が要求される。NRS における圧縮アルゴリズムとしては、1 回の行列-ベクトル乗算のみによって圧縮可能な CS が挙げられるが、既存の圧縮回路では面積・電力が増加する。そこで本研究では高速な積和演算を効率的に実行可能な時間ドメインアナログ回路による CS エンコーダを提案した。時間ドメインアナログ回路は CMOS 回路の高い時間分解能を活かし微小時間で演算を行うため、高速演算が可能となる。提案 CS エンコーダの構成要素としては、電圧遅延変換回路 (VTC: voltage-to-delay-time converter) および時間ディジタル変換回路 (TDC: time-to-digital converter) の検討を行った。VTC は電圧信号に比例した遅延時間を生成する要素回路であり、キャパシタと電流源を用いた積分回路により伝達特性において高い線形性を実現した。TDC は 2 つのパルスの立ち上がり時間差をディジタル信号に変換する回路要素である。本研究では TDC に必要な同期回路について新しい手法を提案することにより、先行研究に比べて小面積・低電力化を実現した。これらの要素技術を用いて試作した 100 チャネルの神経電位同時計測 LSI は、先行研究に比べてシステム全体で 61 %、CS エンコーダに関しては 81 % の消費エネルギー低減を実現した。

イメージセンサはその膨大なチャネル数により、LSI の出力バッファには 10 Gbps を超える高

速動作が要求されている．そのため消費電力増加がボトルネックとなる．圧縮アルゴリズムとしては，高圧縮率を実現可能な JPEG 圧縮に着目し，JPEG 圧縮に必要な超並列処理を効率的に実行するため，確率的信号処理回路の応用を検討した．確率的信号処理回路は通常のデジタル回路に比べてきわめて小規模な回路で演算を実現できるため超並列演算が容易である反面，入力信号から確率への変換に消費電力の大部分を消費してしまう問題があった．そこで本研究では，入力信号がアナログ信号であることに着目し，ダイナミックコンパレータを利用した低電力な電圧確率変換回路 (VSC: voltage-to-stochastic-bit-stream converter) を提案した．コンパレータを VSC に応用するにあたり，オフセット電圧による入力範囲のシフトおよび確率-入力電圧特性の非線形性を補正する必要がある．本研究では，オフセット補正手法として時間ドメインオフセット検出手法および確率的オフセット検出手法を提案した．また，非線形性の補正に関しては意図的にオフセット電圧をもたせた 2 つのコンパレータ出力を確率的演算により平均することで 8bit の線形性を保障する電圧入力範囲を 4 倍，確率出力範囲を 2 倍拡大させた．提案非線形補正を適応した VSC の消費エネルギーは，既存 A/D 変換回路およびバイナリ BSC (binary-to-stochastic-bit-stream converter) の組み合わせに比べ 86.9 % と大幅な削減に成功した．提案 VSC を用いた JPEG 圧縮回路は既存の VSC を用いたシステムに比べて全システムの消費電力を 56.1 % 削減することに成功した．

本研究におけるこれらの成果により，多チャネルセンサシステムの更なる多チャネル化・小面積化・低電力化が期待される．

Mixed-domain signal processor for multi-channel sensor applications

Abstract

The number of channels of sensor systems such as image sensors and neural recording systems (NRS' s) is exponentially increasing. Along with the increase in the number of channels, data bandwidth and power consumption for wired or wire \cap less data transmitters is dominant part of the total power consumption in a sensor system. To overcome this issue, on-chip low-power data compression is requisite. To simplify such a compression circuit, it is desirable that the compression algorithm in the multi-channel sensor system can be executed by repeating simple operation. In particular, compressed sensing (CS) or discrete cosine transformation (DCT), which can be realized only by repeating simple product-sum operation, is suitable for on chip data compression. However, conventional voltage domain analog or digital data compressors require a large chip area and/or power.

In this study, to reduce power consumption and area, mixed-domain signal processing architecture is proposed. It easily executes the product-sum operation by converting voltage/current domain analog signal to other domains, such as delay time or occurrence probability of 0/1 in bit stream. As an example of applications of the mixed-domain signal processor, two types of sensor array systems, an NRS and an image sensor were assumed, which have different requirements for the signal compression circuits.

NRS measures a voltage signal generated by a nerve activity. Since the signal bandwidth per channel is 10 kHz, the high-speed signal compression circuit is also required. For compression algorithms in NRS, CS, which can be executed by only a matrix-vector multiplication, is effective. However, conventional implementation requires large area and/or power. In this study, a time domain analog CS encoder, which can efficiently execute high-speed product-sum operation owing to fine time resolution of CMOS circuit, is proposed. A voltage-to-delay-time converter (VTC) and a time-to-digital converter (TDC) are designed for the CS encoder. VTC is a circuit that converts voltage into delay time. On the consideration of VTC, high linearity on transfer function was realized by using an integrator that is composed of capacitor and current source. TDC measures time differences of rising edge between two pulses. On the consideration for TDC, a novel synchronous circuit necessary for TDC is proposed, resulting in a smaller area and lower power consumption compared with previous works. A 100-channel NRS LSI based on the time-domain analog CS encoder using these elements is fabricated in a 180 nm CMOS process. It achieved 61 % reduction in energy consumption in the entire

system and 81 % in CS encoder compared with other voltage domain analog circuits with CS.

Recently, image sensors have the enormous number of pixels and its data transmitter to output needs much higher speed over 10 Gbps. Therefore, increasing its power consumption becomes a bottleneck. As a compression algorithm, JPEG compression is suitable for realizing high compression ratio. Since JPEG compression requires massively parallel product-sum operation, stochastic signal processor, which can execute product-sum operation by using few logic elements, can be useful approach. However, in stochastic signal processing, converting from an input signal to a probability requires larger power than core circuits. In this study, a low-power voltage-to-stochastic-bit-stream converter (VSC) using a dynamic comparator is proposed. To apply the comparator to VSC, it is necessary to correct its offset voltage of the comparator and the nonlinearity of a transfer function between probability and input voltage. In this study, a time-domain and stochastic offset detection techniques are proposed. Nonlinearity of the transfer function limits a linear input and output range. To correct the nonlinearity of the transfer function, stochastic nonlinearity correction technique by averaging the outputs of two comparators with intended offset voltages is proposed. By the proposed technique, the voltage input range and the probability output range are expanded by 4 times and by 2 times, respectively, ensuring 8 bit linearity. The energy consumption of the proposed comparator-based VSC with the nonlinear correction has been greatly reduced by 86.9 % compared with conventional VSC based on ADC and BSC (binary-to-stochastic-bit-stream converter). A stochastic JPEG compressor using the proposed VSC can reduce the total power consumption by 56.1 % compared with the conventional VSC based systems.

Through these application examples, It is considered the proposed architecture would contribute to low-power area-efficient sensor systems.

目次

第 1 章	序論	1
1.1	多チャネルセンサシステム	1
1.1.1	ニューラルレコーディングシステム (NRS)	2
1.1.2	イメージセンサ	7
1.1.3	赤外線センサアレイ	8
1.2	ミックスドメイン信号処理回路	9
1.2.1	時間ドメインアナログ信号処理回路	9
1.2.2	確率的信号処理回路	13
1.3	本研究の目的と論文構成	16
第 2 章	時間ドメインアナログ信号処理回路の NRS 応用	18
2.1	緒言	18
2.2	圧縮センシング (CS) の原理	18
2.3	時間ドメインアナログ CS エンコーダ	20
2.3.1	システム構成および動作原理	20
2.3.2	構成要素への要求仕様	22
2.3.3	結言	26
第 3 章	時間ドメインアナログ CS エンコーダの要素回路	27
3.1	緒言	27
3.2	電圧遅延時間変換回路 (VTC)	27
3.2.1	動作原理	28
3.2.2	VTC のキャリブレーション手法	30
3.2.3	VTC の評価結果	31
3.3	時間デジタル変換回路 (TDC)	31
3.3.1	リングオシレータ型 TDC の動作	34
3.3.2	リングオシレータ位相によるカウンタ同期手法	34
3.3.3	リングオシレータ型 TDC の電力最適化	37
3.3.4	TDC の統計的キャリブレーション	39

3.3.5	提案 TDC の評価	40
3.4	提案 CS エンコーダの設計制約	42
3.5	結言	43
第 4 章	時間ドメインアナログ CS エンコーダの試作および評価	44
4.1	緒言	44
4.2	試作した時間ドメインアナログ CS エンコーダおよび評価手法	44
4.3	測定結果	52
4.4	結言	59
第 5 章	確率的信号処理回路の JPEG 圧縮回路応用	60
5.1	緒言	60
5.2	JPEG 圧縮の原理	60
5.3	確率的 JPEG 圧縮回路	62
5.3.1	システム構成および動作原理	62
5.3.2	確率的信号処理回路の演算精度	64
5.3.3	提案 JPEG 圧縮回路の動作および電力検証方法	66
5.4	結言	68
第 6 章	確率的信号処理回路の要素技術	69
6.1	緒言	69
6.2	電圧確率変換回路 (VSC) および確率生成回路 (SNG)	69
6.2.1	コンパレータによる電圧確率変換	69
6.2.2	統計的オフセット電圧低減	72
6.2.3	確率的オフセット電圧検出	72
6.2.4	時間的オフセット電圧検出	79
6.2.5	確率的信号処理による非線形性の補償	83
6.2.6	提案 VSC の評価	84
6.3	結言	84
第 7 章	確率的 JPEG 圧縮回路の評価	86
7.1	緒言	86
7.2	確率的 JPEG 圧縮回路の回路構成	86
7.3	提案 JPEG 圧縮回路の評価	88
7.4	結言	91
第 8 章	総括	93
参考文献		96

謝辞	104
研究業績	105
Appendix: 時間ドメインアナログ CS エンコーダで用いた検証用神経電位信号の生成手法	106
参考文献	108

第 1 章

序論

1.1 多チャネルセンサシステム

センサは、光、温度、圧力、加速度といった物理量を電気信号に変換するデバイスであり、これまでに様々なセンサが研究・実用化されている。例えばスマートフォンには図 1.1 に示すように様々なセンサが搭載されている。特に半導体製造技術を用いたセンサは小型化が可能であり、同種のセンサを多数並べてセンサアレイを形成することが容易である。本論文では、センサアレイに増幅回路や信号処理回路などを組み合わせたシステムを多チャネルセンサシステムと呼ぶ。センサをアレイ化して同時計測することにより、単体のセンサでは得られない情報が取得可能となる。最も身近な光センサアレイであるイメージセンサを例に挙げると、光センサ単体ではある一点の輝度

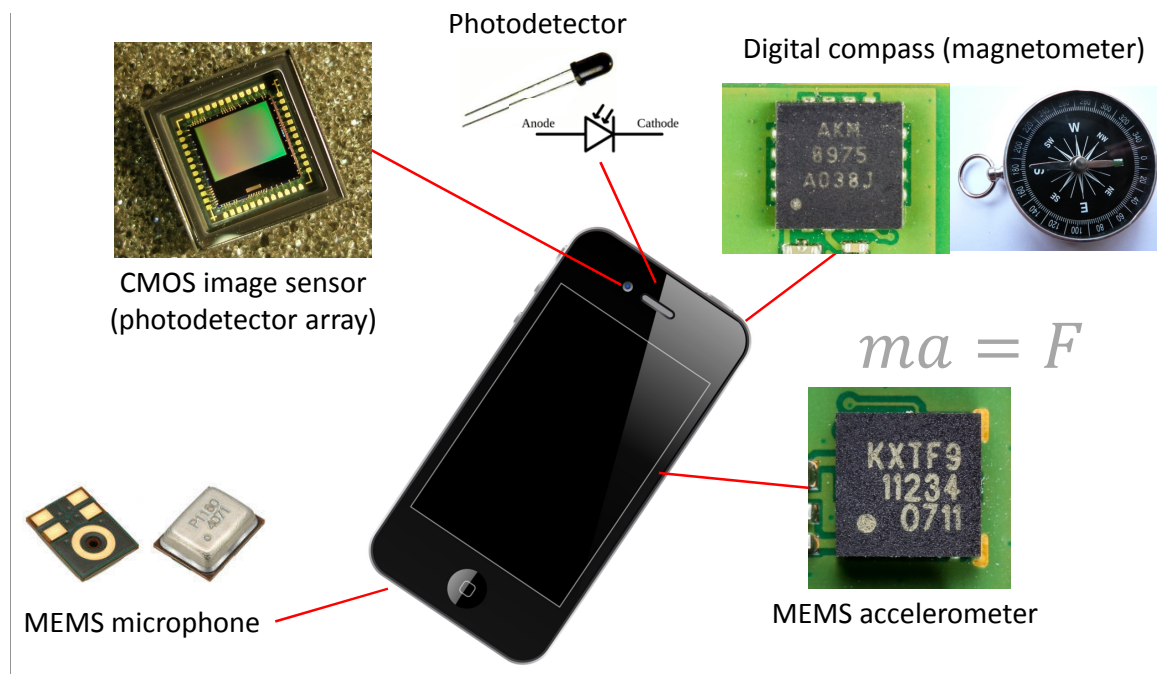


図 1.1 スマートフォンに搭載されているセンサの一例

情報が得られるだけであるが、それを2次元状に配置することで、画像として認識できる情報を得ることができる。センサが小型化したことにより、センサ直下に増幅や信号処理を担うLSIを実装し、1つのパッケージに集積することが可能となった。これにより、配線によるセンサ信号の劣化を最小化でき、また取得した信号に対して特徴抽出といった、従来後段で行われていた信号処理をLSIで行うことで、データ量の削減やセンサデバイスの取り扱い簡易化が期待できる。半導体製造技術の微細化に伴い、同時計測可能なチャンネル数はムーアの法則のような指数関数的な増加を示し、脳の活動を記録するニューラルレコーディングシステム (NRS: neural recording system) で用いられる神経プローブのチャンネル数を例に挙げると、同時計測可能なチャンネルの数は7.2年でおおよそ2倍増加している [1]。

多チャンネルセンサシステムを構築するにあたり、同時計測に伴うデータ帯域増加による電力増加がボトルネックとなる。センサシステムが小型化することにより、携帯機器への組み込みや、医療用デバイスとして体内への埋め込みといった応用が期待される。このようなアプリケーションでは、電池やエネルギーハーベスティングなど限られた供給電力での動作が要求されるため、システムの低消費電力化は重要な課題となる。センサシステムにおいて電力的なボトルネックとなるのはLSI外部へデータを送信するトランスミッタの消費電力である。トランスミッタの消費電力は送信データ帯域に比例するため、低消費電力化のためにはLSI内部でのデータ削減が必要となる。したがってLSIに搭載する小面積、低消費電力なデータ圧縮回路が必須となる。データ圧縮回路において重要な演算の一つに多くのデータ圧縮アルゴリズムに多用されている積和演算が挙げられる。積和演算は複数の入力値に対してそれぞれ重み付け係数を掛けたものの総和をとる演算であり、この積和演算回路を低消費電力化すれば、多くの圧縮アルゴリズムにおいて低消費電力化が期待できる。しかし、一般に積和演算回路のハードウェアコストは高く、通常のアナログまたはデジタル信号処理回路による実装では小面積化、低消費電力化に限界があった。

そこで本研究では多チャンネルセンサシステムについて、入力信号を遅延時間やビットストリームに‘1’が出現する確率など、信号処理に適した信号ドメインに変換した後に演算を行うミックスドメイン信号処理回路による最適化を提案し、既存の信号処理回路を超える小面積化、低消費電力化を目指す。本論文では、データ圧縮回路への要求仕様が異なるNRSおよびイメージセンサ2種類のアプリケーションについて、時間ドメインアナログ回路、確率的信号処理回路をそれぞれ応用し、提案する信号処理回路の有効性を検証する。次節では、それぞれのアプリケーションについて、先行研究におけるセンサシステムの構成について紹介し、解決すべき課題および信号処理回路に要求される性能についてまとめる。

1.1.1 ニューラルレコーディングシステム (NRS)

NRSは、脳を構成する神経細胞が発する電気信号(神経電位)を計測・記録することで、脳活動を把握するシステムである。現在盛んに研究されているNRSの応用先としては、脳から得られた信号により機械やコンピュータを制御するブレインマシンインターフェース(BMI: brain-to-machine interface) またはブレイン・コンピュータ・インターフェース(BCI: brain-to-computer interface)

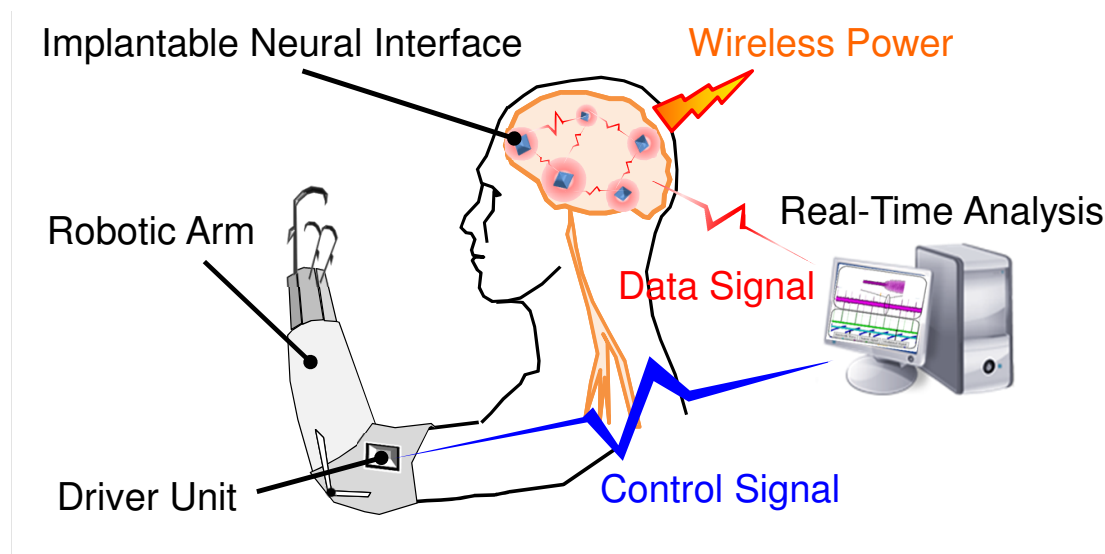


図 1.2 埋め込みニューラルレコーディングデバイスによる BMI の概念図 [34]

が挙げられる [2]。これまでに神経プローブアレイを用いて PC のマウスカーソルの操作 [3]，ロボットアームの制御 [4] を行う研究等が報告されており，将来的に義手義足の繊細な制御や，視覚や聴覚などの失われた感覚器の補完，さらには BCI による単純計算のような人間の苦手とする演算の補完といった応用が期待されている。これらの用途には，脳の神経細胞直近から信号を取得する神経プローブアレイを頭部に埋め込み計測を行う必要がある [5],[6]。神経プローブの種類としては，脳表面に電極に接触させて計測する ECoG(electrocorticogram) 測定用電極に代表されるような平面電極 [7]–[13] 脳の内部まで電極部を刺入して使用する刺入型電極 [14]–[32]，が挙げられ，特に BMI への応用においては，脳の深部まで刺入することで詳細な脳活動を記録できる刺入型電極が有用である。当初，神経プローブはガラス電極などにより作成されていたが，半導体技術を用いた機械加工技術 MEMS(micro electro mechanical systems) の応用により [14]，図 1.3 に示すような小型・高密度な神経プローブの作製が可能となった。図 1.3(a) は “Utah array” の名称で知られる 100 チャネル電極アレイであり，ウェハを格子状に素子分離したものを削ることにより剣山状の電極を形成している。図 1.3(b) は 1 本の神経プローブに複数の測定電極を備えたデバイスである [32]。このようなプローブを格子状に並べることで，神経電位の空間的な分布を計測できる。前述の通り神経プローブの集積度は 7.4 年で 2 倍増加しており [1]，チャンネル数は更に増加することが見込まれる。

神経プローブの高集積化に伴い，微小な神経プローブアレイに，アンプ，信号処理回路などを一体化したデバイス [17]–[30],[7]–[12] の作製が可能となった。さらにデータ通信および電力伝送を無線化したデバイス [18]–[21],[23],[24],[27],[11] も登場している。図 1.4 に NRS 向けの信号処理回路 LSI の一例を示す。図 1.4(a) は，プローブと信号処理回路が一体となったデバイスであり，単体で 1350 チャネルの AP 信号を同時にデジタル信号として出力可能である [30]。図 1.4(b) は，LFP までの帯域に制限されるものの 4096 チャネルの信号を無線送信可能とするシステムであり，

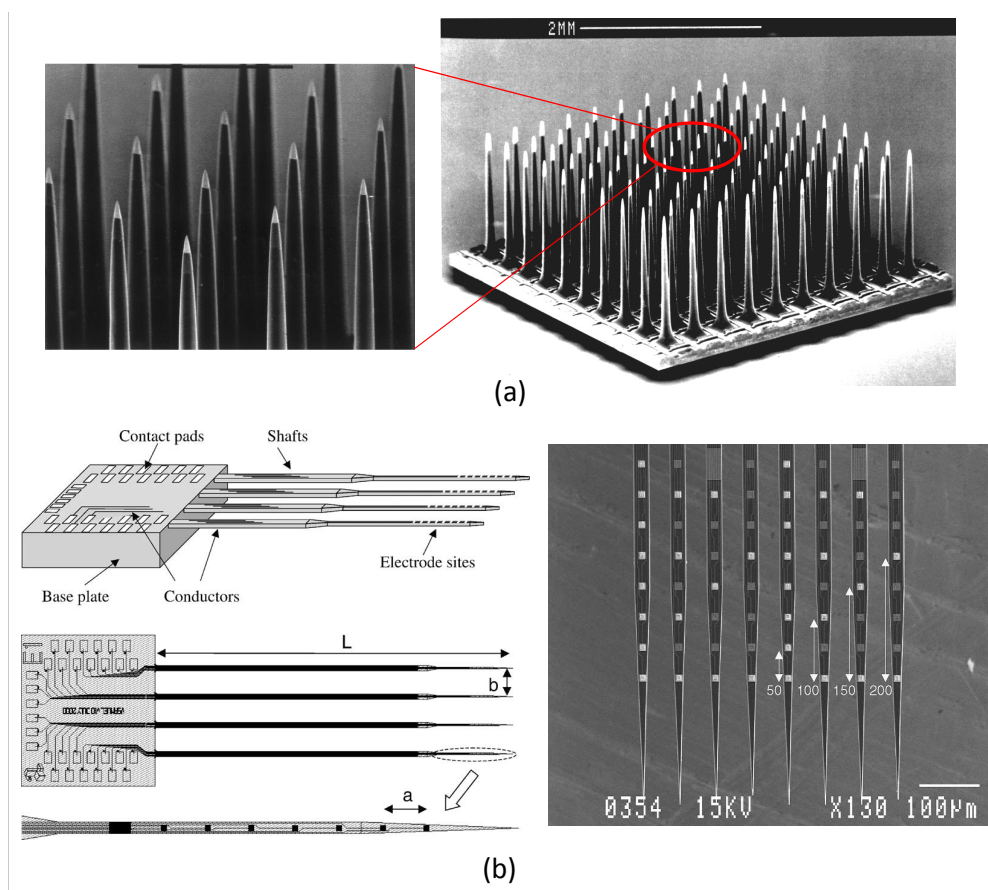


図 1.3 MEMS 技術を応用した刺入型電極の例, (a)“Utah array” の名称で知られる 100 チャネル電極アレイ [15], (b)1 本のプローブ複数の電極を備えた電極アレイ [32].

64 チャネル分の信号処理回路が 1 チップに集積されている [11].

図 1.5 に 100 チャネル NRS のブロック図を示す. 神経プローブアレイから得られた信号はそれぞれアンプにより増幅された後, A/D 変換回路 (analog-to-digital converter) によりバイナリコードに変換した後, データトランスミッタによりチップ外に出力される. 神経電位には複数の神経細胞の活動の結果生じ, 200~300 Hz 程度の帯域をもつ LFP (local field potential), 神経細胞単体の活動を示し, 10 kHz 程度の帯域をもつ AP (action potential) がある [5]. 信号の持つ情報量は, 帯域の広い AP の方が多く, 一般に BMI や BCI の応用においては, より詳細な情報をもった AP の多チャネル計測が必要である [2]. このような高速な信号帯域を持つセンサをアレイ化する場合, 入力信号を増幅するアンプは 1 チャネルごとに持つ必要があるため, チャネル辺りの面積が増加し, 測定チャネルの高密度化が難しい. さらに, 得られる信号のデータ帯域も広く, AP の分解能・帯域をカバーする 10 bit, 20 kHz で A/D 変換した場合, 信号のもつデータ帯域は 1 チャネルあたり $10 \text{ bit} \times 20 \text{ kHz} = 200 \text{ kbps}$ となる. たとえば 100 チャネルの信号を出力する場合, 必要な通信路の帯域は $200 \text{ kbps} \times 100 \text{ ch.} = 20 \text{ Mbps}$ となる. このような NRS において電力的なボトルネックとなるのはデータ送信回路の消費電力である. 広帯域のデータを LSI 外部に出力

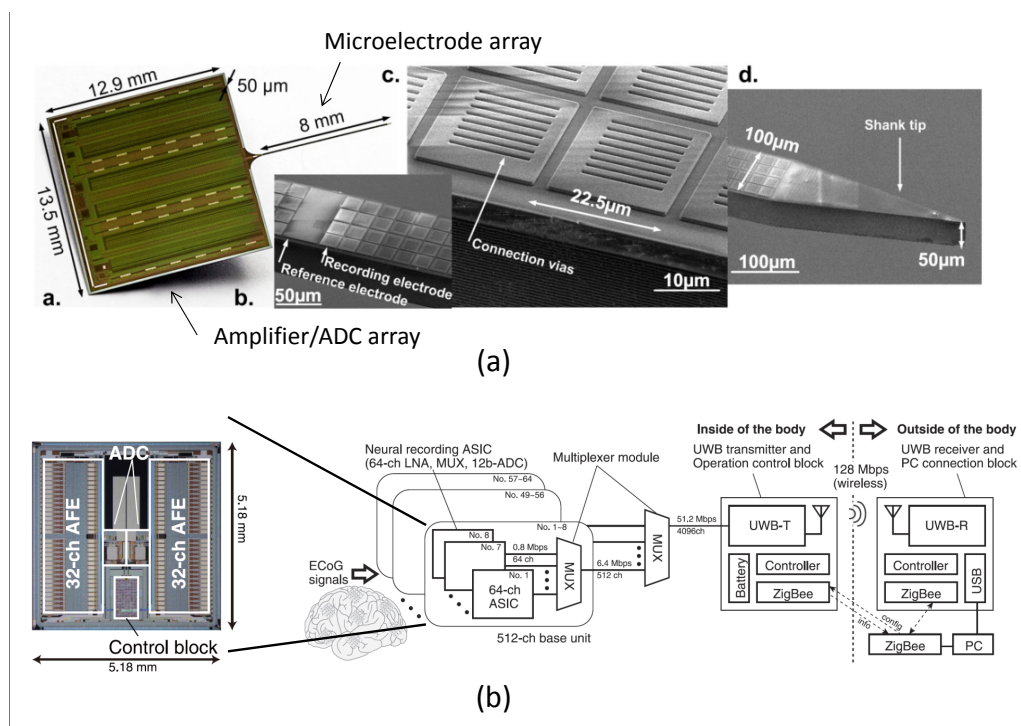


図 1.4 多チャンネル NRS 向け信号処理回路 LSI の一例, (a)1356 チャンネル同時計測 LSI[30], (b)4096 チャンネル同時計測システムおよび 64 チャンネル信号処理回路 LSI のチップレイアウト [11].

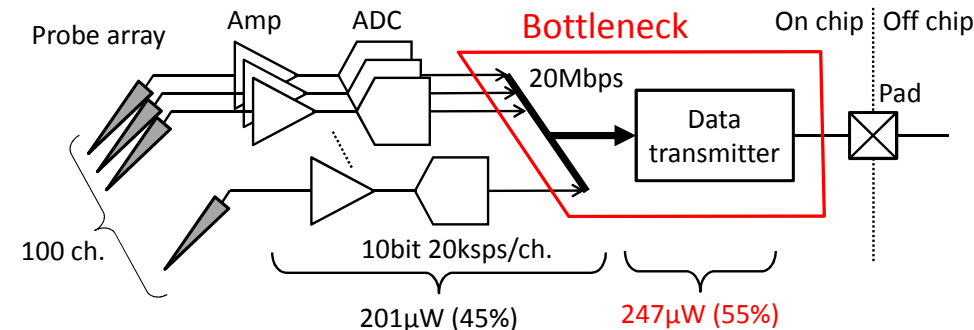


図 1.5 100 チャンネル NRS におけるデータ帯域および消費電力

するためには、LSI の出力に接続された伝送線路を駆動するためのトランスミッタが必要となる。それぞれの回路ブロックに現状最も電力効率の高い回路を用いた場合を想定すると、アンプとして $2 \mu\text{W}/\text{ch.}$ 文献, A/D 変換回路に文献, トランスミッタに文献を用いた場合, 信号処理回路の消費する電力 $\{2 \mu\text{W} + (0.705 \text{ fJ}/\text{conv.} \times 10 \text{ bit} \times 20 \text{ kHz})\} \times 100\text{ch.} = 200 \mu\text{W}$ に対して, トランスミッタが消費する電力は $20 \text{ Mbps} \times (81 \text{ Gbps}/\text{W})^{-1} = 247 \mu\text{W}$ となり, 信号処理回路の消費電力を超えてしまう。トランスミッタの消費電力はデータ帯域に比例するため, データ帯域と同じ割合で増加し, 文献 [11] と同じ 4096 チャンネルのデータ送信を行うために必要な通信路の帯域

は 819 Mbps にもなり，トランスミッタの消費電力は $819 \text{ Mbps} \times (81 \text{ Gbps/W})^{-1} = 10.1 \text{ mW}$ となる．そのため，AP を測定する多チャネル NRS はそのデータ帯域の広さや消費電力から，電源供給や信号出力に必要なケーブルを体外へ引き出す必要がある．消費電力に関しては電源供給の問題だけでなく，発熱による生体への影響についても考慮しなければならない．図 1.4(a) に示した文献 [30] のデバイスは，LSI の電力消費に伴う発熱による脳へのダメージを避けるため，幅 $100 \text{ } \mu\text{m}$ ，長さ 8 mm のデバイスに対して $12.9 \text{ mm} \times 13.5 \text{ mm}$ の回路チップを頭部の外に露出させた状態で計測する必要がある．このように脳を開口したままの計測が必要となり，感染症リスクにより長期間の使用は困難となる [33]．上記の応用において長期間の使用を実現するためには，図 1.2[34] に示すような NRS の無線化が必要となる．無線 NRS では限られた電力供給で無線データ転送を置こうなう必要があるため，圧縮によるデータ帯域および消費電力削減は必須となる．

ニューラルレコーディングに特化した信号圧縮としては，スパイク検出器によりスパイクが入力されていない場合のサンプリング回数を減らす方式 [35] や，後段の処理に必要な情報のみを抽出することで送信に必要なデータを大幅に削減するもの [36] などがある．これらの手法は確かにデータ帯域の削減には効果的であり，測定に必要な電力に関しても大幅に削減できる．しかし，前者は電極の状態，神経細胞との距離などの要因により，それぞれのプローブごとに神経電位の振幅に大きな差があり，スパイク検出器の閾値の設定によっては，本来測定すべきスパイクを取り逃してしまう可能性がある．また，本手法はデータ圧縮のために一旦無圧縮の状態のデータをバッファに保存する必要がある． N チャネルのセンサ信号を n_{bit} ビットの分解能で A/D 変換した結果を，圧縮のために n_{samp} サンプル分保存する場合を考え，レジスタ実装に必要な面積を計算する．レジスタを D フリップフロップ (D-FF: D-type flip flop) により構成した場合，レジスタの面積 S_{reg} は

$$S_{reg} = N \cdot n_{bit} \cdot n_{samp} \cdot S_{D-FF}$$

となる．ただし， S_{D-FF} は D-FF の面積である．例えば $N = 100$ ， $n_{bit} = 10$ ， $n_{samp} = 100$ としたとき， 180 nm CMOS プロセスにおいて， 6.6 mm^2 もの面積をレジスタが占領してしまう．これは 180 nm CMOS プロセス，面積 5 mm 角チップにおいて，全体のおよそ $1/4$ 以上の面積に相当する．一方，後者のようにデータを大幅に削減する場合，外来ノイズなどにより意図しない信号が入力された場合，得られたデータが正確かどうかの判断が難しくなる．また，圧縮アルゴリズムが複雑になると必要な演算の回数が増え，信号処理回路には高速な動作が要求される．クロック同期式のシステムにおいては，電力がクロック周波数に比例するため，圧縮アルゴリズムはなるべく単純なものが望まれる．

以上のことから，ニューラルレコーディングにおけるデータ圧縮アルゴリズムに求められる要素としては，

- 高圧縮率
- 特徴抽出回路が不要
- アルゴリズムが簡易であり，計算量が小さい

データ圧縮回路に求められる要素としては，

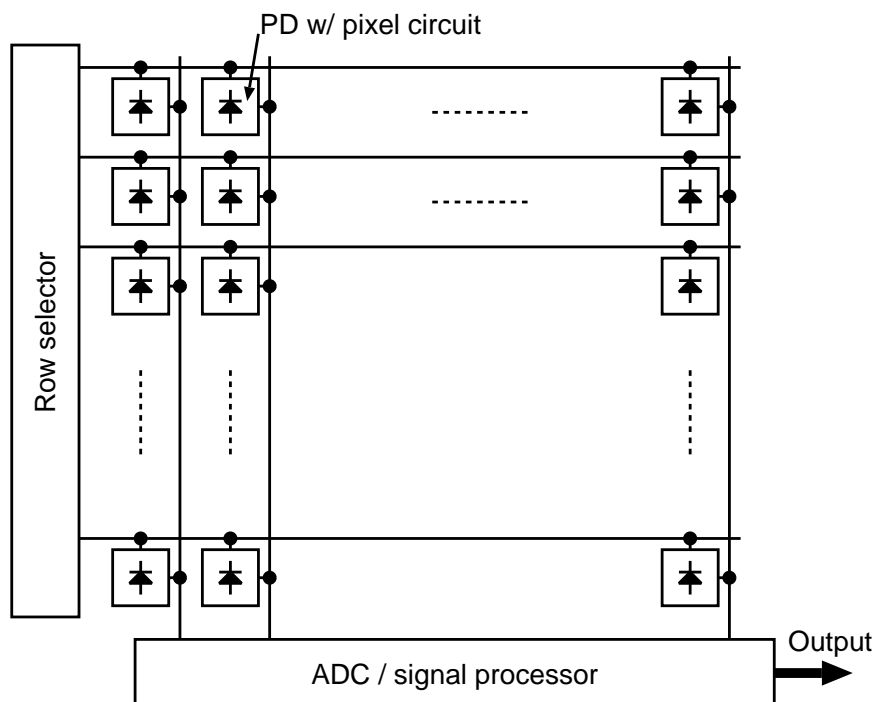


図 1.6 CMOS イメージセンサのブロック図

- 回路面積および消費電力が小さい
- データを一時保存するレジスタが不要
- 低いクロック周波数で動作

が挙げられる。

1.1.2 イメージセンサ

イメージセンサはフォトダイオードによる光センサをアレイしたものであり、最も身近なセンサアレイである。フォトダイオードはセンシングエリアに格子状に配置されており、フォトダイオードからの輝度情報読み出し回路の方式により電荷結合素子 (CCD: charge coupled device) を用いるものと CMOS 回路を用いるものに大別される [37]。当初 CMOS イメージセンサは画質が悪かったため、CCD イメージセンサは長らく主流であったが、製造に特殊なプロセスを用いるためコストが掛かり、また信号処理回路を同一チップ上に集積することは難しかった。近年では一方で、これまで画質の面で劣っていた CMOS イメージセンサの性能向上により、低コスト・低消費電力という特徴を活かしてがスマートフォンをはじめとする小型端末に広く用いられるようになった [38]。また、CMOS イメージセンサは CMOS プロセス上で製造可能であるため、回路との一体化に有利であり、ピクセルごとに回路を搭載することも可能である。

図 1.6 に CMOS イメージセンサのブロック図を示す。CMOS イメージセンサにおける読み出しは、メモリのように行を選択することによって行う。選択されたピクセルの輝度情報は、列数分

用意された A/D 変換回路によりバイナリコードに変換され出力される。信号処理回路を集積できるため、A/D 変換された信号に対して色や素子ばらつきの補正もオンチップで行うことが可能であり、また SLVS-EC のような高速データ伝送可能かつ低消費電力化に有利なインターフェースをオンチップに実装可能 [39],[40] となる。

イメージセンサの信号処理回路に要求される 1 チャネルあたりの信号帯域はそれほど広くなく、通常 30 fps–60 fps 程度であり、高速撮像を特徴とする文献 [40] におけるフレームレートでも 480 fps 程度である。しかし、イメージセンサのチャネル数は先述の NRS に比べて非常に多く、文献 [41] に示すイメージセンサのピクセル数は 250 Mpixel となる。LSI 外部へのデータ送信に要する電力がシステムのボトルネックとなるのは先述の NRS と同様であるが、その膨大なチャネル数のためにトランスミッタには極めて高速な動作が要求され、文献 [40] におけるデータ帯域は 8.3 Mpixel, 480 fps で 56 Gbps, 文献 [41] におけるデータ帯域は 250 Mpixel, 5 fps で 18 Gbps となる。結果として、トランスミッタの消費電力は NRS よりも大きくなり、イメージセンサのチャネル数増加を妨げる要因となる。一方で、イメージセンサから得られたデータはそのまま用いられることは少なく、その多くは最終的に圧縮される。特に動画として利用される場合、無圧縮データの伝送・保存、はその膨大なデータ帯域により非現実的となる。一般的なイメージセンサのアプリケーションを考えた場合、まずイメージセンサから無圧縮のデータを取得したものを一旦メモリに保存した後、ディジタル信号処理回路によりデータ量を削減する。つまり、最終的に情報の多くを圧縮により削減するにもかかわらず、センサから冗長な情報を読み出すために多くの電力を消費することになる。もし、オンチップデータ圧縮により予めデータ帯域を削減すれば、システム全体の電力最適化が期待できる。しかし、チャネル数が膨大であるため、データ圧縮回路には超並列演算が要求される。しかし、このような演算回路を通常のディジタル信号処理回路により実現する場合、膨大な回路面積および電力が必要となるため、それらの解決が必要となる。

1.1.3 赤外線センサアレイ

温度を持った物体は、その温度に応じた波長の光 (電磁波) を放射している。これを黒体放射と呼び、放射される波長のピーク λ_{max} はウィーンの変位則

$$\lambda_{max} = \frac{b}{T}$$

で与えられる、ただし、 T [K] は絶対温度、 $b = 2.8977729(17) \times 10^{-3}$ [K · m] は比例定数である。例えば、人体が発する光の波長のピークは熱赤外線と呼ばれる波長帯の $\lambda_{max} = 10 \mu\text{m}$ 程度であるが、熱した金属を 1000°C 程度まで加熱すると、 $\lambda_{max} = 2.3 \mu\text{m}$ となり、放射される波長分布の裾野が可視光に入り、赤く光っていると認識できる。つまり、熱赤外線の帯域における放射エネルギー強度を測定することで、物体の温度を間接的に測定できる。

熱赤外線を測定可能なデバイスとしては、主にサーモパイルと焦電素子が存在する。サーモパイルは小型化した熱電対であり、熱赤外線を受けて素子が加熱されるとゼーベック効果により起電力が生じることを利用している。サーモパイルアレイは、サーモグラフィとして広く使用されてい

る．文献 [42] は自動車向け人体検知を想定した， 48×32 画素のサーモパイルサアレイであり，シリコン基板上にセンサ素子を形成するためアンプや信号処理回路の集積が容易となっている．しかし，サーモパイルは素子の感度が低く，高ゲイン低ノイズなアンプが必要である．一方で焦電素子は，熱赤外線を受けて素子が加熱されることにより誘電体の分極変化による起電力が生じることを利用している．焦電素子はサーモパイルに比べて高感度であり，単素子で自動ドアやセンサライトなどの人体検知に広く用いられおり，CMOS 集積回路との一体化についても研究されている． γ アルミナ (Al_2O_3) 薄膜を用いたものは，半導体基板上にエピタキシャル成長法を用いて成膜可能であり，画素の高密度化，CMOS LSI による信号処理回路との一体化が期待されている [43]．

入力信号は前述の NRS やイメージセンサに比べて帯域周波数が狭く [44] かつチャネル数も多くない．しかし文献 [42] で示されているような車載向けの人体検知には，イメージセンサ並の信号帯域およびチャネル数が必要となるため，将来的にはイメージセンサ同様のデータ帯域増加に伴う問題が起これと考えられる．また，文献 [42] のサーモパイルアレイは，CMOS イメージセンサと似た行アドレスによる素子選択回路を持ち，CMOS イメージセンサとほぼ同様の信号処理回路を流用可能であると考えられる．

1.2 ミックスドメイン信号処理回路

一般的なセンサシステムにおける信号処理には，オペアンプなどにより入力信号と同じ電圧・電流ドメインで演算を行うアナログ信号処理回路，A/D 変換後のデジタル信号に対して演算を行うデジタル信号処理回路が用いられる．しかし，これら既存の手法は積和演算を行う上で最適とは言えず，回路面積，消費電力の削減に限界があった．そこで本研究では積和演算回路のアーキテクチャとして，これまで一般的に用いられてきた電圧・電流によるアナログ信号処理またはデジタル信号処理に代わり，時間ドメインアナログ信号処理回路および確率的信号処理回路を用いることを提案する．ミックスドメイン信号処理回路では，図 1.7 に示すように入力信号を演算の適した信号ドメインに変換することで高効率に信号処理を行う．本節では，時間ドメインアナログ信号処理，および確率的信号処理について，その概念および，既存の信号処理手法との差異について紹介する．時間ドメインアナログ信号処理回路・確率的信号処理回路どちらも積和演算に適したアーキテクチャであるが，適した信号帯域が異なるためアプリケーションによりどちらを採用するかを選択する必要がある．また，先行研究におけるそれらの応用先，および信号処理回路のシステム構成，必要な要素技術についても述べる．

1.2.1 時間ドメインアナログ信号処理回路

時間ドメインアナログ信号処理回路は，連続時間の情報を入出力信号として扱い演算を行う回路である．一般に用いられるアナログ回路とは回路構成は大きく異なり，構成要素の多くはロジック回路素子である．ここでは，信号処理の分野で多用される積和演算回路を例に挙げ，まずは通常の電圧ドメインアナログ信号処理回路，デジタル信号処理回路の回路構成について述べる．

従来の電圧ドメインアナログ回路およびデジタル信号処理回路による積和演算回路の実現例を図1.8に示す．なお，ここでは入力信号と ± 1 の積和演算を想定しており，各チャネルの入力電圧 v_1, v_2, \dots, v_n および， ± 1 の係数 $a_1, a_2, a_3, \dots, a_n$ を入力として，出力 c をバイナリコードとして得る回路構成である．まず，図1.8(a)に示す電圧ドメインアナログ信号処理回路について説明する．各チャネルの信号 v_i と係数 a_i ($1 \leq i \leq n$)との積 $v_i \cdot a_i$ がスイッチトキャパシタによる加算器に入力されている．スイッチトキャパシタ加算器はオペアンプの帰還素子として抵抗ではなくキャパシタを用いることで，抵抗を用いる場合生じる定常電流を必要としない加算器である．演算開始前はリセット状態となっており， ϕ_1 に接続されているスイッチは開き， ϕ_2, ϕ_3 に接続されているスイッチは閉じ，キャパシタ C_1, C_2 はリセットされる． ϕ_3 が閉じたことにより $v_{xi} = 0$ Vとなり， ϕ_2 が閉じたことにより C_2 両端の電圧は0 Vとなる．またオペアンプはボルテージフォロアとして動作することで， $v_{i-} = v_{op} = 0$ V．つまり，リセット状態における C_1, C_2 の両端の電圧は0 Vとなる．次に， ϕ_3 を開き， ϕ_1 を閉じると， C_1 の左側の電位 v_{xi} は，各チャネルの入力と係数の積 $v_i \cdot a_i$ となる． v_{i-} 基準の C_1 両端の電圧は v_i となる．続いて， ϕ_1, ϕ_2 を開き， ϕ_3 を閉じると， C_1, C_2 によるフィードバックにより，オペアンプの出力 v_{op} は

$$v_{op} = -\frac{C_1}{C_2} \sum_{i=1}^n a_i \cdot v_i$$

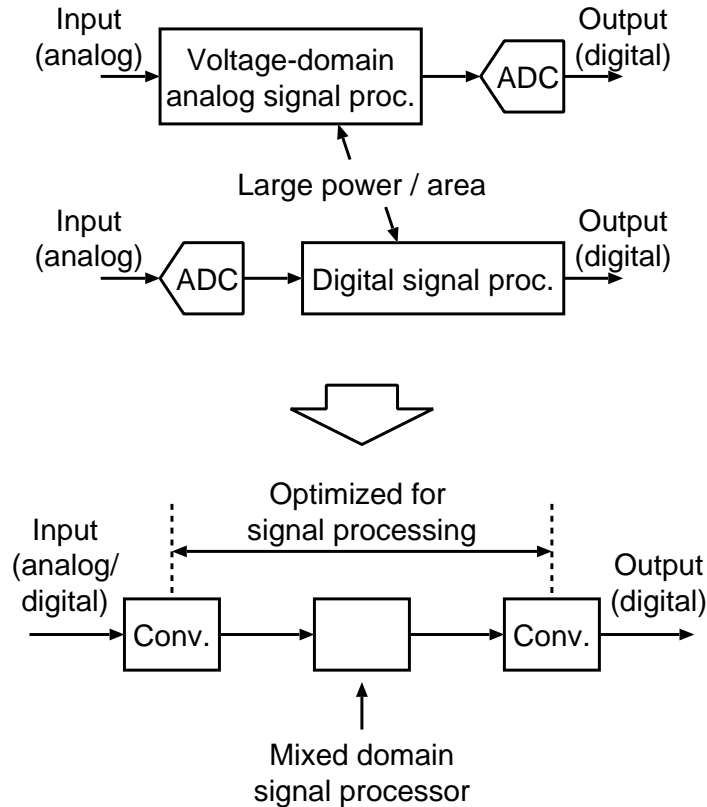


図 1.7 ミックスドメイン信号処理による最適化

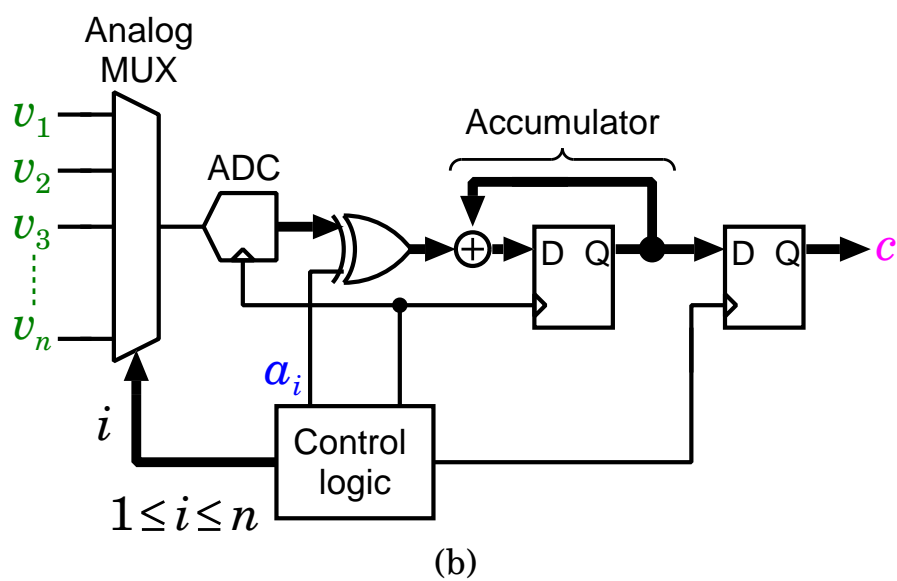
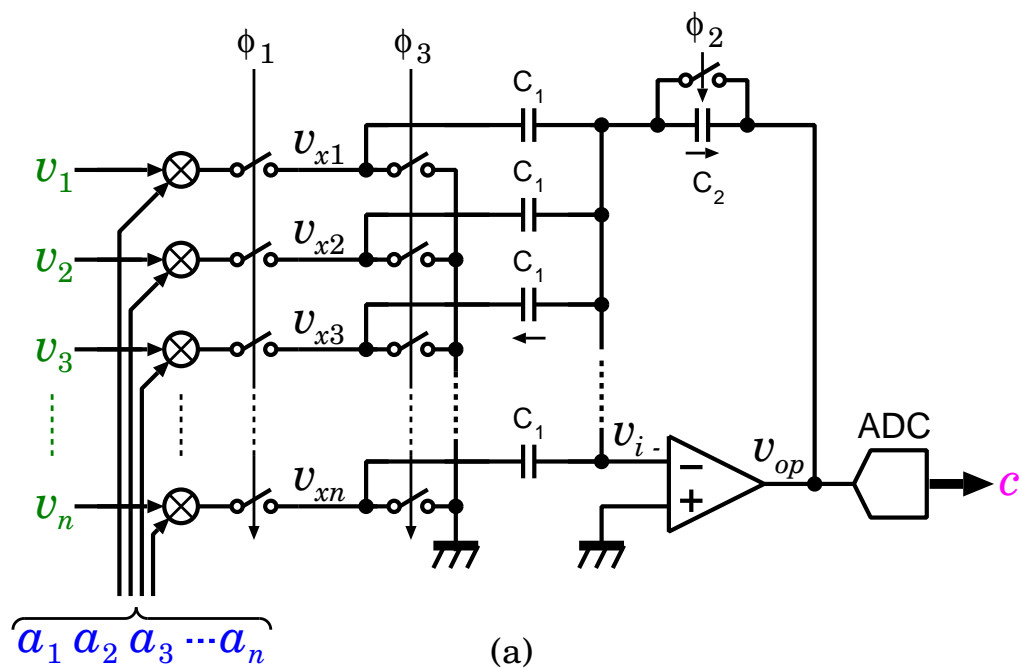


図 1.8 従来の (a) 電圧ドメインアナログ回路および (b) デジタル信号処理回路による積和演算回路の実現例

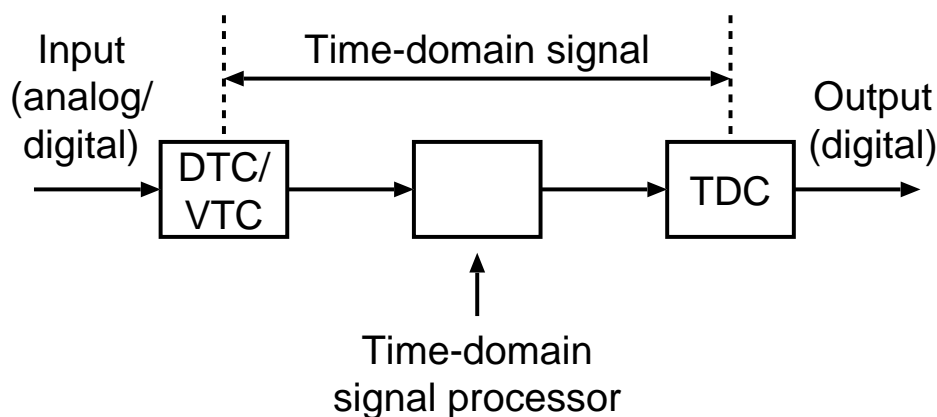


図 1.9 時間ドメイン信号処理回路のブロック図

となる．最後に， v_{op} は A/D 変換回路によりバイナリコードに変換され，演算結果 c を得る．電圧ドメインアナログ回路は基本的に 1 サイクルで 1 回の積和演算を実行できる．電圧ドメインアナログ回路は，演算に用いるオペアンプを駆動するために常にバイアス電流が必要となり，スタティック消費電力が増加する．一方，図 1.8(b) に示すデジタル信号処理回路による積和演算回路は，まず入力電圧をバイナリコードに変換した上で演算を行う．A/D 変換回路に入力される電圧はマルチプレクサ (MUX) により選択することで回路規模を削減する．係数の乗算は排他的論理和 (Exclusive OR: XOR) により行う． $a_i = 0$ のときは A/D 変換された信号は非反転， $a_i = 1$ のときは反転される．累積加算は加算回路と D-FF により構成したアキュムレータにより実行し，必要な加算器の数を削減する．1 回積和演算は n サイクルで完了し，最後の演算サイクルで右側の D-FF にクロックを供給し，演算結果 c を更新する．デジタル信号処理回路はスタティック電力消費は小さい反面，1 クロックごとに各演算機のノードをビット数分スイッチングする必要があるため，ダイナミック消費電力が増加する．

そこで本研究では，信号を時間情報に変換してから演算を行う時間ドメインアナログ回路により積和演算を行うアーキテクチャの提案・検討を行う．時間ドメイン信号処理回路における信号の流れを図を 1.9 図に示す．電圧ドメインのアナログ信号または，デジタル信号で与えられた入力信号は，VTC(voltage-to-delay-time converter) または DTC(digital-to-delay-time converter) により，時間情報に変換される．その後，後段の時間ドメイン信号処理回路 (time domain signal processor) により演算が行われた後，TDC によりバイナリのデジタル信号に変換される．1 回の積和演算に必要な時間は CMOS プロセスに依存し，本研究で用いた 180 nm CMOS プロセスでは $2.5 \mu\text{s}$ 程度，時間分解能は 1 ns 程度となる．そのため，NRS のように高速な積和演算を必要とするアプリケーションに有効であると考えられる．

時間ドメイン信号処理回路は，エラー訂正符号の一つである低密度パリティ検査符号 (LDPC code: low-density parity-check code) の復号 (デコード) に用いる例が報告されている [45],[46]．LDPC 符号は，フラッシュメモリのエラー訂正や通信のエラー訂正などに広く用いられている符号化技術であるが，エンコードに必要な演算量が小さい反面，デコードに必要なハードウェアコス

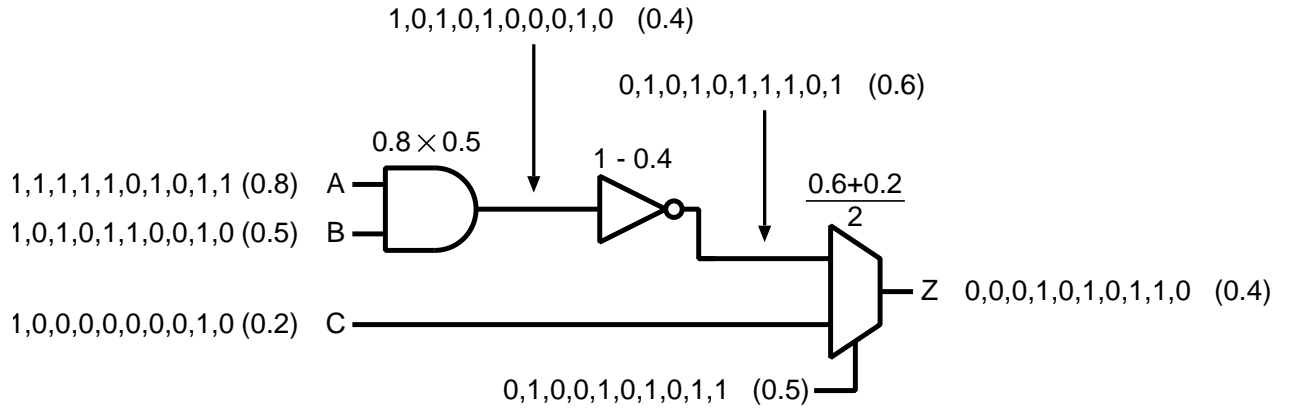


図 1.10 確率的演算の例

トが比較的多かった．文献では通常のデジタル信号処理による実装では計算量が増大してしまう時間ドメイン信号処理により行うことで，回路規模を 38 % 削減することに成功している．時間ドメイン信号処理はその他にも，A/D 変換回路 [47] や，温度センサ [48],[49] にも用いられている．

時間ドメインアナログ積和演算回路を実現する上で，計測に必要な VTC の線形性や TDC 分解能を達成する必要がある．時間軸上で演算を行う際，VTC の時間-電圧特性の線形性は演算精度に大きく影響を与える．また，高分解能な TDC は大面積を要するため，小型化が難しい．先行研究の文献 [45],[46] における TDC の分解能は 5 bit，文献 [48] では 7 bit である．文献 [49] では LSI 外部の TDC により時間デジタル変換を行うことでチップ面積増加を抑えている．しかし，チップ外部へ微小な時間情報を引き出す必要があるため，信号劣化が懸念される．本研究では，提案アーキテクチャを実現するために必要な要素回路についても提案・検討を行う．

1.2.2 確率的信号処理回路

通常のデジタル回路は，基本的にある入力に対する出力は決まっており，故障などが起こらなければ常に同じ値を出力する．デジタル回路は数値計算のように，解に厳密な精度が求められるような問題に対しては非常に有効であるが，入力や出力にある程度の誤差を許容するような演算を伴う画像処理や機械学習などの分野は苦手としていた．ストカスティック (確率的) 演算は，従来のデジタル回路と違い，確率的な情報に基づいて演算を行う演算手法で，演算結果に多少の誤差を許容することで，きわめて小面積な演算回路を実現することができる回路方式である [50]．本論文では確率的演算を用いた信号処理回路を確率的信号処理回路と呼ぶ．

確率的演算の例を図 1.10 に示す．確率的演算では，数値はビットストリームで表現される．例えば，図中の A に入力されているビットストリームは 1,1,1,1,1,0,1,0,1,1 であり，10 ビット中 8 ビットに 1 が立っているので確率 $P_A = 8/10 = 0.8$ となる．演算は基本的に単体のロジック素子によって行われる．図 1.10 では，それぞれ AND が乗算，NOT が補数，MUX が加算 (重み付け加算) を行い，全体で $Z = \{(1 - AB) + C\}/2$ の演算を行っている．単純な素子しか用いていない

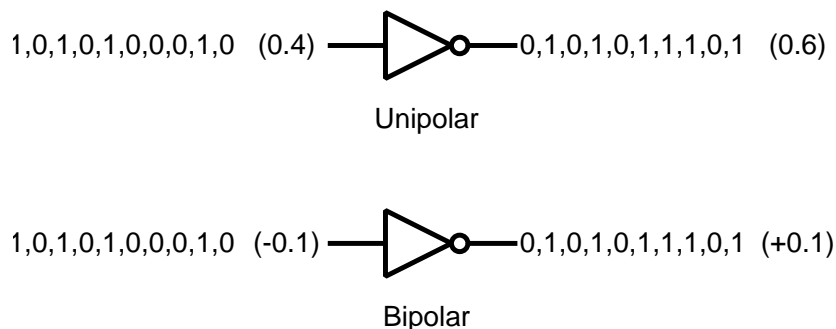


図 1.11 確率的演算におけるユニポーラ表現とバイポーラ表現

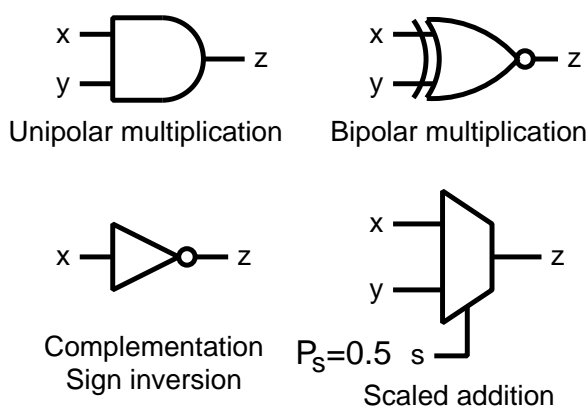


図 1.12 確率的信号処理で用いる演算素子の例

が，出力 Z に現れるビットストリームの確率は 0.4 となり，正しい演算結果が得られていることが分かる．確率的演算における値の表現方法は，ユニポーラ表現およびバイポーラ表現の 2 種類がある．図 1.11 に両者の表現の違いを示す．ユニポーラ表現は最小値，0 最大値 1 の確率で値を表現するが，バイポーラ表現では最小値 -0.5，最大値 +0.5 の符号つき確率で表現する．NOT ゲートはユニポーラ表現とバイポーラ表現で演算の意味合いが変わり，ユニポーラ表現では補数演算 ($P_Z = 1 - P_X$) となり，バイポーラ表現では符号反転 ($P_Z = -P_X$) となる．図 1.12 に，確率的信号処理で用いる演算素子の一例を示す．いずれの演算も 1 ビット分のロジックゲートが用いられる．ユニポーラ表現の乗算は AND ゲートであり，入出力関係は $P_Z = P_X \times P_Y$ (ユニポーラ表現) である．バイポーラ表現の乗算は XNOR ゲートであり，入出力関数は $P_Z = P_X \times P_Y$ (バイポーラ表現) である．NOT ゲートは図 1.11 で示した通り，ユニポーラ表現における補数演算およびバイポーラ表現における符号反転を行う，そして重み付け加算はユニポーラ表現・バイポーラ表現ともに MUX を用いる．入出力関係は， $P_Z = (1 - P_S)P_X + P_S P_Y$ となり， P_S の値により P_X, P_Y の重み付けが変わる．確率的信号処理回路における他ドメインの回路との接続するためには図 1.13 に示すような回路により信号を確率ビットストリームに変換する必要がある．図 1.13(a) は通常のデジタル回路から確率的信号処理回路に値を入力するために用いるバイナリ-確率変換回路 (BSC: binary-to-stochastic-bitstream converter) である．線形帰還シフトレジスタ (LFSR:

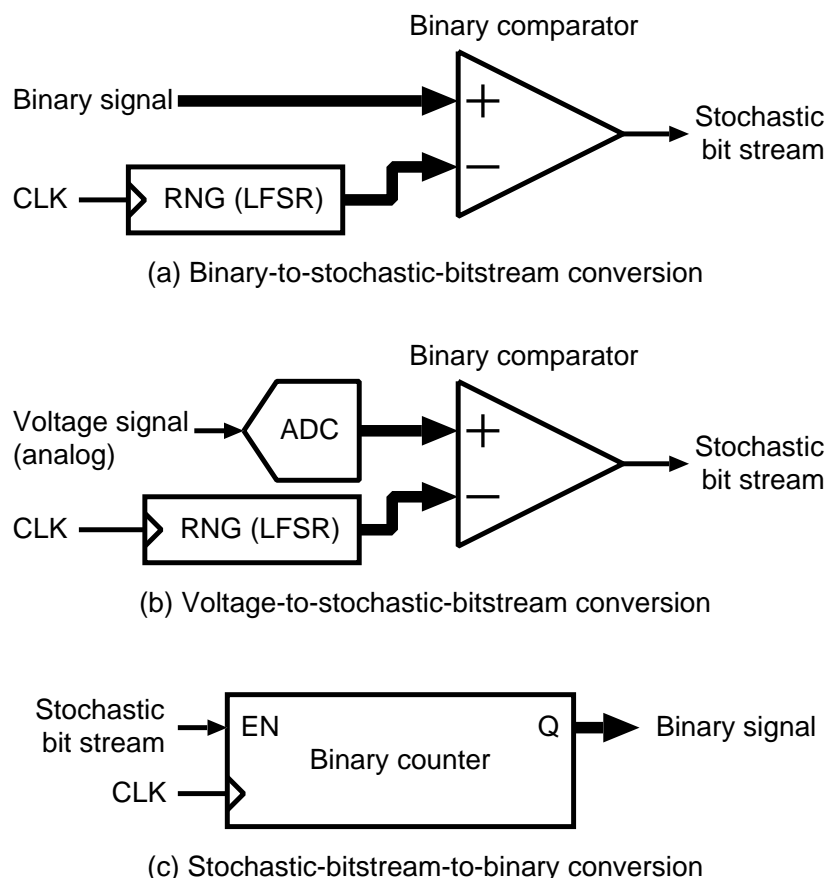


図 1.13 確率的信号処理回路における他ドメインの回路との接続方法, (a) バイナリコードからビットストリームへの変換, (b) 電圧アナログ信号からビットストリームへの変換および, (c) ビットストリームからバイナリコードへの変換

linear-feedback shift register) を用いた乱数発生回路 (RNG: random number generator) およびバイナリコンパレータにより, 入力信号であるバイナリコードを確率的なビットストリームに変換する. 図 1.13(b) はアナログ信号を確率的ビットストリームに変換するアナログ-確率回路 (VSC: voltage-to-stochastic-bitstream converter) であり, 図 1.13(a) の BSC に A/D 変換回路を追加した構成となっている. 図 1.13(c) は, ビットストリームからバイナリコードに変換する確率-バイナリ変換回路 (SBC: stochastic-bitstream-to-binary converter) である. カウンタによりクロックに同期してビットストリーム中の '1' の数を数えることでバイナリコードに変換する.

確率的演算の大きな特徴は, 演算精度がビットストリーム長で決まる点である. 例えば, ビットストリーム長を 255 と設定すれば出力値は 8 ビット, 65535 に設定すれば, 16 ビットの出力値が得られることになる. 特筆すべきは, 演算精度を変更しても演算回路の規模が変わらない点である. 通常のデジタル信号処理回路においてビット数を 2 倍にする場合, それに応じたビット数の演算回路を用意しなければならない. 一方, 確率的信号処理回路は演算精度に関係なく基本的に 1 ビット分のロジックゲートで実現可能である. この特徴により, 確率的信号処理回路は通常のディ

デジタル信号処理回路に比べて回路面積を大幅に削減することが可能となる。そのため、イメージセンサのように超大規模並列演算の要求されるアプリケーションに有効であると考えられる。一方で n ビットのデータ出力を得るために 2^n のビットストリーム長が必要となるため、NRS のような高速動作が要求されるアプリケーションには不向きであると考えられる。

確率的な信号処理は、LDPC デコーダのような誤り訂正 [51],[52], フィルタの実装 [53]–[55], 画像処理の分野 [56] で有効性が認められている。また、確率的信号処理は畳み込み演算を非常に少ないハードウェアコストで実現可能であるため、2つの画像から奥行を検出する知覚モデルである視差モデル [57],[58] のような脳機能の模擬、ディープニューラルネットワーク (Deep neural network: DNN) において有効性が確認されている [59]。

このように、確率的信号処理回路は超並列演算を少ないハードウェアコストにより実現可能であり、一部の分野でその有効性が認められているが、入力信号やバイナリ入力値を確率ビットストリームに変換するための VSC や BSC のような入力インターフェースの消費電力がボトルネックとなっており、応用の幅を狭めている。文献 [58] における視差モデルの実装では確率的信号処理回路本体の消費電力は 44.2 mW で全消費電力 154 mW の 29 % であるのに対して、入力インターフェースの消費電力は 95.8 mW で、全体の 62 % となり、信号処理回路本体の消費電力を上回ってしまう。もし、このボトルネックが解消できれば、確率的信号処理回路の応用可能性を大きく広げることができると考えられる。

1.3 本研究の目的と論文構成

本論文では、多チャネルセンサのデータ帯域に伴う消費電力増加を解決するため、小面積・低消費電力なオンチップデータ圧縮回路のアーキテクチャを提案する。従来用いられてきたアナログ・デジタル信号処理回路による圧縮回路に代わり、積和演算に適したミックスドメイン信号処理を適用する。これにより、既存の電圧ドメインでのアナログ回路もしくはデジタル信号処理によるデータ圧縮回路を超える小面積化・低消費電力化の実現を目指す。アプリケーションとしては信号帯域異なる NRS およびイメージセンサを挙げ、NRS には高速な積和演算を得意とする時間ドメインアナログ信号処理回路を、イメージセンサには超並列演算を得意とする確率的信号処理回路を応用することを検討する。

本論文の構成は以下の通りである。第2章では、NRS 向けのデータ圧縮回路を例に、時間ドメイン信号処理回路を応用した新しいアーキテクチャを提案する。第3章では、第2章で提案したデータ圧縮回路を実現するために、要求仕様を満たす要素回路について検討を行う。提案データ圧縮回路には入力信号を遅延時間に変換する VTC、演算結果の遅延時間差をバイナリコードに変換する TDC が必要であり、VTC には遅延時間–制御電圧間に高い線形性が要求され、TDC に関しては広い入力レンジが要求される。本章では、先行研究で用いられてきた回路技術を紹介し、本研究で解決すべき課題を明確化した上で、本研究で採用した回路方式について、その動作原理、設計手法、および評価結果について述べる。第4章では、第3章で検討した要素回路を用いて実際に試作した CS エンコーダ LSI について、具体的なアーキテクチャおよび回路構成、試作した LSI の

評価結果について述べる。第 5 章では、イメージセンサ向けのデータ圧縮回路として、確率的信号処理回路を用いたアーキテクチャを検討する。また、本研究では動作検証および消費電力の算出を行うために C 言語によるシミュレータを構築したため、それについても述べる。第 6 章では、確率的信号処理回路においてボトルネックとなっていた、入力信号を確率ビットストリームに変換する VSC および定数値を確率ビットストリームに変換する SNG の低電力化を目指し、ダイナミックコンパレータを用いた新しい VSC・SNG を提案する。本章では先行研究で解決すべき課題、提案 VSC・SNG の具体的な回路構成、動作原理、検討事項、および評価結果について議論する。第 7 章では、第 6 章で述べた要素回路により JPEG 圧縮回路を構築した場合における、消費電力削減効果についてシミュレーションを用いて検討を行った結果について述べる。第 8 章では、本研究を通して得られた結論についてまとめ、本論文の総括とする。

第 2 章

時間ドメインアナログ信号処理回路の NRS 応用

2.1 緒言

本章では、NRS におけるデータ圧縮回路を例として挙げ、時間ドメインアナログ信号処理を用いたデータ圧縮回路アーキテクチャの提案を行う。NRS は電力の制約が厳しく、低消費電力なデータ圧縮回路の実現は重要なテーマである。本研究では信号圧縮の手法として 1 回の行列-ベクトル乗算によって圧縮を行うことが可能な圧縮センシング (CS: compressed sensing) [60],[61] を用いる。従来、A/D 変換をはじめ、信号の観測はナイキスト・シャノンの標本化定理に基づいて行われており、時系列信号を取得する場合、信号の持つ帯域の 2 倍の周波数で信号を観測する必要があった。CS は観測したい信号のスパース性と呼ばれる性質に着目し、特殊なサンプリングを行うことにより、より少ない観測回数でも、元の信号を再現することが可能となる。CS は他の圧縮アルゴリズムに比べて 1 回の行列-ベクトル乗算という簡易な処理で圧縮が可能であるが、LSI 化に向けては積和演算回路のハードウェアコストの削減が課題となる。そこで、本研究では時間ドメインアナログ信号処理回路による CS エンコーダを提案 [62] し、従来の信号処理回路を超える電力効率および面積効率を目指す。

以降の 2.2 節では、CS による信号観測および復元の原理について述べる。2.3.1 節では、提案する時間ドメイン CS エンコーダについて、その動作原理および必要な構成要素について述べ、2.3.2 節ではシステムの仕様から、各要素ブロックに対する要求仕様の与え方について論じる。

2.2 圧縮センシング (CS) の原理

CS の理論は Donoho [60], Candes [61], Tao [61] によって構築された。CS における N 次元の入力信号ベクトル $\mathbf{v} \in \mathbb{R}^{N \times 1}$ の表現は次のようになる

$$\mathbf{v} = \mathbf{B}\mathbf{s}, \quad (2.1)$$

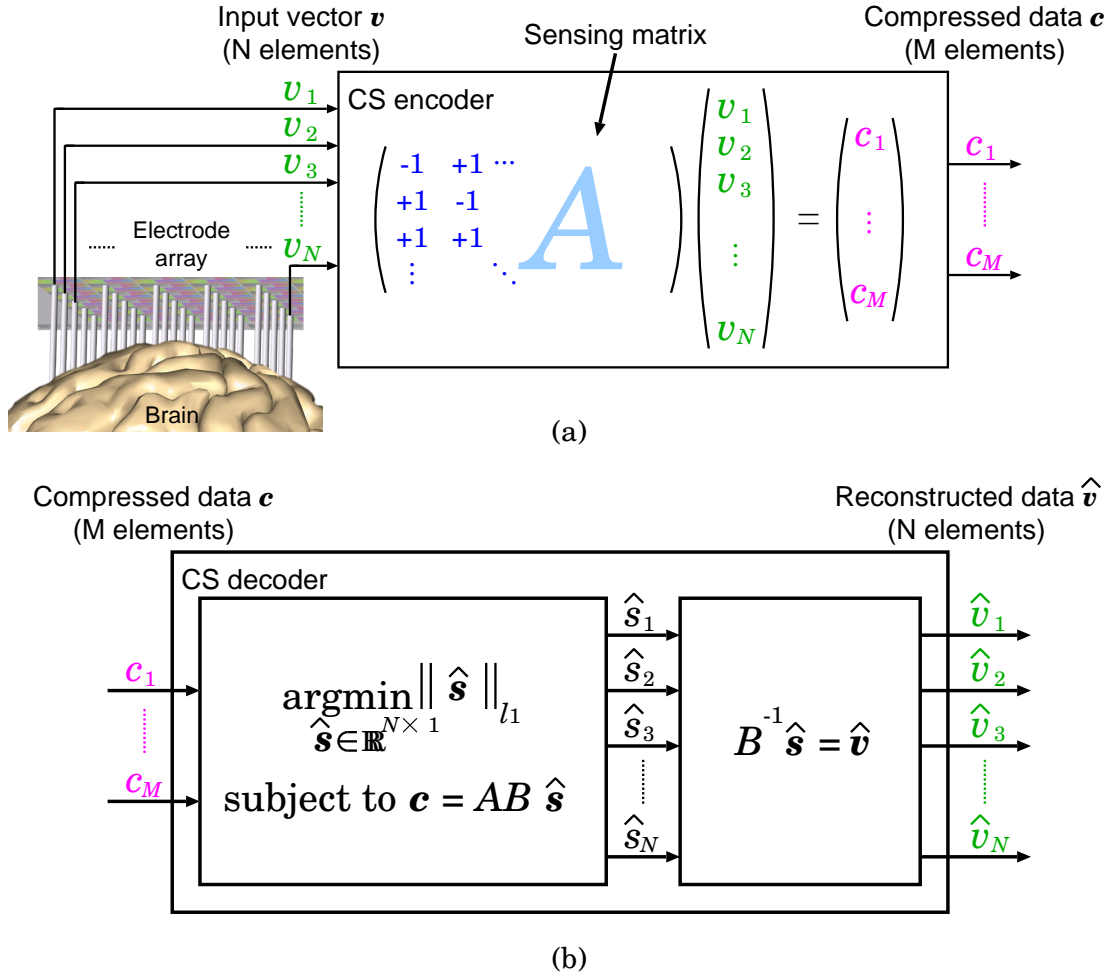


図 2.1 CS による (a) 信号観測および (b) 信号の復元

ただし $B \in \mathbb{R}^{N \times N}$ は D を表現するための任意の基底, $\mathbf{s} \in \mathbb{R}^{N \times 1}$ は重み付け計数である [63]. \mathbf{s} の非零要素数 K が $K \ll N$ となるとき, ベクトル \mathbf{v} は B 上で K -スパースであるという. 信号 \mathbf{v} のスパース性が保証されているとき, 線形観測により \mathbf{v} の次元を減らして観測しても, \mathbf{v} の信号を復元することが可能である [64]. CS による信号の観測の過程を図 2.1(a) に示す. 本図における入力信号は神経電極からの信号を想定しており, 各チャネルの計測電圧がベクトルの要素 $v_j (1 \leq j \leq N)$ として入力されている. \mathbf{v} に対して次の演算を行うことで圧縮された信号 $\mathbf{c} \in \mathbb{R}^{1 \times M}$ を得る

$$\mathbf{c} = A\mathbf{v} \quad (2.2)$$

ただし, $A \in \mathbb{R}^{M \times N} (M \leq N)$ は観測行列であり, 行列の要素が ± 1 のベルヌーイ行列が使用可能であることが知られている [65]. M の値によって圧縮率 $(1 - M/N)$ を変更でき, $M = N$ のとき, 無圧縮を意味する. 復元の過程を図 2.1(b) に示す. 復元は l_1 正則化により行われる. つまり,

$$\argmin_{\hat{\mathbf{s}} \in \mathbb{R}^{N \times 1}} \|\hat{\mathbf{s}}\|_1 \quad \text{subject to } \mathbf{c} = AB\hat{\mathbf{s}}.$$

ただし, $\mathbf{a} \in \mathbb{R}^{1 \times N}$ の l_1 ノルム $\|\mathbf{a}\|_1$ は $\|\mathbf{a}\|_1 = \sum_{n=1}^N |a_n|$ と定義する [64]. CS では, 圧縮時 [図 2.1] に基底に関する演算を行う必要がないため, システムの簡略化・面積削減が可能となる.

2.3 時間ドメインアナログ CS エンコーダ

CS は他の圧縮アルゴリズムに比べて 1 回の行列-ベクトル乗算という簡易なアルゴリズムで圧縮が可能であるが, CMOS LSI 化に向けては積和演算回路のハードウェアコストの削減が課題となる. CMOS LSI による CS エンコーダ実装は [65]–[71] などが報告されている. CS エンコーダは, あるチャンネルの時間変化するデータに対して CS を掛ける temporal CS [65]–[68] と, ある時間の 1 フレームのデータに対して CS を掛ける spatial CS [69], [71] で大別される. Temporal CS は, 特にデジタル回路による実装において高いエネルギー効率が報告されている [65]. しかし, 積和演算回路をチャンネル数分用意する必要があるため, 1 チャンネルあたりの面積が大幅に増大する. また, 時系列のデータをまずレジスタに一時保存してから積和演算回路する必要があるため, レジスタにより回路面積が増加する. 一方, Spatial CS はアナログ回路による実装 [69], [71] において, 積和演算回路を複数のチャンネルで共有できるため, 小面積化に有利であるため面積効率が高い. しかし, 電圧ドメインのアナログ回路による実装では演算にオペアンプを用いるため, バイアス電流によるスタティックな消費電力が増加してしまう.

そこで, 本研究では時間ドメインアナログ信号処理回路による CS エンコーダを提案し, 従来の信号処理回路を超える電力効率および面積効率の実現を目指す. 提案 CS エンコーダに用いる時間ドメインアナログ信号処理回路は, 構成要素の殆どがロジック回路素子であるため, デジタル信号処理回路と同程度のスタティック消費電力となる. また, デジタル信号処理回路に比べてスイッチングを削減できる.

2.3.1 システム構成および動作原理

図 2.2 に提案する時間ドメインアナログ CS エンコーダのコンセプトを示す. 図 2.2(a) は提案 CS エンコーダのブロック図である. この回路はクロック信号 CLK の立ち上がりで行列観測行列 (sensing matrix) A の中の 1 行と, ベクトル \mathbf{v} との積和演算を実行する. \mathbf{v} 各要素 $v_j (1 \leq j < N)$ はある時間における各チャンネルの入力電圧値である. 時間ドメインの演算は N 段の縦続接続した VTC アレイにより行われる. VTC は, 入力の立ち上がりから出力の立ち上がりまでの時間を, 制御電圧 (Control voltage) に応じた時間として設定する遅延素子である. それぞれの VTC には行列の要素 a_{ij} と入力ベクトル要素 v_j の積 $a_{ij} \cdot v_j$ が入力されている (ただし, $1 \leq i \leq M, 1 \leq j \leq N$). これにより, それぞれの VTC には $t_{dj} \propto a_{ij} \cdot v_j$ の遅延時間が設定される. 図 2.2(b) にタイミングチャートを示す. CLK の立ち上がりにより 1 段目の VTC の変換が開始され, VTC は $t_{d1} \propto a_{i1} \cdot v_1$ の遅延時間経過後, 出力 D_1 を立ち上げる. D_1 の立ち上がりは次段 VTC の変換開始のトリガとなり, 同様に $t_{d2} \propto a_{i2} \cdot v_2$ の遅延時間経過後, 出力を立ち上げる. このようにして, 遅延時間を時間軸上で累積させていくことで, 最終的に CLK と出力 D_{OUT} 間の

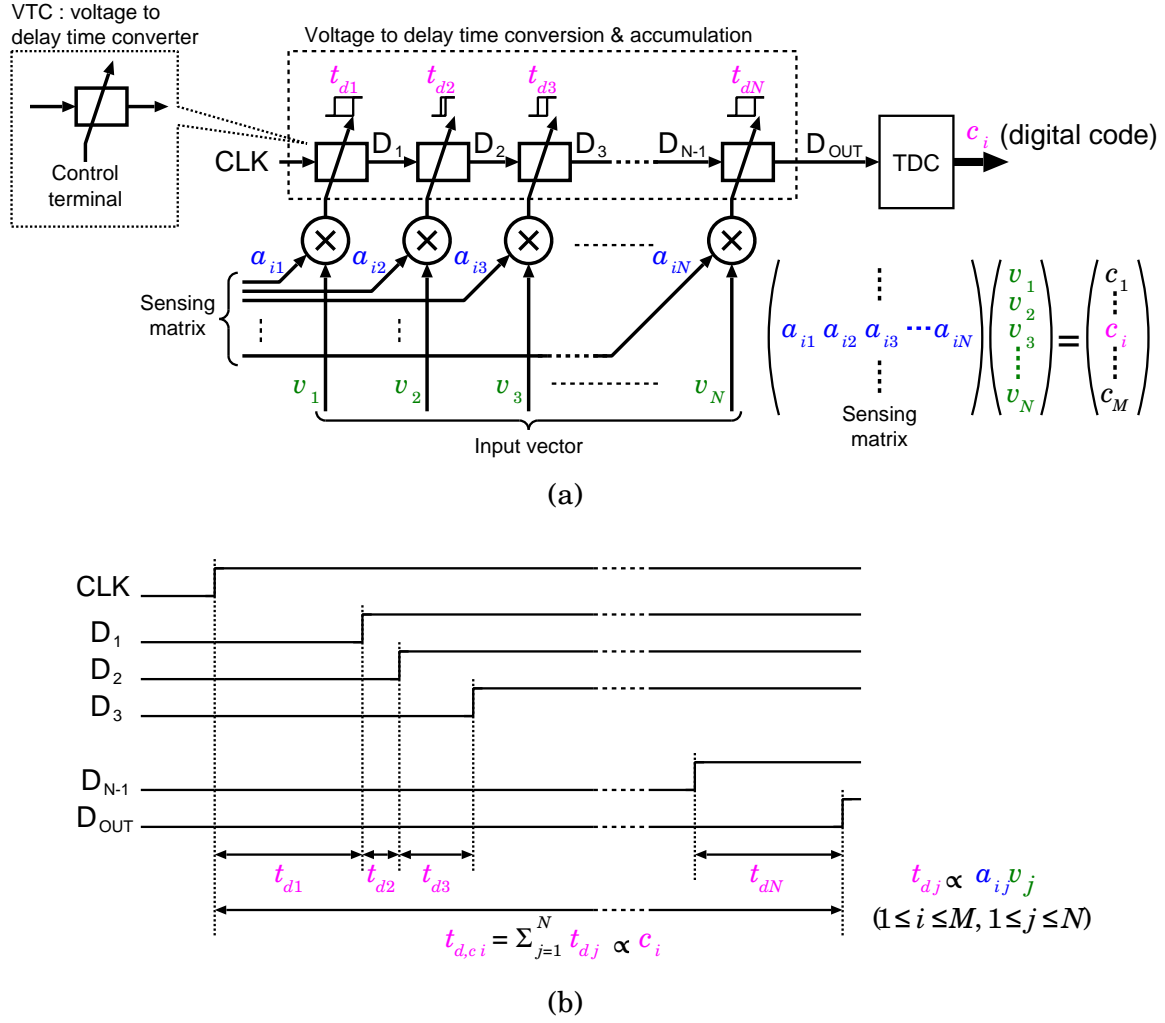


図 2.2 時間ドメインアナログ CS エンコーダのコンセプト, (a) ブロック図, および (b) 1 サイクルの動作タイミングチャート.

遅延時間は以下に示す値

$$t_{d,c_i} = \sum_{j=1}^N t_{dj} \propto c_i$$

となり, c_i に比例した値が得られる. t_{d,c_i} は TDC によりバイナリコードに変換され最終的な値 c_i を得る. 1 クロックで実行できるのは行列のある 1 行分の要素との積和演算であるため, 観測行列全体の演算に必要なクロックは M サイクルである.

従来用いられてきたアナログ信号処理, デジタル信号処理による CS エンコーダのブロック図を図 2.3 に示す. アナログ CS エンコーダ [図 2.3(a)] は, ベクトルの各要素と 1 行分の観測行列との積をオペアンプに用いた加算回路により総和を求める. 1.2.1 節で述べた回路構成と同一のものであるが, 観測行列全体の演算には M サイクルを要する. アナログ信号処理は, 演算にオペアンプを用いるため, オペアンプ駆動のために定常的な電流が必要である. M の値を減らして圧縮率

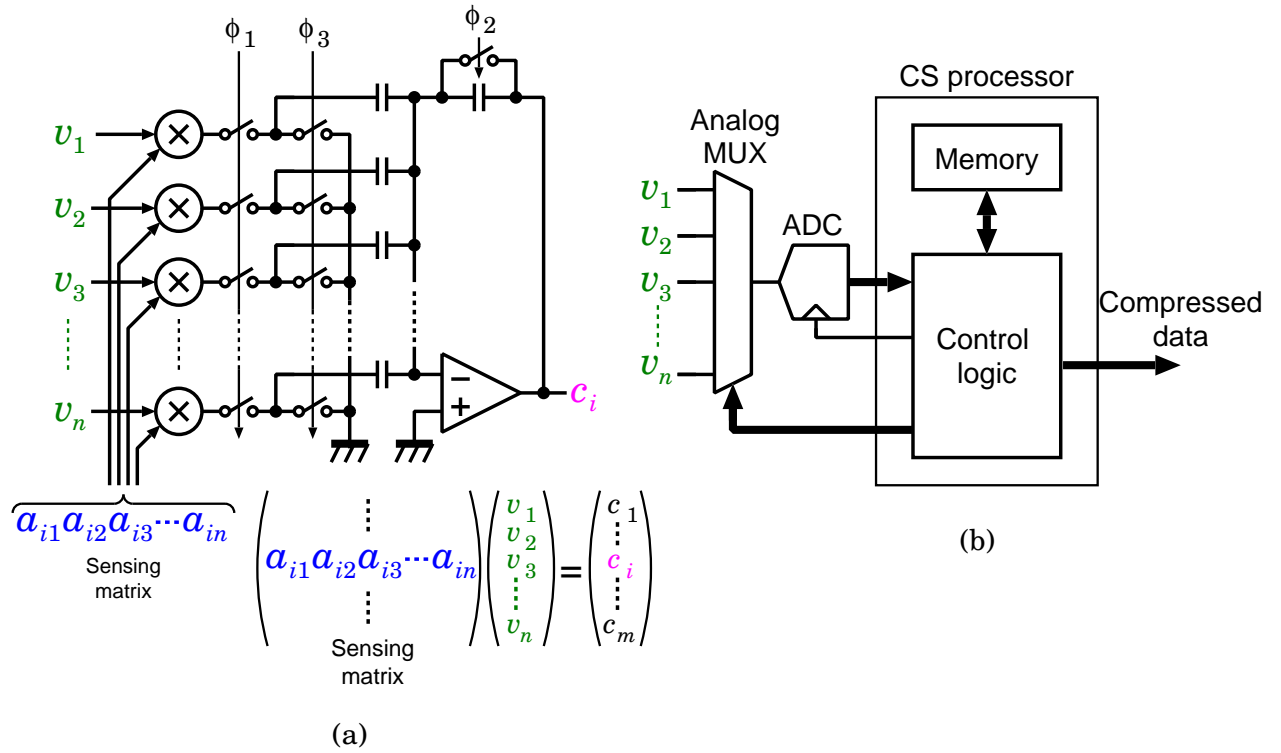


図 2.3 従来の (a) アナログ信号処理および (b) デジタル信号処理による CS エンコーダ実装

を上げた場合、変換サイクル数が下がるため、キャパシタの充放電に必要な消費電力を下げることができる。しかし、オペアンプ駆動に定常電流が必要であるため、圧縮率を上げることによる低電力化の効果は小さくなる。一方デジタル CS エンコーダ [図 2.3(b)] は、1.2.1 節で述べたものと同様の回路構成をとろうとすると、1 回の積和演算の度に A/D 変換が必要となるため、無駄な変換が発生してしまう。そのため、1 度全てのチャネルの信号を A/D 変換したものをレジスタに格納し、その値に対してアキュムレータによる積和演算を行う構成となる。この構成はアナログドメイン信号処理回路では必要だったアンプ駆動に必要な定常電流は不要になるため、圧縮率を上げた際に消費電力を抑えることができるが、A/D 変換回路のビット数 \times チャネル数分のレジスタが必要であるため、回路面積が増大してしまう。また、観測観測全体の変換に $M \times N$ クロック必要であり、レジスタを含む同期回路を駆動するためにダイナミックな消費電力が増大してしまう。それに対して、時間ドメインアナログ信号処理回路は、構成要素の大部分にロジック回路素子を用いるため、定常電流を大幅に削減できる。さらに、1 回の積和演算を 1 クロックで実行でき、デジタル信号処理回路では必要なレジスタも不要となるため、ダイナミックな消費電力も削減できる。

2.3.2 構成要素への要求仕様

提案 CS エンコーダのブロック図を図 2.4 に示す。本構成では、20 チャネルで 1 つの計測ユニットを構成し、計測ユニットを複数並べることで多チャネル計測に対応する。計測ユニットは 20

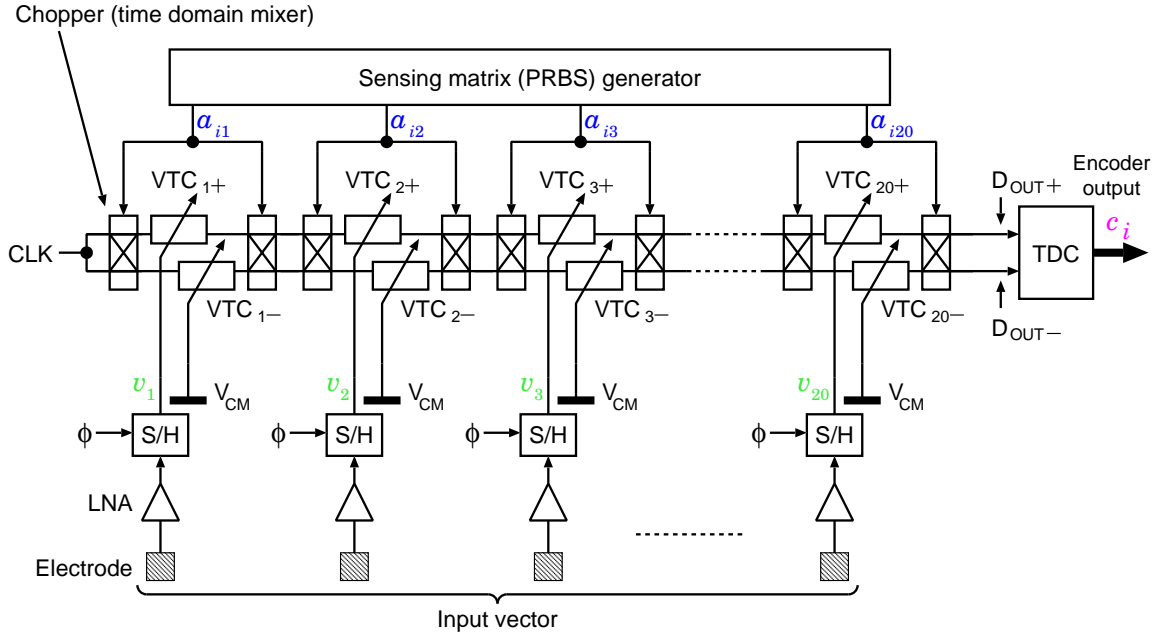


図 2.4 時間ドメインアナログ CS エンコーダのブロック図

チャンネルの神経電極を備え、それぞれのチャンネルに LNA, S/H(Sample and hold) 回路, 2 つの VTC (VTC_{j+}, VTC_{j-} , ただし $1 \leq j \leq 20$), 時間ドメインで ± 1 の乗算を行う 2 つのチョッパを搭載する. 電極 (Electrode) から入力された信号は LNA(Low-noise amplifier) により増幅され, S/H 回路に入力される. S/H 回路はサンプリングクロック ϕ が H の時に LNA の出力をサンプリングし, ϕ が L のときサンプリングした電圧をホールドすることで, VTC の変換動作中における制御電圧値 v_j を一定に保つ. 図 2.5 にタイミングチャートを示す. 変換開始クロック CLK により積和演算が開始され, D_{OUT+}, D_{OUT-} 間の遅延時間差が演算結果となる. 遅延時間差は TDC によりデジタル値に変換され, 10 ビットのバイナリコード c_i として LSI 外部に出力される. 遅延時間の累積は Positive-side delay line および Negative-side delay line それぞれのディレイラインで行われる. 1 つの計測ユニットは 20 チャンネルの神経電位入力を備え, それぞれのチャンネルに LNA, S/H 回路, 2 つの VTC (VTC_{j+}, VTC_{j-} , ただし $1 \leq j \leq N, N = 20$), 時間ドメインで ± 1 の乗算を行う 2 つのチョッパを搭載する. 各チャンネルの信号は VTC_{j+}, VTC_{j-} の時間差として表される擬似差動信号である. VTC_{j+} の制御電圧入力には, それぞれのチャンネルの入力 v_j VTC_{j-} には, 基準電圧 $V_{CM} = V_{DD}/2$ が入力され, それぞれの遅延時間は, 制御電圧に応じた値となる. 各チャンネルの VTC_{j+}, VTC_{j-} は 2 つのチョッパによりどちらかのディレイラインに振り分けられる. 制御電圧入力 V_{CTL} に対する VTC の遅延時間 t_d は次の 1 次関数で表せる

$$t_d(V_{CTL}) = \alpha \cdot V_{CTL} + \beta,$$

ただし, α, β は定数である. このとき, VTC_{j+}, VTC_{j-} の遅延時間を

$$t_{dj+} \equiv t_d(v_j) = \alpha v_j + \beta, \quad t_{dj-} \equiv t_d(V_{CM}) = \alpha V_{CM} + \beta,$$

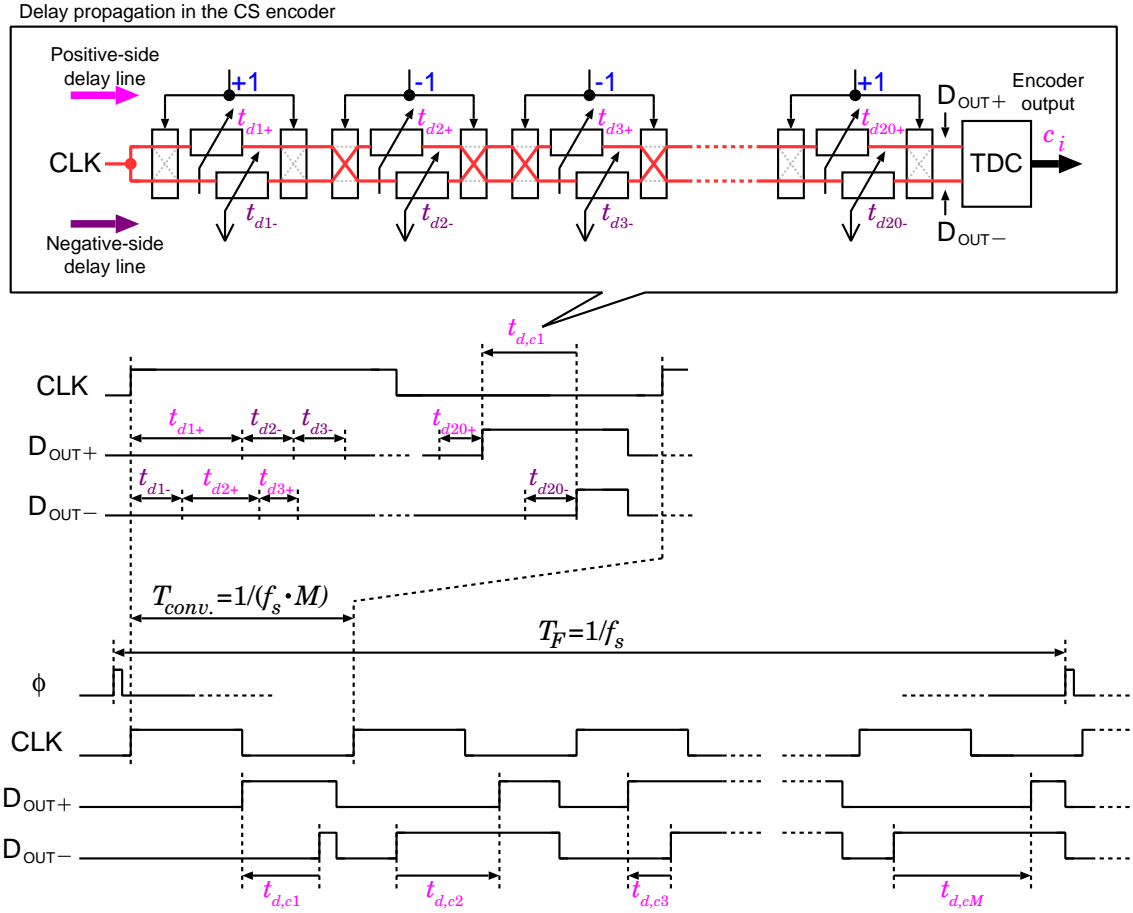


図 2.5 提案 CS エンコーダのタイミングチャート

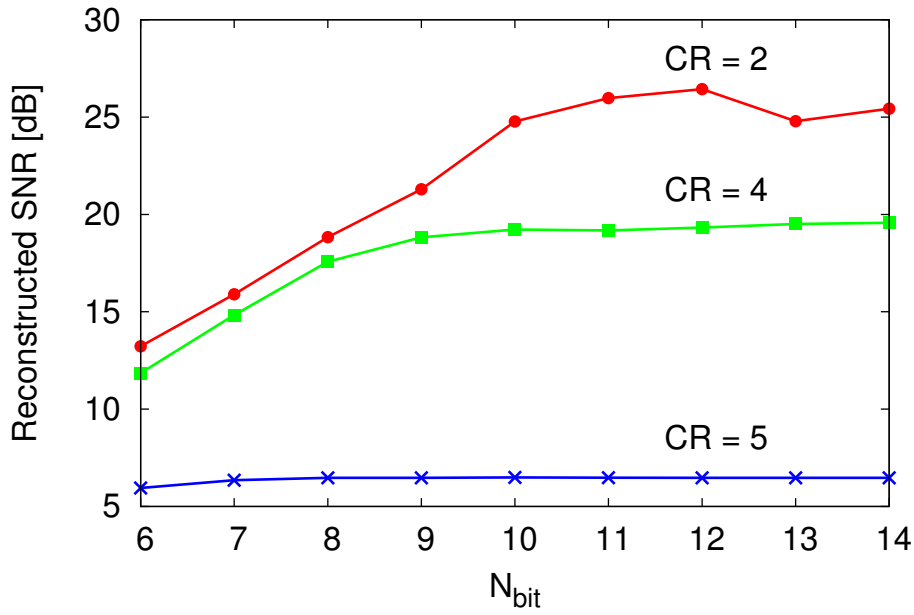
と定義すると, D_{OUT+} , D_{OUT-} の時間差は

$$t_{d,ci}(\mathbf{v}) = \sum_{j=1}^N a_{ij}(t_{dj+} - t_{dj-}) = \alpha \left\{ \sum_{j=1}^N a_{ij}(v_j - V_{CM}) \right\}.$$

となる．これにより積和演算結果に比例した遅延時間が出力として得られる．

提案 CS エンコーダ実現に向けて、演算結果の精度を保障するための各構成要素 VTC および TDC への要求仕様の与え方を議論する必要がある．まずは入力の仕様について考える．提案 CS エンコーダは、Spatial CS であるため、入力信号のベクトル \mathbf{v} は 1 フレームごと与えられ、フレームレートは一定である． \mathbf{v} の各要素は各チャネルの入力電圧値である．S/H により入力ベクトルの値を切り替える周期をフレームレート f_s と定義すると、フレーム周期は $1/f_s$ となる．提案 CS エンコーダは時間軸で演算を行うため、全体の演算時間が 1 フレーム以内に収まっている必要がある．1 回の行列-ベクトル乗算に必要な変換回数は、 $M(1 \leq M \leq N, N = 20)$ サイクルとなるから、1 回の変換時間の最大値 $T_{conv.,max}$ は

$$T_{conv.,max} = \frac{1}{M \cdot f_s}$$

図 2.6 復元後の SNR とビット数 N_{bit} の関係

となる．1 サイクルの積和演算で $N = 20$ 段の VTC アレイによる遅延累積が行われるため，1 段あたりの遅延時間 $t_{d,max}$ は，

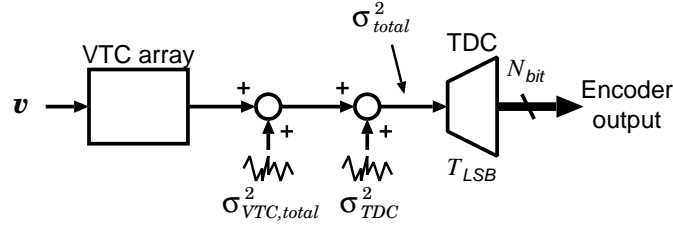
$$t_{d,max} = \frac{1}{M \cdot N \cdot f_s}$$

となる．本設計で計測対象となる信号の帯域は 10 kHz であるため， $f_s = 20$ kHz である．また，無圧縮で信号を取得することを考えると， $M = N = 20$ となり，1 回の積和演算時間の上限値は $T_{conv.,max} = 2.5\mu s$ ，VTC1 段あたりの遅延時間の上限値は $t_{d,max} = 125ns$ となる．次に積和演算結果を測定する TDC の時間分解能を決定するためにまず，ビット数 N_{bit} を決定しなければならない． N_{bit} の決定には MATLAB シミュレーションを用い，復元後の信号を劣化させないように決定した．図 2.6 は各圧縮率 $CR(= N/M)$ における N_{bit} による復元後の SNR の変化をプロットしたものである．SNR は以下の式

$$SNR = -10 \log \frac{\sum_{i=1}^N (v_i - \hat{v}_i)^2}{\sum_{i=1}^N v_i^2} \quad (2.3)$$

で表される．なお，TDC や VTC アレイはノイズの無い理想的な状態を想定している．復元後の SNR は N_{bit} の高い領域で飽和している．これは CR により復元精度の上限が決まるためと考えられる．一方，低い N_{bit} における SNR の劣化は TDC のビット数が少ないことに伴う信号劣化が原因であると考えられる．図 2.6 の結果より，復元後の信号を劣化させない $N_{bit} = 10$ とした． $T_{conv.,max} = 2.5\mu s$ の時間を $N_{bit} = 10$ のビット数で変換するためには，TDC に必要な最小時間分解能 T_{LSB} は，

$$T_{LSB} = \frac{T_{conv.,max}}{2^{N_{bit}}} = \frac{1}{f_s \cdot M \cdot 2^{N_{bit}}} \quad (2.4)$$

図 2.7 復元後の SNR とビット数 N_{bit} の関係

となる．本設計では， T_{LSB} は 1.63 ns となった．時間ドメインアナログ信号処理回路では，時間のゆらぎであるジッタが，電圧ドメインにおけるノイズに相当する．ジッタは，所定の動作タイミング（設計値）からの確率的なタイミングのずれと定義する．電圧ドメインにおけるノイズ解析と同様に，ジッタの値は統計的に議論できる．図 2.7 に提案 CS エンコーダのジッタモデルを示す．全体のジッタ σ_{total}^2 は VTC アレイの出力からみたジッタ $\sigma_{VTC,total}^2$ ，TDC の入力換算ジッタ σ_{TDC}^2 からなる． $\sigma_{VTC,total}^2$ は 20 チャネル分の VTC の累積ジッタであり， σ_{TDC}^2 は，TDC 内部のリングオシレータおよび D-FF が動作する本来のタイミングからのずれであり，A/D 変換回路におけるサンプリングノイズに相当する．全てのジッタが正規分布に従うと仮定すると， σ_{total}^2 は各要素の 2 乗和

$$\sigma_{total}^2 = \sigma_{VTC,total}^2 + \sigma_{TDC}^2$$

で表せる．本設計ではジッタの標準偏差の 3 倍が，TDC 時間分解能 T_{LSB} 以内に収まるように各要素のジッタを決定する．よって各構成要素へのジッタの条件は

$$3\sigma_{total} = 3\sqrt{\sigma_{VTC,total}^2 + \sigma_{TDC}^2} \leq T_{LSB} \quad (2.5)$$

で与えられる．

2.3.3 結言

本章では NRS におけるデータ圧縮回路として時間ドメインアナログ CS エンコーダを提案し，システムレベルの検討を行った．CS エンコーダに必要な積和演算について，疑似差動信号で表現された入力信号をチョッパによる乗算，縦続接続した VTC による累積加算により時間軸上で行う．時間ドメインアナログ CS エンコーダを構成する要素回路 VTC および TDC への要求仕様に関しては MATLAB によるシミュレーションを用い，信号処理回路により復元後の信号が劣化しないように TDC の時間分解能および，電圧ドメインアナログ回路におけるノイズに相当するジッタの上限値を決定した．第 3 章では，この仕様を満たすような要素回路を設計していく．

第 3 章

時間ドメインアナログ CS エンコーダの要素回路

3.1 緒言

本研究で提案する時間ドメインアナログ CS エンコーダに必要な要素回路として，入力電圧を遅延時間に変換する VTC および，遅延時間差をバイナリコードに変換する TDC が必要となる．提案 CS エンコーダを実現するためには VTC には高い線形性，TDC には広い入力レンジが必要となる．また，電圧ドメインアナログ回路におけるノイズに相当するジッタに関しては，TDC の時間分解能以下に抑える必要がある．本章では，先述の第 2 章で提示した要求仕様を満たすような要素回路について，3.2 節では電圧ドメインの信号を時間ドメインに変換する VTC，3.3 節では時間ドメインの信号をバイナリコードに変換する TDC をそれぞれ検討する．また，3.4 節では提案 CS エンコーダの設計上の制約条件について議論する．

3.2 電圧遅延時間変換回路 (VTC)

VTC は図 3.1 に示すような入出力を持った回路ブロックであり，制御電圧 V_{CTL} に対して，入力 A を立ち上げてから出力 Y が立ち上がるまでの遅延時間 t_d を制御電圧に対応した値に設定する回路要素である．VTC は遅延時間の生成はインバータの充放電を電流源で制御することにより，

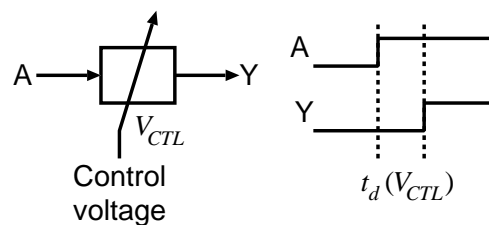


図 3.1 VTC の入出力端子および動作

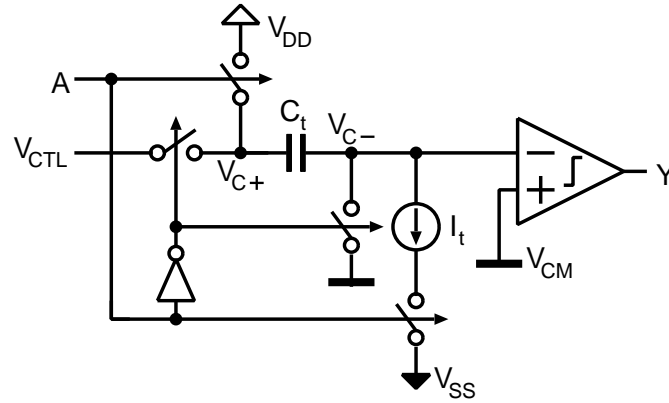


図 3.2 VTC のブロック図

入力電圧に応じて遅延時間を制御するものが一般的であるが [72, 73, 74], MOS トランジスタが非線形性をもつため, 補償回路を用いても計測に必要な電圧遅延時間特性における線形性の実現が難しい. そこで本研究ではキャパシタと定電流源を用いた線形性の高い VTC を採用する. 先行研究の VTC では, MOS トランジスタの非線形性が遅延時間に現れるため, 線形性の実現が原理的に困難だった. 一方, 遅延時間の生成に線形素子であるキャパシタを用いれば, 本質的に高い線形性を実現することができる. また, キャパシタの電荷を放電するための電流源の値を一定とすることで, キャパシタの充放電特性が入力電圧により依存することを抑えることができる. 3.2.1 節では本研究で用いる VTC についてその回路図および動作原理について述べる. 計測回路に VTC を用いる場合における検討事項には, 先述の線形性の他に, 電圧ドメインアナログ回路におけるノイズに相当するジッタについて検討が必要である. そのため, 3.2.3 節では主にジッタの観点から, VTC の具体的な設計手法を検討し, シミュレーションを用いた評価結果について述べる.

3.2.1 動作原理

本研究で用いる VTC のブロック図を図 3.2 に示す. 本 VTC は, キャパシタおよび電流源による積分器, 閾値検出コンパレータ, 接続を切り替えるための MOS スイッチにより構成されている. ノード V_{CTL} は制御電圧入力であり, 電圧 V_{CM} を基準とした信号である. A は変換開始トリガ, Y は変換完了出力であり, A の立ち上がりにより変換開始され, V_{CTL} に入力された電圧に応じた遅延時間の後に Y が立ち上がり, 変換が完了する. VTC のタイミングチャートを図 3.3 に示す. リセット時 ($A=0$) において, キャパシタの電位はそれぞれ図 3.3(a) に示すように, $v_{C+} = V_{CTL}, v_{C-} = V_{CM}$ となるため, キャパシタ両端の電圧は V_{CTL} となる. $A=1$ とすると, スイッチによりキャパシタおよび電流源の接続が切り替えられ, 積分が開始される [図 3.3(b)]. 積分開始時は, $v_{C+} = V_{DD}$ となるため, 電荷保存則により v_{C-} の初期電位は $V_{DD} - V_{CTL}$ となる. v_{C-} の電位はキャパシタの容量 C_t と電流 I_t によって決まる傾きで下降し, 閾値検出コンパレータの閾値まで達する. 最終的に図 3.3(c) に示すようにコンパレータの閾値に達すると, $Y=1$ となり, 変換が完了する. 本回路は, キャパシタと電流源による積分回路により構成されているため,

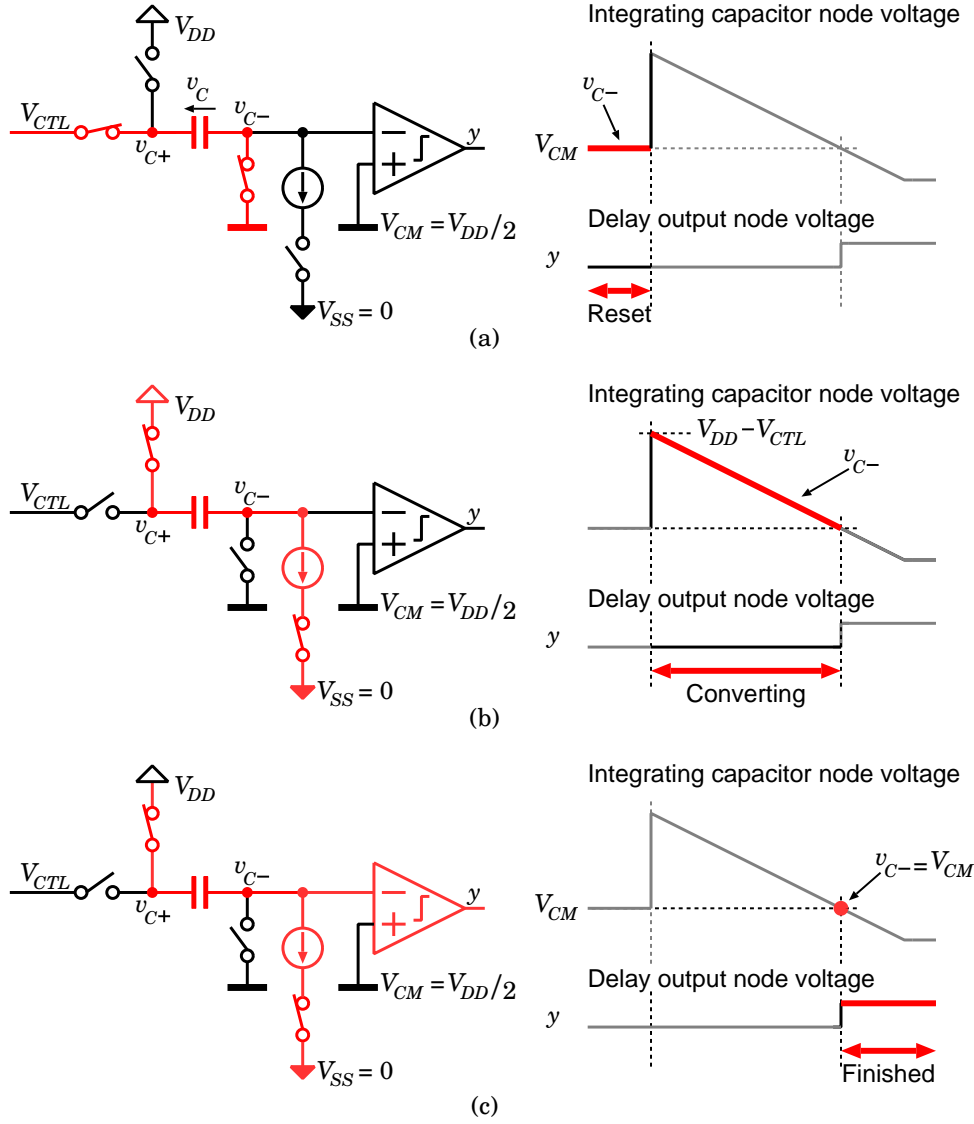


図 3.3 VTC のタイミングチャート

高い線形性が得られる．加えて，電流源の値の値およびコンパレータの閾値は入力電圧によらず固定とすることで，電流源およびコンパレータの非線形性が遅延時間に与える影響を排除している．また，コンパレータに関してはロジック素子で構成することで，低消費電力化した．

積分動作時における VTC 等価回路を図 3.4 に示す．遅延時間 t_d と制御電圧 V_{CTL} の伝達関数は以下のように表される

$$t_d(V_{CTL}) = \frac{C_t}{I_t} \left(\frac{1}{2} V_{DD} - V_{CTL} \right) = -\frac{C_t}{I_t} V_{CTL} + \frac{C_t \cdot V_{DD}}{2I_t}. \quad (3.1)$$

遅延時間と電圧間の伝達関数はキャパシタ容量 C_t および電流源の電流値 I_t の比により決定される．ジッタの値は電流源およびキャパシタの値によって決定され， C_t を大きくとる程，ジッタの値は低減する．よって，所望の伝達関数となるような C_t および I_t の比を決定した後，ジッタの値

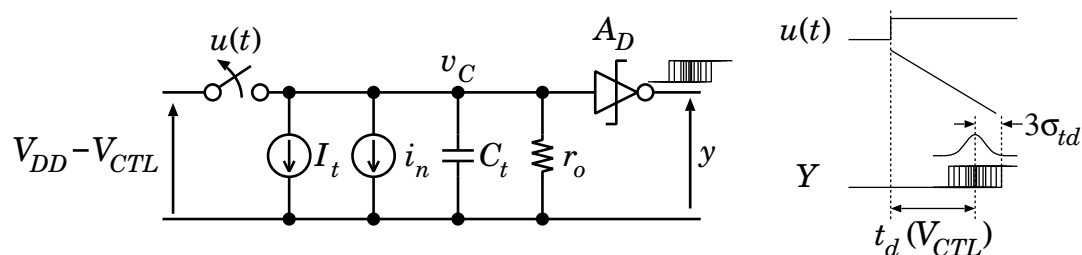


図 3.4 積分動作時における VTC の等価回路

を満たすような C_t を決定する.

3.2.2 VTC のキャリブレーション手法

VTC の伝達特性 (t_d - V_{CTL} 特性) はキャパシタ容量, 電流源の電流値, コンパレータの閾値電圧により決定される. これらの設計値は LSI 製造プロセスのばらつきによる影響を受ける. 特に, 本設計では消費電力を削減するためのコンパレータに通常のロジックゲートを用いているため, コンパレータの閾値は各 VTC 間で大きく変動する. これらのプロセスばらつきによる影響はオフセット電圧伝達特性は各 VTC ごとに異なり, このままでは積和演算後の値に誤差を生じる. そのため VTC の伝達特性のばらつきを吸収するキャリブレーション手法が必要となる.

本研究ではキャリブレーションの手法として、全ての VTC に既知の入力電圧を与えた状態で変換を行うことでオフセットおよびゲイン誤差を把握しておき、復元後の信号に補正を施す手法を用いた。この手法はキャリブレーションに追加の回路を必要としないため、回路面積や消費電力の増加を抑えることができる。ここで課題となるのは個々の VTC のオフセット・ゲイン誤差をどのようにして把握するかである。VTC は縦続接続されているため遅延時間出力は積和演算されたものが出力される。従ってそのままでは、個々の誤差を把握することは出来ない。そこで本研究では VTC のキャリブレーションに圧縮センシングを応用することを提案する。本来圧縮センシングは観測回数を削減することが目的であるが、圧縮率 $CR \geq 1$ とすることで積和演算出力から個々の誤差を抽出可能となる。

具体的な手順としては、まず全ての VTC に既知の電圧を与える。電圧は 2 種類用意しておき、電圧を変更して同様の処理を繰り返す。用意する電圧は VTC の入力電圧の最小および最大値 (250 mV および 750 mV) である。次に通常の圧縮センシングによる計測と同様に観測行列を生成し積和演算を実行する。ただし、観測回数 M は $CR \geq 1$ となるように決定する。観測信号に対して、これも同様のアルゴリズムで復元を行う。ここで使用する基底は単位行列

$$\begin{pmatrix} 1 & 0 & 0 & \cdots & 0 \\ 0 & 1 & 0 & \cdots & 0 \\ 0 & 0 & 1 & \cdots & 0 \\ \vdots & & & \ddots & \\ 0 & 0 & 0 & \cdots & 1 \end{pmatrix}$$

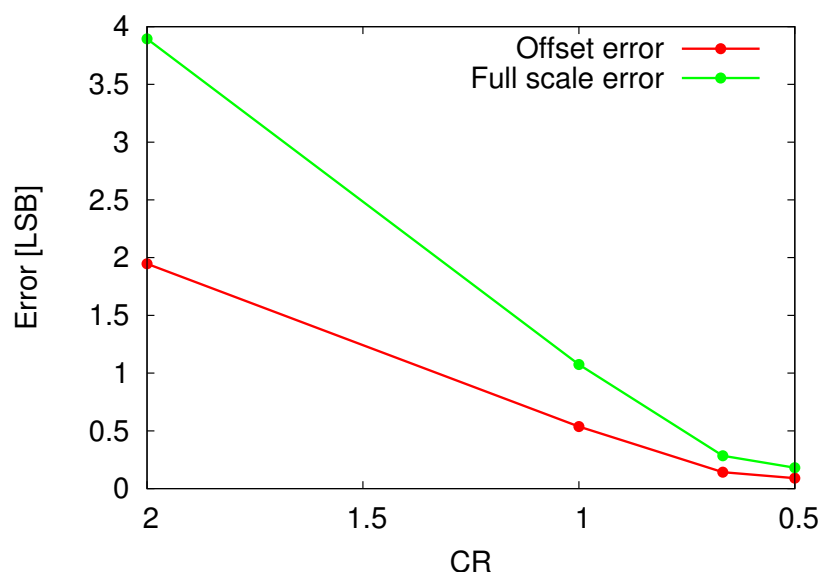


図 3.5 VTC キャリブレーションのシミュレーション結果

である。最後に復元されたそれぞれの VTC が持つ最大値，最小値からオフセット・ゲイン誤差を算出する。

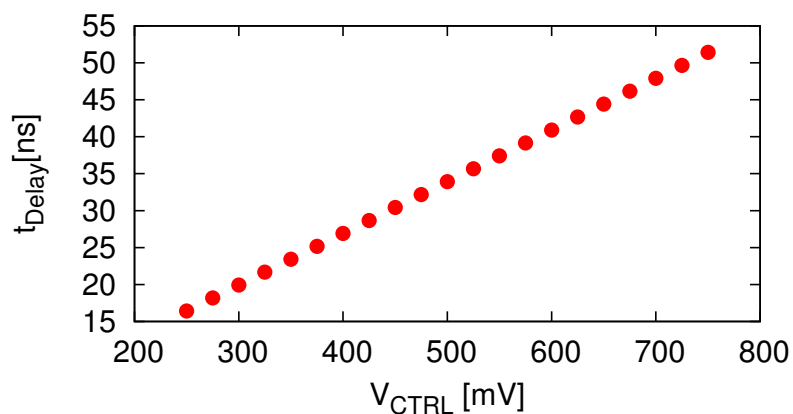
シミュレーション上で VTC のキャリブレーションを行った結果を図 3.5 に示す。シミュレーションには MATLAB を用い，オフセット・ゲイン誤差をもたせた 100 チャンネル分の VTC に対して CR を変更しながらキャリブレーションを行った。縦軸は復元されたオフセット・ゲインの値と実際にそれぞれの VTC が実際に持つ値との差を 100 サンプルの標準偏差で表したものである。図中ではゲイン誤差をフルスケール時の誤差としてプロットし，縦軸の単位は TDC の時間分解能 1 LSB で規格化してある。また TDC に関しては本研究で用いたものと同じ時間分解能，ビット数を想定している。 $CR \leq 1$ のとき，オフセット・ゲイン誤差は 1 LSB を超えているが， $CR < 1$ としたとき，誤差は TDC の 1 LSB 以内に収まった。

3.2.3 VTC の評価結果

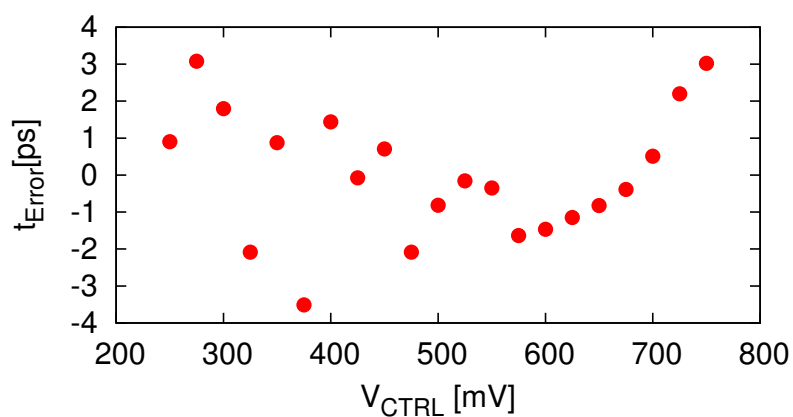
VTC 線形性のシミュレーション結果を図 3.6 に示す。図 3.6(a) は伝達特性，図 3.6(b) は理想的な回帰直線との誤差を示す。入力電圧範囲を 250 mV から 750 mV とした場合，線形性誤差は 12 bit 相当程度に収まっている。また，VTC のジッタシミュレーション結果を図 3.7 に示す。本設計では，TDC ジッタが加算されることを考慮して， $C_t=521$ fF， $I_t=1$ μ A とした。

3.3 時間ディジタル変換回路 (TDC)

時間ドメインアナログ回路では，出力信号は 2 つのノード間の立ち上がり時間差として表される。出力信号を最終的に必要なバイナリコードに変換するためには，TDC が必要となる。TDC



(a)



(b)

図 3.6 VTC 線形性のシミュレーション結果

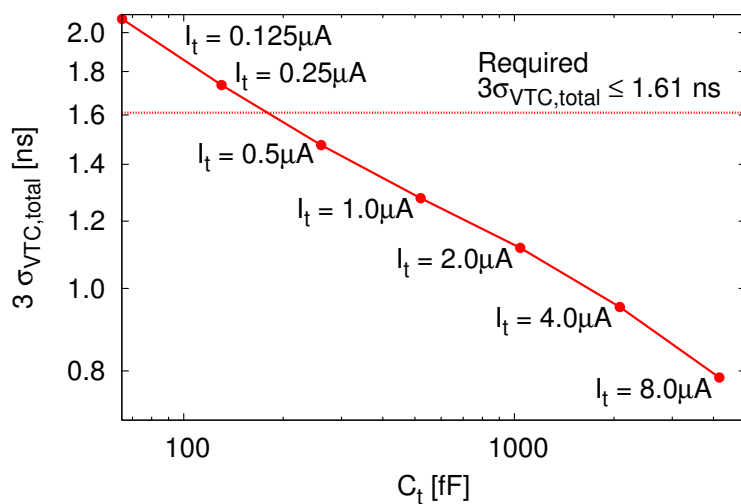


図 3.7 VTC ジッタのシミュレーション結果

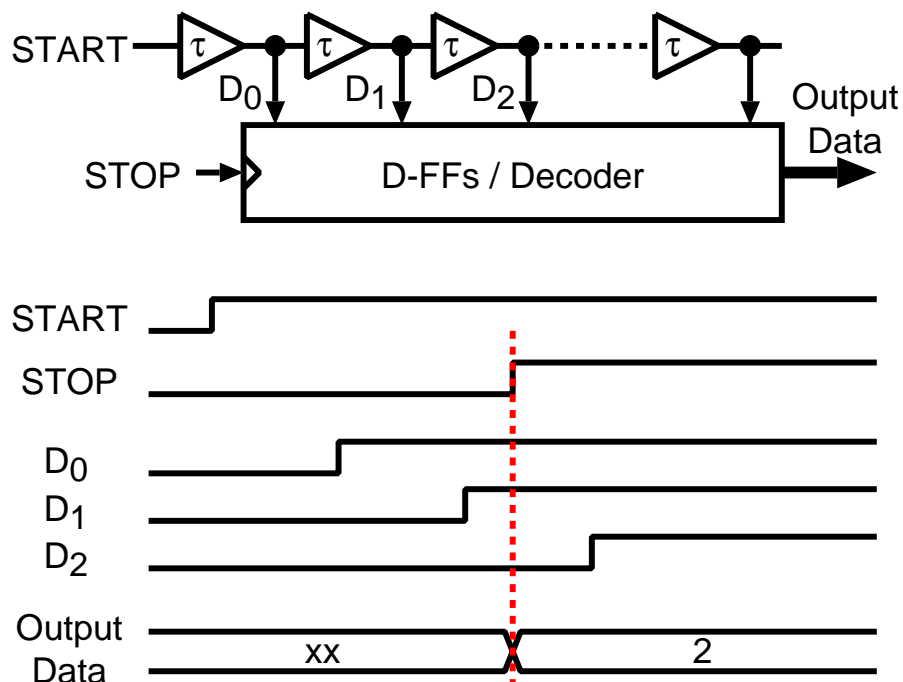


図 3.8 デレイライン型 TDC の回路図および動作波形

の構成としては、まずクロック同期式のカウンタによる測定が考えられる．ある任意のタイミングで動作を開始したカウンタの値を，2つのノードの立ち上がりエッジに同期して D-FF によりカウンタの値をサンプリングし，両者の値の差をとれば，時間をデジタル信号に変換可能である．時間分解能はカウンタの動作クロック周波数 f_{clk} ，ビット数はカウンタおよび D-FF のビット数 N_{bit} により決定される，しかし，高分解能な時間測定には，高速なクロックが必要であり，例えば， $T_{LSB}=1.63\text{ ns}$ を最小時間分解能とする場合，必要なクロック周波数は，613 MHz となる．1GHz オーダのクロックの生成に必要な電力だけでも 1 mW[75] となってしまう．

図 3.8 はデレイライン型 TDC であり，遅延素子のアレイで構成されたデレイラインにより構成されている．START の立ち上がりにより変換が開始され，立ち上がりエッジがデレイラインを伝搬していく．あるタイミングで STOP 信号を立ち上げることで，デレイラインの状態を D-FF によりキャプチャ・デコードされ，時間に比例したコードが得られる．デレイライン型 TDC は遅延伝搬により時間計測が行われるため，クロック同期式カウンタを用いたものに比べて消費電力が少なくなる．しかし，測定可能なビット数を増やすために大量の遅延素子および D-FF が必要となる．たとえば，10-bit 分解能の TDC が必要である場合，1024 段の遅延素子および D-FF が必要となり，回路面積が増大してしまう．そのため本研究では，次節にて扱うリングオシレータ型 TDC を用いることで，必要な遅延素子の段数を削減する．

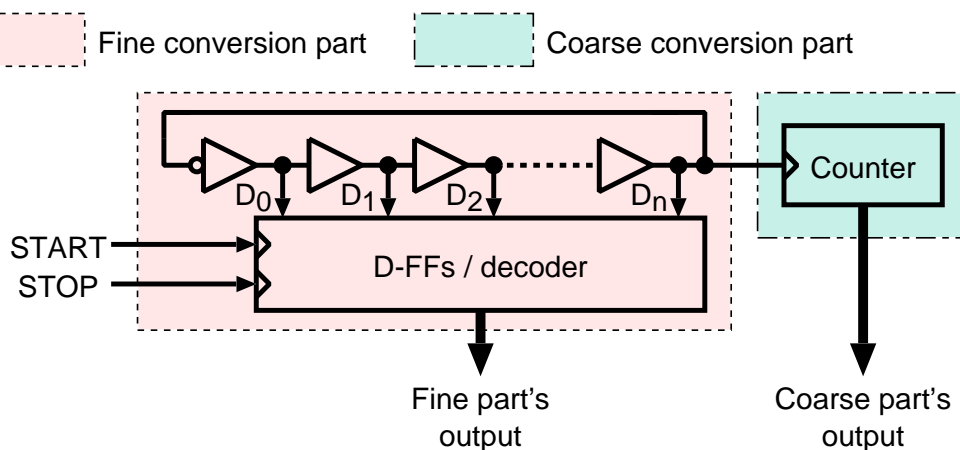


図 3.9 リングオシレータ型 TDC の基本構成

3.3.1 リングオシレータ型 TDC の動作

リングオシレータ型 TDC のブロック図を図 3.9 に示す。リングオシレータ、D-FF アレイ、デコーダ、カウンタの回路ブロックにより構成されている。リングオシレータは N 段のディレイ素子により構成されており、EN 信号を立ち上げることで発振を開始する。リングオシレータそれぞれのノードには D-FF が接続されており、時間入力 D_{IN+} , D_{IN-} の立ち上がりにより、リングオシレータの位相をキャプチャする。キャプチャされた位相はデコーダによりバイナリコードに変換される。リングオシレータ型 TDC は、高分解能側と低分解能側とに分けて時間計測を行い、高分解能側は、リングオシレータの位相をキャプチャすることで行い、時間分解能は 1 つの遅延素子が持つ遅延時間 t_d となる。一方、低分解能側はリングオシレータの発振出力をカウンタにより計数することにより行う。時間分解能はリングオシレータの段数の 2 倍を掛けた

$$2 N_{ring} \cdot t_d \quad (3.2)$$

となる。リングオシレータ型 TDC は時間計測を高分解能側と低分解能側に分けて行うことにより、ディレイライン型 TDC に比べて少ない遅延素子の段数で長時間の計測を可能とする。

3.3.2 リングオシレータ位相によるカウンタ同期手法

リングオシレータ型 TDC は高分解能側と低分解能側の回路がそれぞれ非同期に動作する。高分解能側は START および STOP 信号の立ち上がりエッジに同期して動作し、一方低分解能側はリングオシレータから出力されるクロックに同期して動作する。リングオシレータ型 TDC において、正確な測定を行うためには、高分解能側の TDC 出力が 1 周して最大値から最小値に戻るタイミングで、低分解能側の値がインクリメントする必要がある。しかし、低分解能側と高分解能側がそれぞれ非同期に動作しているため、カウンタ動作のメタステーブル時に値をキャプチャしてしまうと、低分解能側が確率的に誤った変換結果を出力してしまう。また、確率的な変換結果の誤り

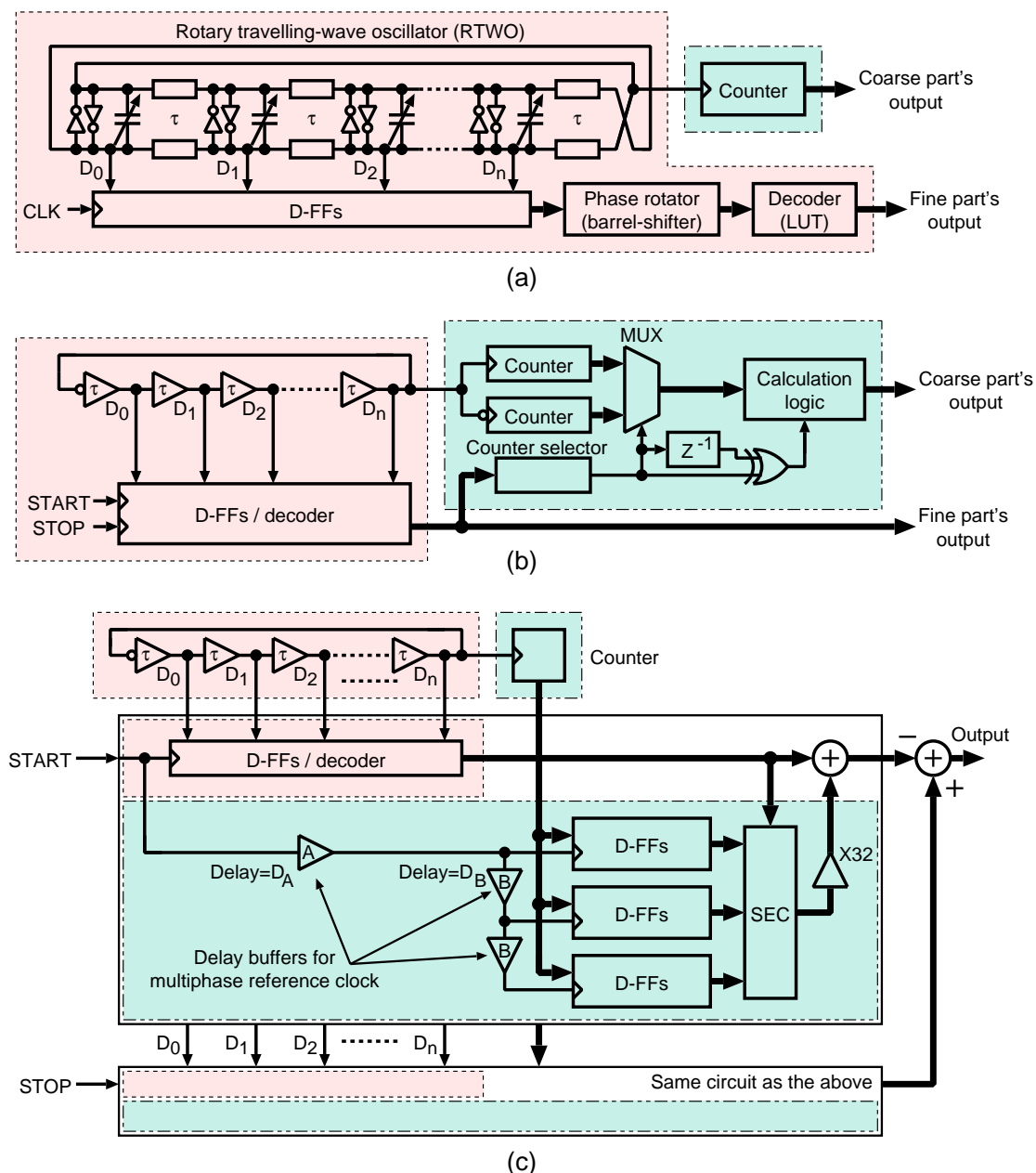


図 3.10 先行研究における TDC の同期手法, (a) 文献 [76] で用いられている同期手法 (b) 文献 [77] で用いられている同期手法 (c) 文献 [78] で用いられている同期手法

だけではなく、CMOS プロセスばらつきによっても、低分解能側と高分解能側の動作タイミングがずれてしまう。そのため、高分解能側と低分解能側との同期手法が必要となる。先行研究における、高分解能側 (fine conversion part) と低分解能側 (coarse conversion part) の同期手法についてまとめたものを、図 3.10 に示す。図 3.10(a) は D-FF によりキャプチャした位相をバレルシフタにより位相を回転させることで、カウンタが動作するタイミングを補正する手法である。この手法はプロセスばらつきによるタイミングのずれは補償できる一方で、確率的な変換結果の誤りの補

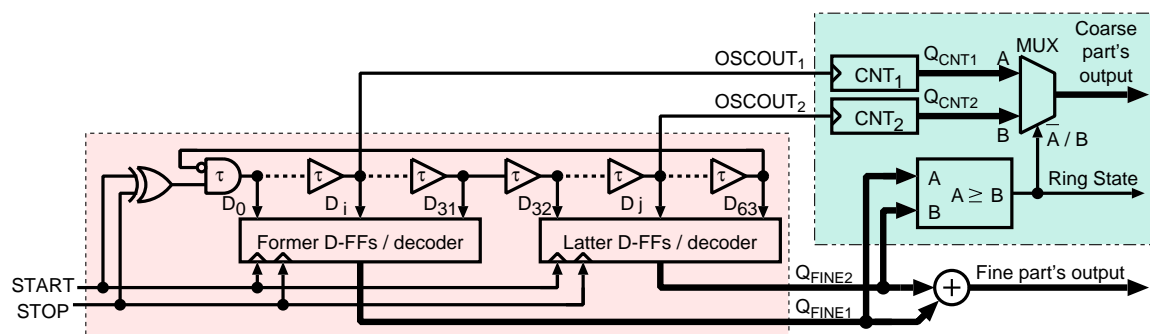


図 3.11 提案するリングオシレータ位相を用いた TDC 同期手法

正は出来ない．図 3.10(b) の手法は，カウンタの動作するタイミングを半周期ずらした 2 つのカウンタを用いて，START・STOP が立ち上がったタイミングでメタステーブルではない方のカウンタの値を採用するものであるが，低分解能側の値がインクリメントするタイミングと高分解能側の値が 1 周するタイミングと一致しないため，カウンタの値と高分解能側の値から正しい低分解能側の値を計算する必要がある．図 3.10(c) の手法は，START および STOP 信号からタイミングをずらして生成した 3 つのクロックを使い，カウンタの値をキャプチャすることで，SEC(sampling error corrector) により変換結果の誤りを補正する手法である．この手法は低分解能側と高分解能側との同期を完璧にとることが可能であるが，大規模なロジック回路が必要となる．

そこで本研究ではリングオシレータの位相を用いた新しい TDC 同期手法を提案する [79]．図 3.11 に提案する同期手法を用いた TDC のブロック図を示す．低分解能側の TDC は 2 つのカウンタにより値の計測を行うが，カウンタのクロックはそれぞれリングオシレータの異なるノードからとることで動作するタイミングをずらしている．カウンタの出力値はマルチプレクサ (MUX) に接続され，どちらか一方の値が低分解能側出力として選択される．リングオシレータの位相のデコーダは 2 分割され，前半を “Former D-FFs / decoder” によりキャプチャおよびデコードし， Q_{FINE1} を，後半を “Latter D-FFs / decoder” によりキャプチャおよびデコードし， Q_{FINE2} を得る．提案 TDC のタイミングチャートを図 3.12 に示す．2 分割されたリングオシレータ位相の値は Q_{FINE1} が先に上昇し，最大値まで上昇した後， Q_{FINE2} が上昇をはじめ． Q_{FINE2} が最大値まで上昇すると， Q_{FINE1} が下降をはじめ， Q_{FINE1} が最小値まで下降した後， Q_{FINE2} が下降をはじめ． Q_{FINE2} が最小値まで下降すると，高分解能側の動作が 1 周し，再び Q_{FINE1} の上昇が開始される．低分解能側のカウンタの動作は，まず $OSCOUT_2$ の立ち上がりにより Q_{CNT2} の値がインクリメントする． Q_{CNT2} の値はリセット時に最大値 (0x1F) から開始されるように設計されており，最初の動作で 0x00 となる．続いて，高分解能側の値が 1 周するタイミングより先に Q_{CNT1} の値がインクリメントする．その後 Q_{CNT2} の値は高分解能側の値が 1 周した後にインクリメントする．この動作により，高分解能側の値が 1 周するタイミングにおいて低分解能側のインクリメント前後の値が得られる．あとは，デジタルコンパレータの出力 $Q_{FINE1} \geq Q_{FINE2}$ により，どちらの値を低分解能側の測定値として出力するかを選択することで，正しいタイミングで低分解能側の値をインクリメントさせることができる．この手法は，複雑なロジック回路が不要であり，メタス

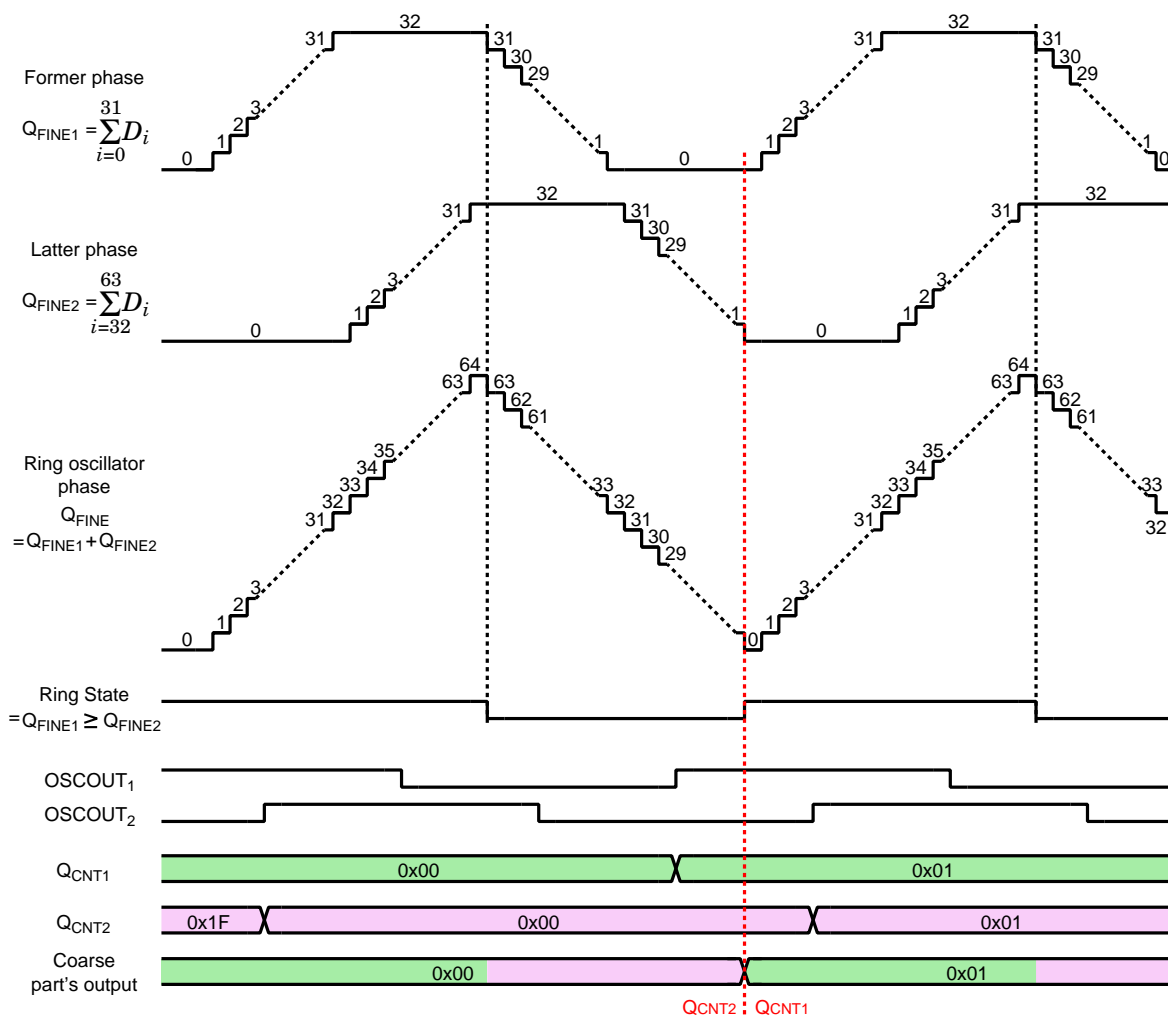


図 3.12 提案 TDC のタイミングチャート

テーブルによる確率的な変換結果の誤りに対しても、CMOS プロセスばらつきによる低分解能側と高分解能側の動作タイミングのずれに対しても同期をとることが可能である。

3.3.3 リングオシレータ型 TDC の電力最適化

リングオシレータ型 TDC は高分解能側と低分解能側のビット数を任意に設定できる。低分解能側のビット数を 0 にしたものがディレイライン型 TDC であり、また高分解能側のビット数を 0 にしたものがクロック同期型の TDC である。リングオシレータ型 TDC はこれまでも多数提案されているが、高分解能側と低分解能側のビット数のバランスに関して定量的に議論された論文はなかった。そこで本研究では TDC の電力をモデル化し、電力最小となるように高分解能側と低分解能側のビット数を決定する。高分解能側ビット数を $N_{bit,fine}$ 、低分解能側のビット数を $N_{bit,coarse}$

とすると、TDC 全体のビット数は $N_{bit,TDC}$,

$$N_{bit,TDC} = N_{bit,fine} + N_{bit,coarse},$$

と表せる。リングオシレータの段数 N_{ring} は,

$$N_{ring} = 2^{N_{bit,fine}-1}.$$

である。TDC 全体の電力は,

$$P_{TDC} = P_{ring} + P_{D-FF} + P_{logic}, \quad (3.3)$$

となる。ただし、 P_{ring} はリングオシレータの消費電力、 P_{D-FF} は D-FF の消費電力、 P_{logic} は D-FF、リングオシレータ以外のロジック回路が消費する電力である。 P_{Ring} は以下の式で表せる、

$$\begin{aligned} P_{ring} &= f_{ring} \cdot E_{delay} \\ &= \frac{N_{ring} \cdot (E_r + E_f)}{N_{ring} \cdot (\tau_r + \tau_f)} = \frac{E_r + E_f}{\tau_r + \tau_f}, \end{aligned} \quad (3.4)$$

ただし、 f_{ring} はリングオシレータの発振周波数であり、 E_{delay} は1サイクルの間にディレイラインが消費するエネルギー、 E_r 、 E_f は遅延素子が立ち上がり、立ち下がり時にそれぞれ消費するエネルギー、 τ_r 、 τ_f は遅延素子の立ち上がり、立ち下がり時間である。また、 P_{D-FF} は

$$P_{D-FF} = f_{samp} \cdot \sum_{k=0}^{N_{ring}} E_{D-FF,k}$$

である。ただし、 f_{samp} は TDC のサンプリング周波数、 $E_{D-FF,k}$ は1クロックで D-FF が消費するエネルギーである。 $E_{D-FF,k}$ の値は入力値だけではなく、現在の出力値にも依存する値であるが、今回は全ての D-FF の消費エネルギーが最大となった場合を考える。 P_{D-FF} は

$$\begin{aligned} P_{D-FF,max} &= f_{samp} \cdot N_{ring} \cdot E_{D-FF,max} \\ &= f_{samp} \cdot 2^{N_{bit,fine}-1} \cdot E_{D-FF,max}, \end{aligned} \quad (3.5)$$

となる。ただし、 $E_{D-FF,max}$ D-FF の出力が切り替わる際における最大消費エネルギーである。 P_{logic} はリングオシレータと D-FF を除く全てのロジック回路の消費電力であるが、ロジック回路の殆どが f_{samp} で動作するため、 P_{logic} は他の消費電力と比べて十分小さい値となる。そのため、 P_{logic} は、

$$P_{logic} \approx 2P_{CNT},$$

と表せる。ただし P_{CNT} カウンタの消費電力である。バイナリカウンタが $N_{bit,coarse}$ 個の D-FF で構成されるとき、消費電力 P_{CNT} は、

$$P_{CNT} = \sum_{k=1}^{N_{bit,coarse}} \frac{f_{ring}}{2^k} \cdot E_{D-FF,max}. \quad (3.6)$$

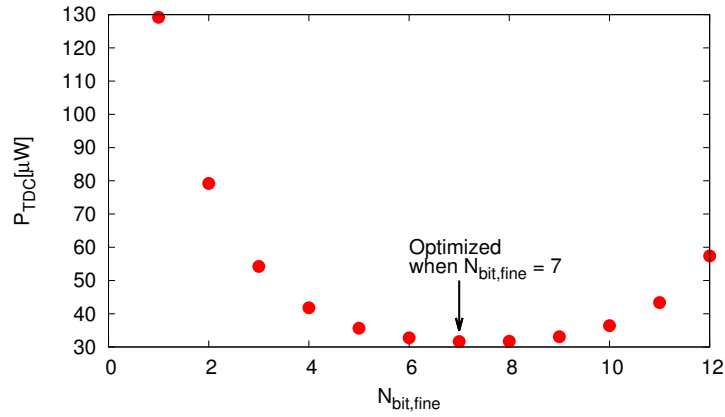


図 3.13 リングオシレータ型 TDC の電力最適化

となる．最終的に TDC の消費電力 P_{TDC} は 式 (3.4), 式 (3.5), 式 (3.6) を, 式 (3.3) に代入することにより,

$$P_{TDC} = \frac{E_r + E_f}{\tau_r + \tau_f} + f_{samp} \cdot 2^{N_{bit,fine}-1} \cdot E_{D-FF,max} + 2 \cdot \sum_{k=1}^{N_{bit,coarse}} \frac{f_{ring}}{2^k} \cdot E_{D-FF,max}. \quad (3.7)$$

が得られる．

図 3.13 に TDC 消費電力の計算結果を示す．横軸は高分解能側のビット数である．高分解能側のビット数が少ないとき, 消費電力はクロック同期型の TDC に近づき, 逆に高分解能側のビット数が増加するとディレイライン型の TDC に近づく．本設計では, 電力が最小値となる $N_{bit,fine} = 7$ とした．

3.3.4 TDC の統計的キャリブレーション

TDC の時間分解能はディレイ素子の遅延時間に依存しているため, 必然的に LSI プロセスばらつきの影響を受ける．遅延時間のばらつきは TDC の有効ビット数 (ENoB: effective number of bits) を低下させるため補正が必要である．本研究では TDC のキャリブレーション方式としてヒストグラムキャリブレーション [80] を用いる．これは, TDC に様々な遅延時間を入力し, TDC 出力コードのヒストグラムを作成することで, 遅延時間のばらつきを把握する手法である．ディレイ素子の遅延時間のばらつきが無ければ出力コードのヒストグラムのビンが一樣となるが, 例えば 1 つのディレイ素子の遅延時間が長かった場合, そのディレイ素子に相当するコードのビンが多く計測される．一樣な遅延時間を入力は, TDC のリングオシレータを起動した状態でリングオシレータの発振周期と異なる周期で TDC のサンプリングトリガを複数回入力することで行う．求められたそれぞれのビンのカウント値が全カウント値に占める割合とリングオシレータの発振周期に

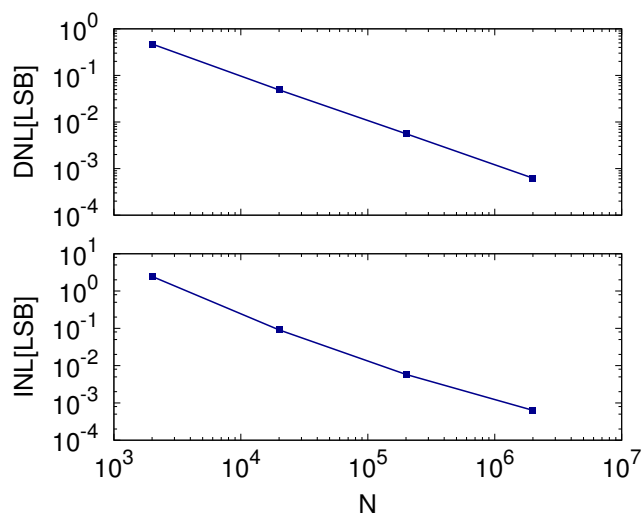


図 3.14 TDC のキャリブレーション結果

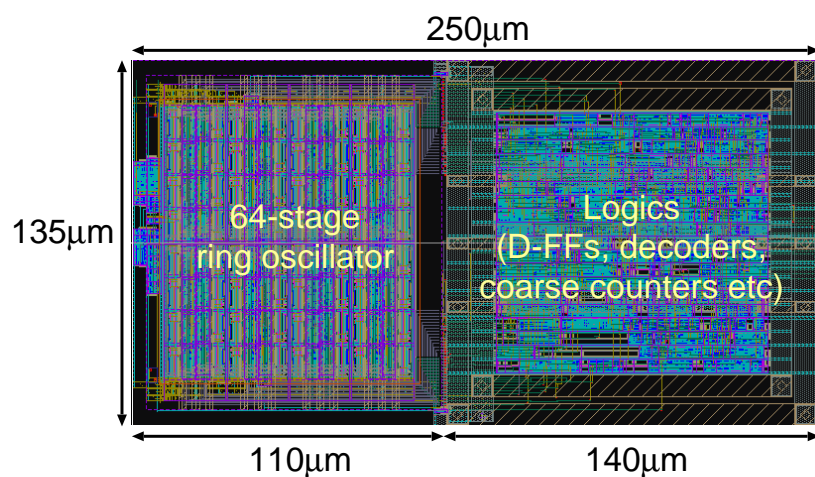


図 3.15 提案 TDC のチップレイアウト

よりディレイ素子 1 段辺りの遅延時間が求められる．最終的に求めた遅延時間から補正係数を計算し，復元後の TDC の出力を補正する．

TDC に入力するトリガの回数 N とキャリブレーション後の DNL(differential non linearity) および INL(integral non linearity) を図 3.14 に示す．DNL, INL とともにトリガ回数 N の逆数に比例して減少していることがわかる．本研究におけるキャリブレーションでは，INL が 1LSB 未満となる $N = 5000$ とした．

3.3.5 提案 TDC の評価

提案 TDC は 180 nm 1P6M CMOS プロセスにて設計を行った．チップレイアウトを図 3.15 に示す．TDC の面積は $250 \mu\text{m} \times 135 \mu\text{m}$ となり，高分解能側 (リングオシレータ) は

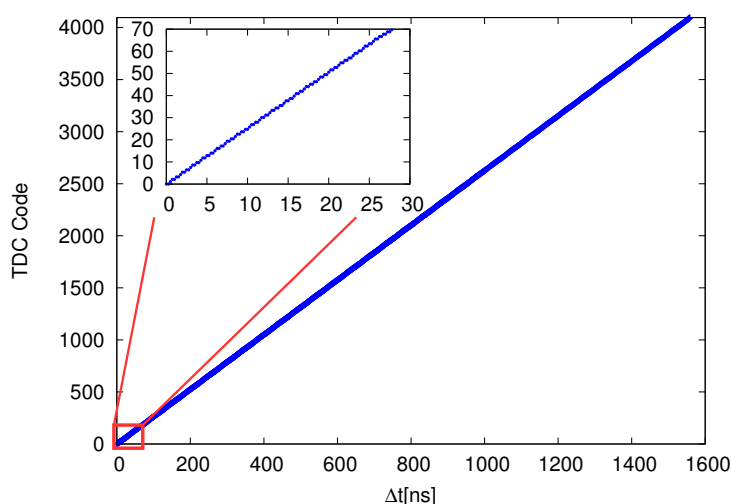


図 3.16 提案 TDC のキャリブレーション後における伝達特性 (シミュレーション結果)

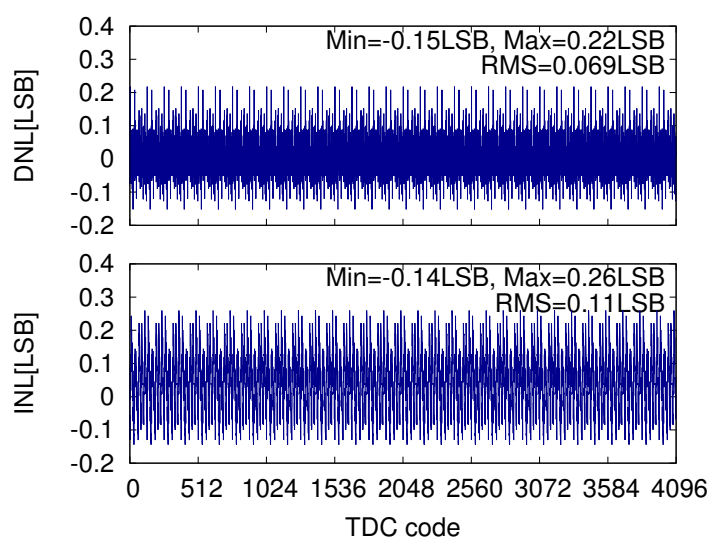


図 3.17 提案 TDC のキャリブレーション後における DNL および INL (シミュレーション結果)

110 $\mu\text{m} \times 135 \mu\text{m}$, 低分解能側 (カウンタ) は 140 $\mu\text{m} \times 135 \mu\text{m}$ となった. 提案 TDC のキャリブレーション後における伝達特性を図 3.16, DNL および INL のシミュレーション結果を図 3.17 に示す. DNL, INL とともに 1 LSB 以内に収まっており, 適切に同期がとられていることが分かる. もし高分解能側と低分解能側の同期がとられていない場合, 低分解能側の変換結果に誤りが生じ, 高分解能側の値の最大値である 128 LSB 分の誤差が生じる. また, シミュレーション結果における時間分解能は 380.6 ps, 入力レンジは 1158 ns, 変換中における消費電力は, 25.9 μW となった. TDC のジッタはシミュレーションにおいて $3\sigma=221.6$ ps となり, 要求仕様を満たす値となった.

表 3.1 先行研究との比較

	This work	[76]	[77]	[78]	[81]
Technology	180	65	180	90	65
Resolution [ps]	380.5	4.7	-	13.6	3
Number of bits	12	14	-	13	9
Input range [ns]	1158	77	-	111.2	1.54
VDD [V]	1.0	1.5	1.8	1.2	1.2
Total power [mW]	0.0259	22.4	7.75	18	0.4365
Logic energy (excl. ring osc.) [pJ/conv.]	4.66	5.38	13.0	-	-
Total area [mm ²]	0.0336	0.608	0.108	0.021	0.014
Logic area (excl. ring osc.) [mm ²]	0.0189	0.0608	-	0.0191	-

先行研究との比較結果を表 3.1 に示す．文献 [76] の TDC の面積および消費電力の殆どはリングオシレータによるものである．文献 [77] の TDC はリングオシレータ部分の段数が本研究のものに比べて少ないにもかかわらず，TDC 全体の面積は本研究のものより増加している．これはロジック回路部分による増加と考えられる．文献 [78] の TDC についても，チップ面積の多くをロジック回路が占有している．提案 TDC は先行研究よりもロジック回路部分の消費電力が少なく，かつ小面積となった．[76] と比較するとロジック回路の面積は $1/24.7$ に小面積化した．

3.4 提案 CS エンコーダの設計制約

本節では提案時間ドメインアナログ CS エンコーダの設計上の制約およびトレードオフについて議論する．まず，チップ面積と全体のチャンネル数を制約条件として与えると，VTC に用いることができるキャパシタ面積の最大値が決定する．同時にそのキャパシタ容量により VTC が実現可能なジッタの下限を決定する．一方，必要な SNR とフレームレートが与えられることにより TDC の時間分解能および VTC のジッタの上限値が決定される．VTC ジッタの下限値はキャパシタのサイズで決定されているので，VTC のジッタは下限値以下には設定できない．よって残された設計条件は計測ユニットあたりに搭載するチャンネル数 N_{unit} および消費電力とのバランスのみとなる． N_{unit} を少なく設定すると，VTC や TDC へ要求されるジッタの値が緩和されるため，低電力化が可能となる．しかし，一方で N_{unit} は実現可能な最大圧縮率 ($CR = N/M$) を決定するため，高い CR が実現不可能となる．反対に N_{unit} を大きく設定する場合，VTC や TDC には低ジッタが要求されるため，消費電力が増加する．特に，VTC のジッタはキャパシタ容量で決定されるため，VTC のジッタにより N_{unit} が制限されることになる．よって本設計では，現実的な値として $N_{unit} = 20$ を選択した．また，そのときの消費電力の最大値は 1 チャンネルあたり $6 \mu\text{W}$ 程度となり，先行研究よりも低消費電力化が期待できる．

3.5 結言

本章では，時間ドメイン処理回路を実現する上で必要な要素技術について，先行研究において解決すべき課題および本研究で提案した回路，その動作原理，評価結果について述べた．

VTC については，ニューラルレコーディングに向け，必要な線形性を実現するため，線形素子であるキャパシタと電流源による積分回路を用いた回路方式を採用した．線形性に関しては ± 4 ps 以内に収まり，12 bit 分解能相当となった．また，電圧ドメインアナログ回路におけるノイズに相当するジッタの値はを満足するように電流源およびキャパシタの値を設定し，積和演算回路全体でジッタは要求仕様である 1.61 ns 以下となった．

TDC に関しては，必要なディレイ素子の段数を減らすため，リングオシレータ型 TDC を採用した．リングオシレータ型 TDC は，高分解能側と低分解能側がそれぞれ非同期で動作するため，同期手法が必要である．本研究では，リングオシレータ位相を用いた同期手法を提案し，同期用のロジック回路によるオーバーヘッドを軽減した．提案 TDC のロジック回路部分の回路面積および消費電力は先行研究と比較して最小値となった．

第 4 章

時間ドメインアナログ CS エンコーダの 試作および評価

4.1 緒言

本研究では、提案した時間ドメインアナログ CS エンコーダの有効性を検証するため、電気的な動作検証および生理実験を視野に入れた 100 チャンネル同時計測可能な LSI を、180 nm 1P6M CMOS プロセスにより試作した。試作 LSI は、第 2 章にて提案した時間ドメインアナログ積和演算回路のアーキテクチャおよび、第 3 章にて提案・検討した構成要素を用いて 100 チャンネルの神経電位同時計測システムを実現している。また、4.2 節では試作 LSI について、上記の回路要素を含んだ全体的なシステム構成および、時系列での動作について述べる。また、試作 LSI の評価においては、実際の神経電位入力を模擬するため、100 チャンネル全てに評価用の信号をリアルタイムに送り込まなければならない。4.3 節では、試作 LSI のチップ写真や測定結果に加えて、試作 LSI 評価システムの構成、具体的な評価手法についても述べる。

4.2 試作した時間ドメインアナログ CS エンコーダおよび評価手法

試作した提案時間ドメインアナログ CS エンコーダを用いた 100 チャンネルニューラルレコーディング LSI 全体の構成を図 4.1 に示す。試作 CS エンコーダ LSI は 2.3.2 節の図 2.4 で示した計測ユニット 5 つで構成され、全体として 100 チャンネルの同時計測を実現した。また、全ての計測ユニットの出力信号をそのまま LSI 外部に引き出すと膨大なピン数が必要となるため、5:1 マルチプレクサ (MUX: multiplexer) を用い、引き出す出力信号を SEL 信号により選択する構成とすることで、ピン数を削減した。

計測ユニットのブロック図を図 4.2 に示す。各チャンネルの回路は CS cell にまとめられ、電極直下にアンプ、S/H、2 つの VTC、1 ビット分の PRBS 生成回路が実装されている。2 つの VTC および 1 ビット分の PRBS 生成回路はデイジーチェーン接続されており、20 チャンネル全体でそれぞれ、積和演算回路および PRBS 生成回路を実現する。制御信号および出力はそれぞれ、変換開始

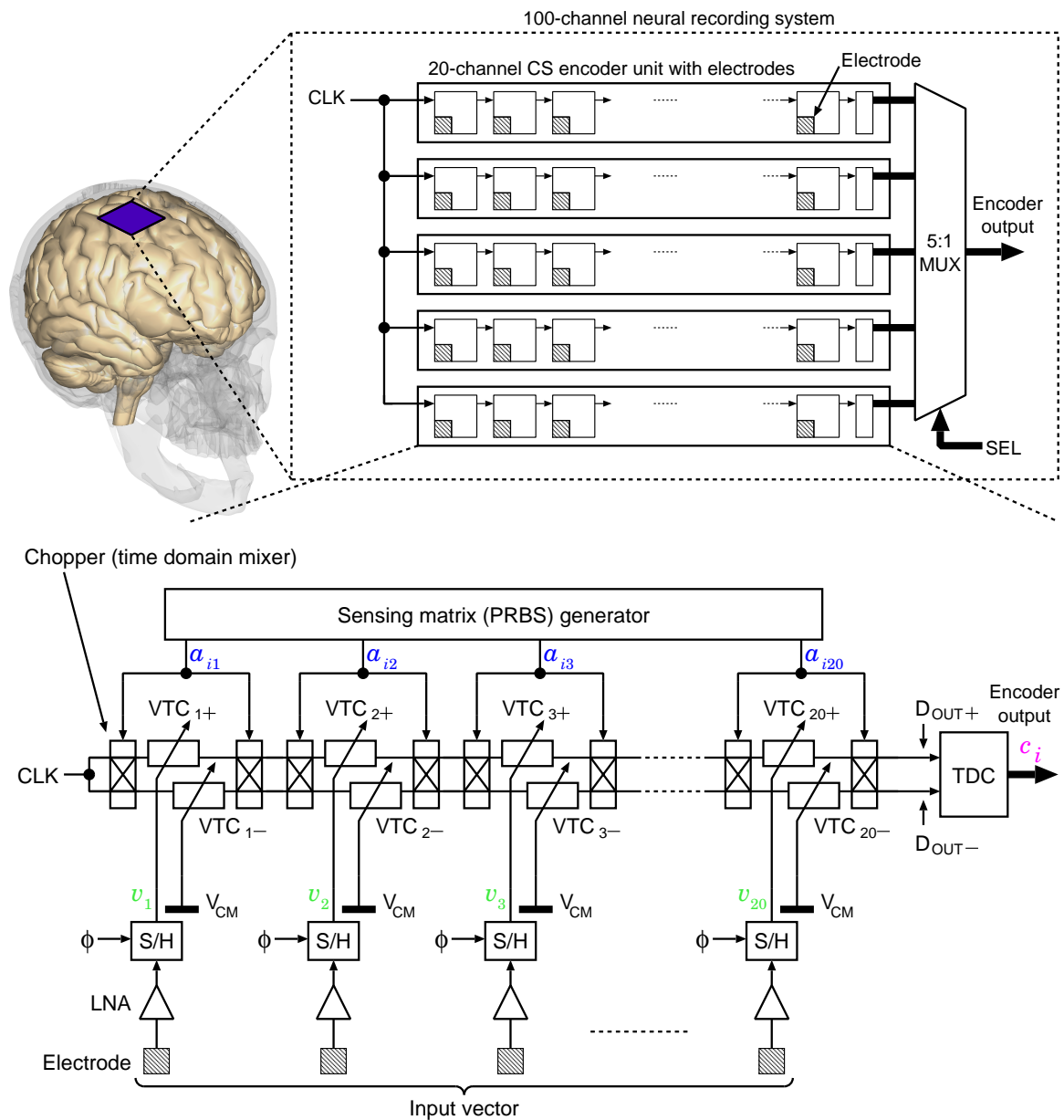


図 4.1 時間ドメインアナログ CS エンコーダによる 100 チャンネルニューラルレコーディングシステム

CLK, サンプリングクロック ϕ , PRBS 生成回路の初期化信号 LD_SEED, 観測行列のラッチ信号 PRBS_STORE, PRBS 生成回路用クロックの PRBS_CLK, 評価用信号入力端子 $V_{IN,TEG}$, 基準電圧 V_{REF} , 変換出力 D_{OUT} である。なお, 初期化や評価に用いる信号は一部省略されている。変換が開始されると各チャンネルの信号は電極直下で時間ドメインの信号に変換され隣接するチャンネルへ伝搬させる。最終段である 20 チャンネル目の出力 D_{OUT+}, D_{OUT-} が積和演算出力であり, TDC によりバイナリコードに変換される。このように各チャンネルの電極直下で時間ドメイン信号に変換することで, 長配線に伴う信号の減衰や外来ノイズ (アーチファクト) を低減できる。

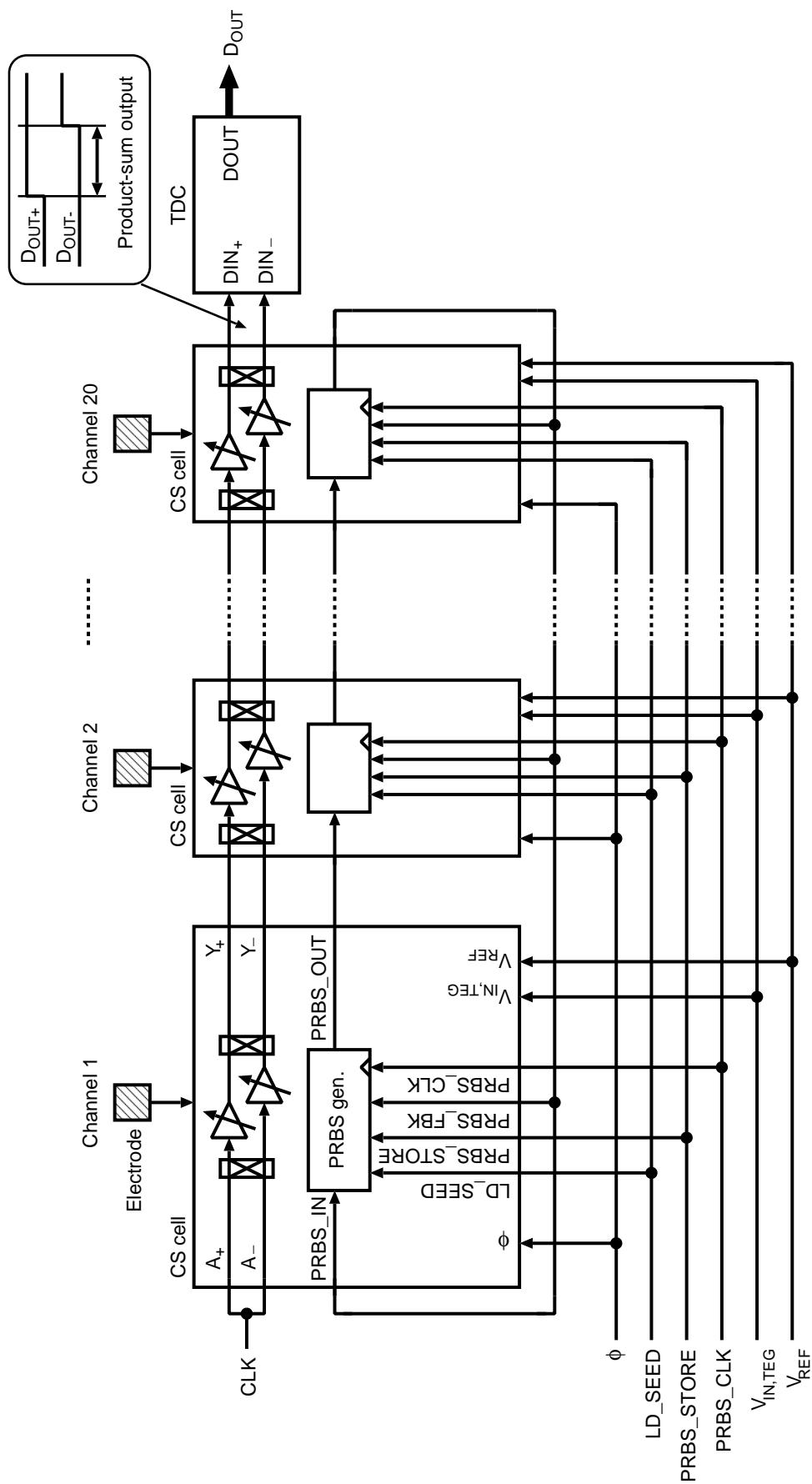


図 4.2 計測ユニットのブロック図

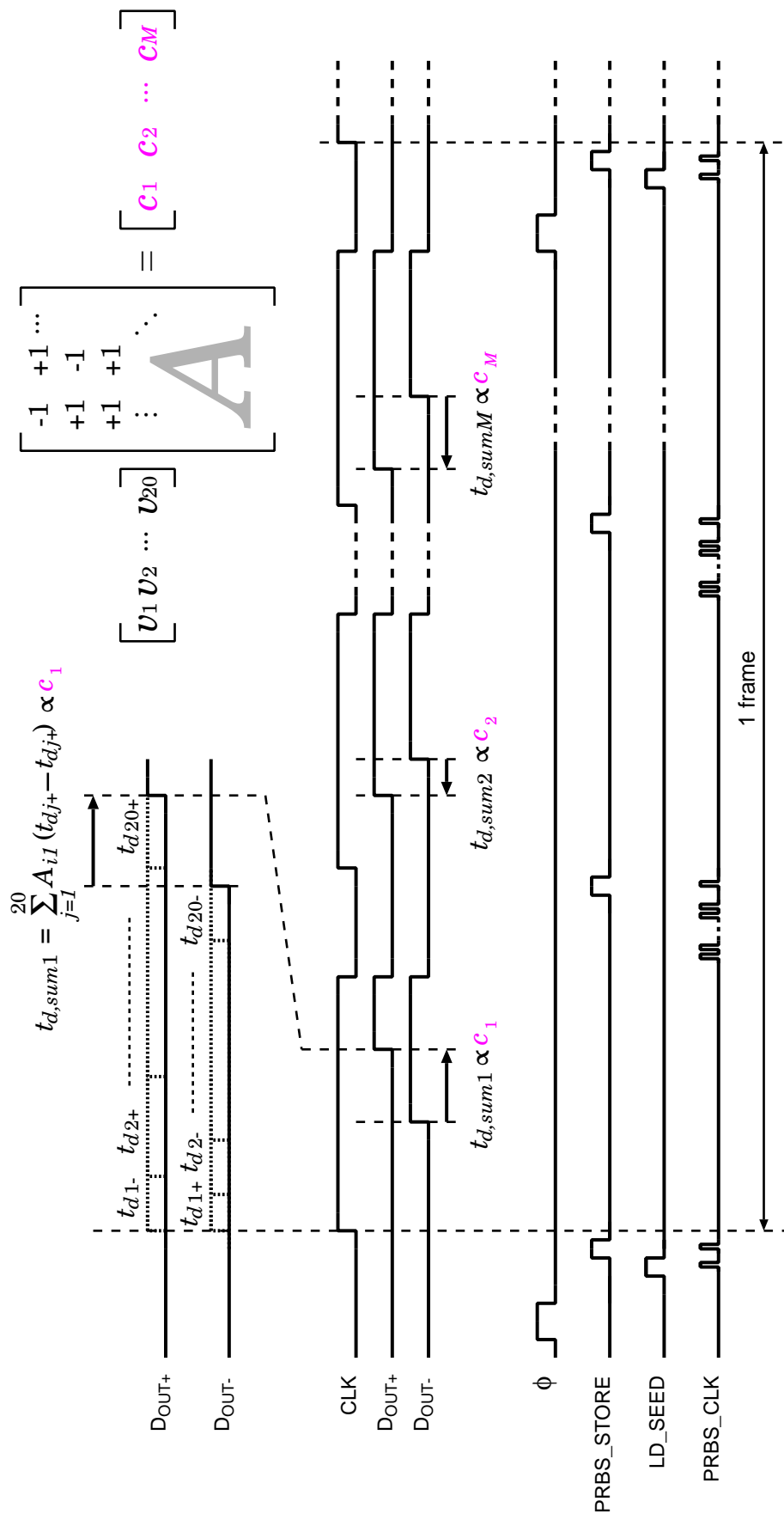


図 4.3 計測ユニットのタイミングチャート

表 4.1 PRBS 生成回路の動作モード

PRBS_STORE	LD_SEED	動作モード
L	L	PRBS 生成
X	H	初期化
H	X	観測行列ラッチ

表 4.2 CS cell の動作モード

入力	サンプリングクロック	動作モード
Preamplifier	ϕ	<i>in vivo</i> 計測モード
$V_{IN,TEG}$	SDO_TEG	LSI 評価モード
V_{CAL}	ϕ	キャリブレーションモード

計測ユニットによる 1 フレーム分の変換動作をタイミングチャートを図 4.3 に示す．積和演算回路に関しては，4.2 節にて述べた通りの動作である．1 フレームの変換前にサンプリングクロック ϕ が立ち上がり，S/H により 20 チャンネル全ての入力電圧がサンプリングされる．PRBS 生成回路はクロック同期回路であり，PRBS_STORE, LD_SEED 信号は PRBS_CLK の立ち上がりにより入力される．PRBS 生成回路の動作モードを表 4.1 に示す．LD_SEED 信号は PRBS 生成回路のリセットを制御する信号であり，H のとき初期化，L のとき PRBS 生成動作となる．また，PRBS_STORE は観測行列のラッチ信号であり，H のとき，PRBS 生成動作が停止し，現在の値を観測行列の値としてラッチする．フレーム開始時は，LD_SEED 信号により PRBS 生成回路が初期化され，その後初期値が PRBS_STORE によりラッチされる．積和演算動作が開始されてから次の積和演算動作が開始されるまで，20 クロック分のバーストクロックを PRBS_CLK に入力することで，観測行列を更新する．更新された観測行列は PRBS_STORE によりラッチされる．積和演算回路に入力される観測行列はラッチされるまで値が変わらないので，ラッチのタイミングが積和演算動作に重ならないければ，観測行列の更新は積和演算動作中の任意のタイミングで行うことができる．

CS cell のブロック図を図 4.4 に示す．図 4.2 で省略した制御信号，SDI_TEG, SDO_TEG, TEG_CLK は後述する LSI 評価モード時に使用する．表 4.2 に CS cell の動作モードを示す．CS cell は 3 つの動作モード，*in vivo* 計測モード，LSI 評価モード，キャリブレーションモードを持っており，S/H への入力とサンプリングクロックの接続先により動作モードが決定する．*in vivo* 計測モード時のブロック図を図 4.5 に示す．*in vivo* 計測モードは生理実験用の動作モードで，測定用電極の信号をプリアンプ (Preamplifier) により 100 倍 (40dB) に増幅したものが S/H に入力される．図 4.6 に示す LSI 評価モード時には，S/H の入力には，プリアンプに入力される代わりに外部から $V_{IN,TEG}$ が与えられる．また，サンプリングクロックについても ϕ ではなく D-FF の出力 SDO_TEG が接続されている． $V_{IN,TEG}$ は図 4.1 に示す通り，測定ユニットの全 20 チャンネルで共有されている．LSI 評価時は， $V_{IN,TEG}$ に評価用の信号を時間インターリーブで与える．

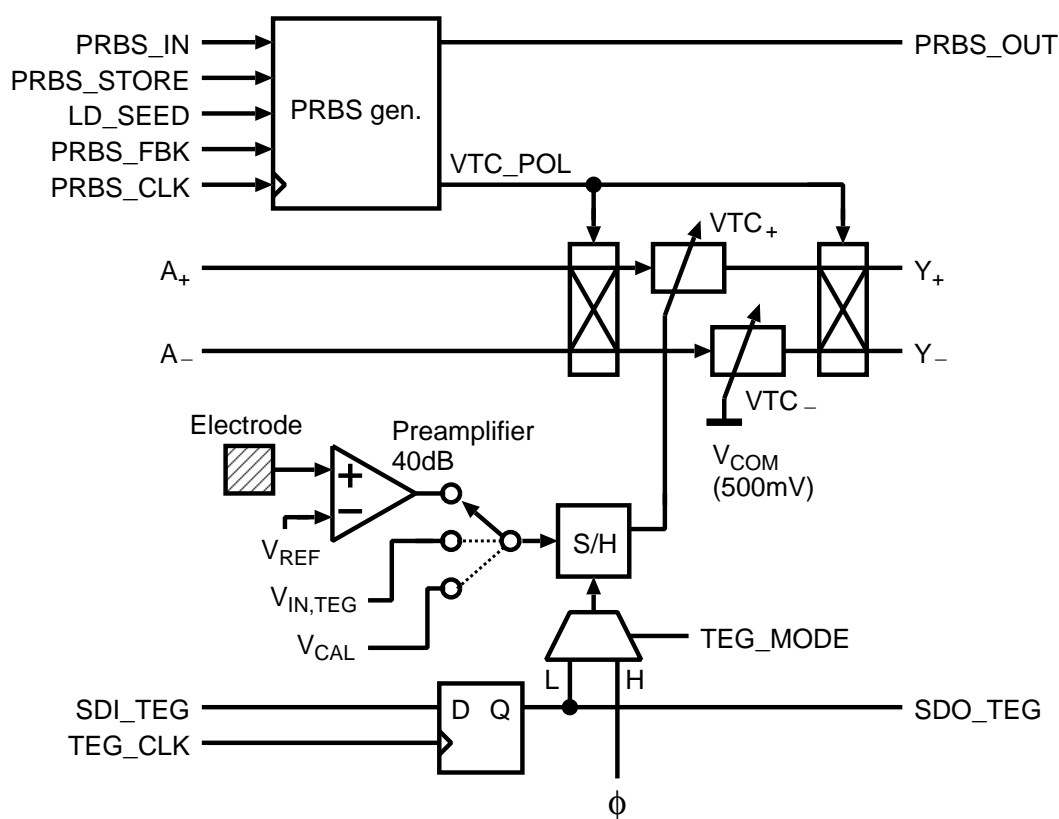
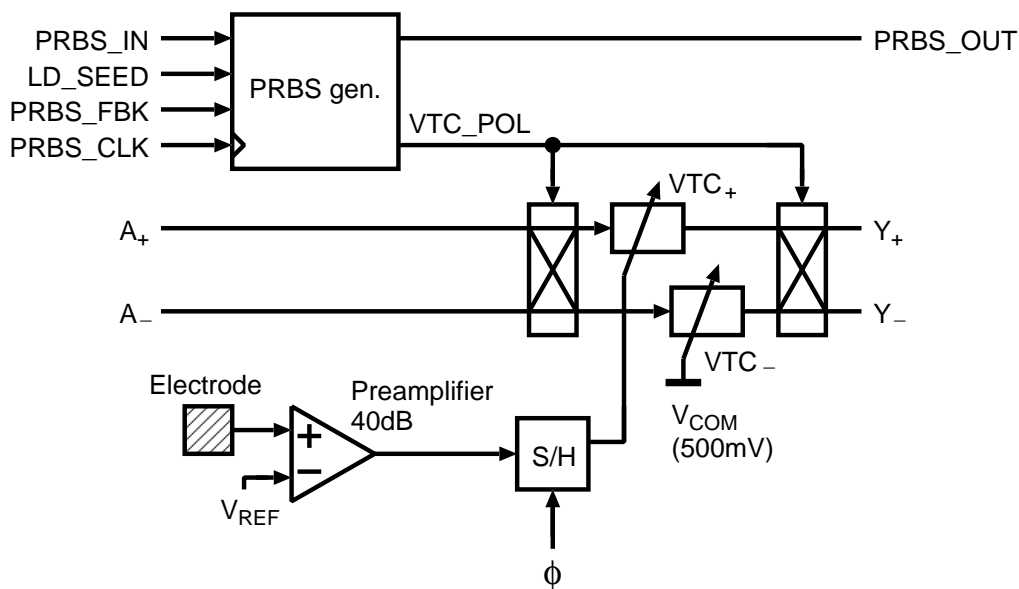


図 4.4 1 チャンネル分の回路 (CS cell) のブロック図

図 4.5 *in vivo* モード時における CS cell のブロック図

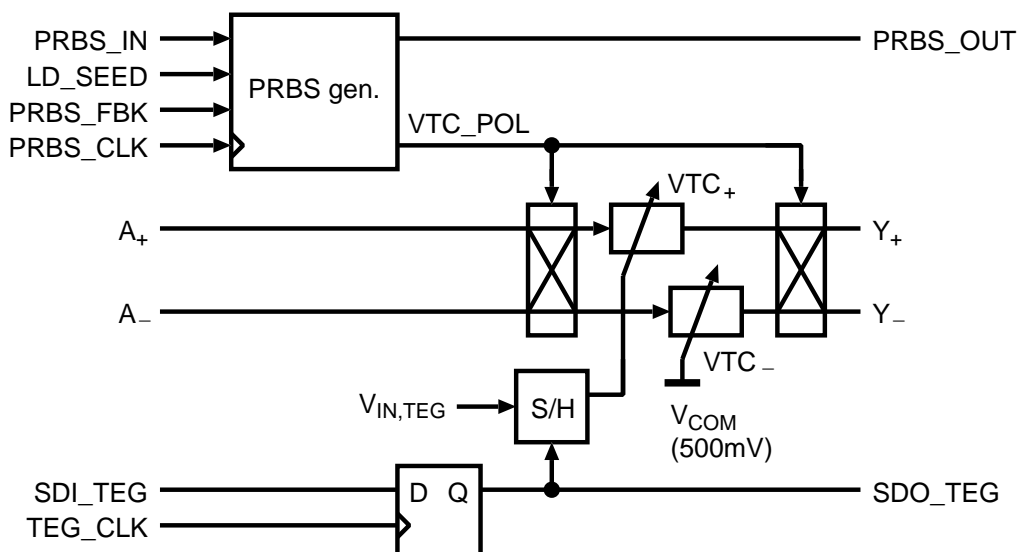


図 4.6 LSI 評価モードにおける CS cell のブロック図

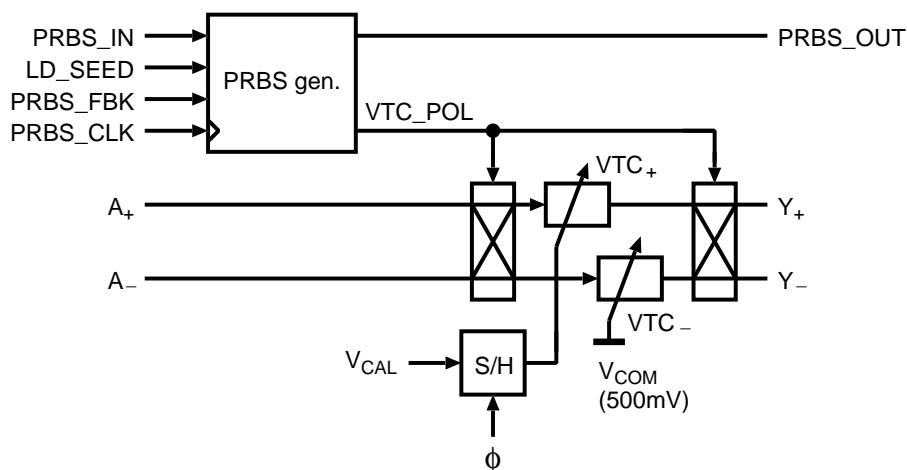


図 4.7 キャリブレーションモード時における CS cell のブロック図

SDO_TEG は隣接するチャンネルの SDL_TEG にデージーチェーン接続されており，測定ユニットのどのチャンネルに信号を入力するかを TEG_CLK を制御することで決定する．キャリブレーションモードは，VTC のオフセットおよび，ゲインを計測するモードである．VTC は入力を 0V とした場合でも，LSI の製造ばらつきに由来するオフセットが存在する．また，電圧遅延時間の変換ゲインについても製造ばらつきの影響を受ける．そこで，キャリブレーションモードによりオフセットおよびゲインを計測し，実際の信号測定時には，オフセットの差し引き，ゲインの割戻しを行うことで，製造ばらつきによる測定結果の誤差を補正する．

観測行列を生成する PRBS 生成回路には，典型的な線形帰還シフトレジスタ (LFSR: linear-feedback shift register) を採用した．LFSR とは，ある生成多項式を元にした帰還パスを設けたシフトレジスタであり，適切な生成多項式を選択することにより， N ビットの LFSR において $2^N - 1$

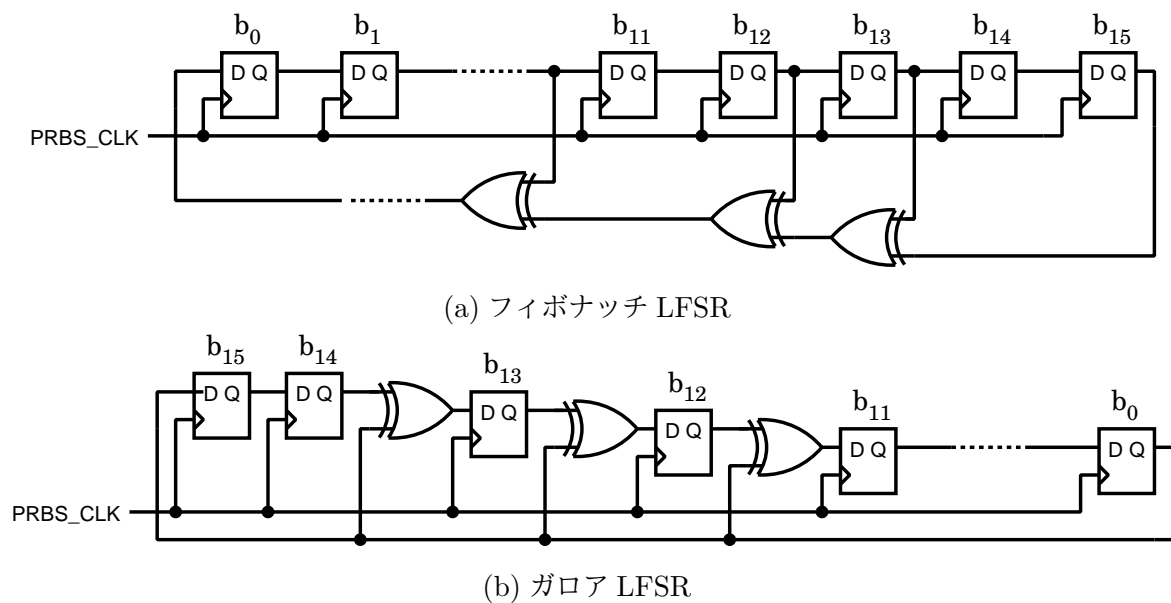


図 4.8 16 ビット LFSR の例

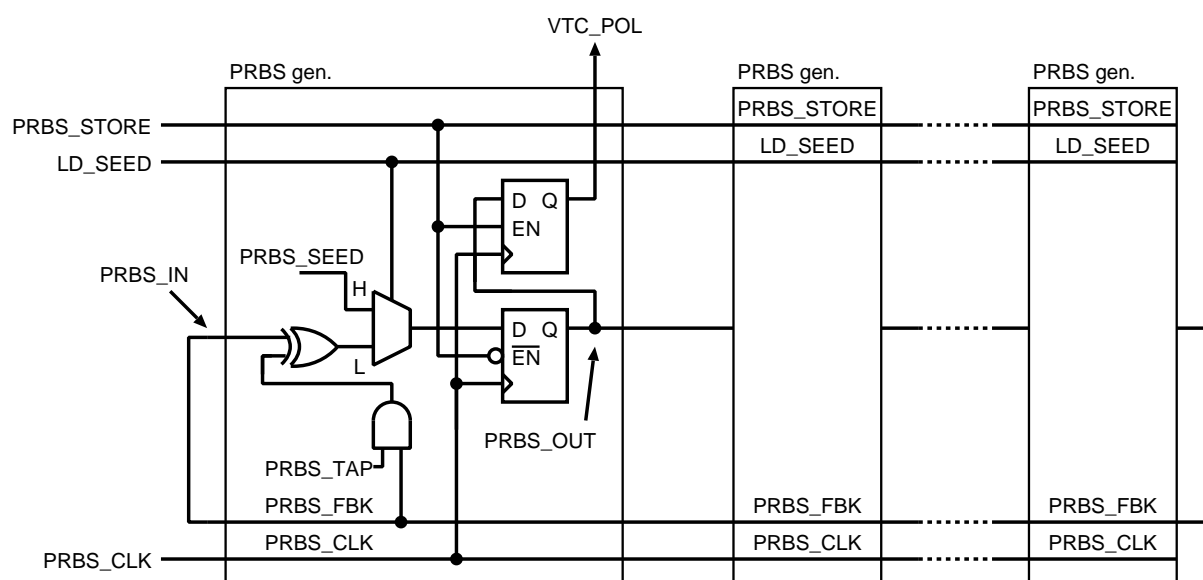


図 4.9 PRBS 生成回路のブロック図

クロック周期の擬似乱数を生成することができる。LFSR は既知の擬似乱数を生成する回路として、通信工学の分野では広く用いられている。帰還パスの各ビットをタップと呼び、生成多項式から得られる帰還パスの組み合わせをタップシーケンスと呼ぶ。例えば 16 ビットの LFSR において次のような生成多項式

$$x^{16} + x^{14} + x^{13} + x^{11} + 1$$

が与えられたとき、対応する LFSR を図 4.8 に示す。LFSR の実現方法はフィボナッチ LFSR(a)

表 4.3 試作した CS エンコーダの 1 チャンネルあたりの面積内訳

	面積 [mm ²]
電極	0.00399
LNA	0.00587
S/H	0.00583
VTC	0.00565
TDC	0.00353

とガロア LFSR の 2 種類があり、どちらも同じビットストリームを生成する。フィボナッチ LFSR は、各帰還パスからの信号を XOR ゲートで合成したものを 0 ビット目 (b_0) のシフトレジスタの入力にフィードバックさせる。一方、ガロア LFSR は、0 ビット目の出力を最終ビット (b_{15}) の入力および各タップに XOR ゲートを介してフィードバックする。フィボナッチ LFSR はタップ数分帰還パスの信号が XOR ゲートを通過するため、ゲート遅延により動作速度が制限されるが、ガロア LFSR は帰還パスの信号が通過するゲート数は高々 1 なので、高速動作に適する。本 CS エンコーダは変換中に観測行列の更新が必要であるため、高速動作に適するガロア LFSR を採用した。各チャンネルに実装されている PRBS 生成回路 (PRBS gen.) のブロック図を図 4.9 に示す。PRBS gen. は隣接するチャンネルとデジタイゼーション接続され、20 bit の LFSR を構成している。タップシーケンスは XOR ゲートの入力を AND ゲートで帰還させるか選択することで任意の生成多項式に設定できる。生成多項式および初期値を外部から任意に与えられる構成とし、測定時における生成多項式は

$$x^{20} + x^{18} + x^{17} + x^{16} + x^{15} + x^{14} + x^{13} + x^{11} + x^{10} + x^9 + x^8 + x^7 + x^6 + x^4 + x^3 + x^2 + 1$$

とした。LFSR の長さは 20 bit であるので周期は $2^{20} - 1 \simeq 10^6$ サイクルとなる。

4.3 測定結果

試作した CS エンコーダのチップ写真を図 4.10 に示す。チップ全体の面積は $1.85 \text{ mm} \times 1.82 \text{ mm}$ 、1 チャンネルあたりの面積は $0.0331 \text{ mm}^2/\text{ch.}$ 、TDC を除いた面積は $0.0272 \text{ mm}^2/\text{ch.}$ となった。1 チャンネルあたりの面積内訳を表 4.3 に示す。回路ブロックの面積は LNA, S/H, VTC それぞれほぼ同程度となり、TDC の占める面積はそれらに比べて小さくなった。

試作 CS エンコーダの評価システムを図 4.11 に示す。評価システムは全て PC 上から制御を行い、入力信号の設定、CS エンコーダの制御、得られたデータの収集・保存を全て FPGA board との通信経由で行う。試作 CS エンコーダ (Prototype CS encoder) は評価基板 (Prototype evaluation board) に搭載されており、評価基板は CS エンコーダの電源供給および入力信号の D/A 変換および供給を行う。FPGA board は PC からのコマンドによって動作し、CS エンコーダおよび評価基板の制御、得られたデータの収集 PC への転送を行う。評価システムのブロック図を図 4.12 に示す。LSI 評価では、評価用信号を 100 チャンネル全てに入力信号をナイキスト周波数である 20 kHz

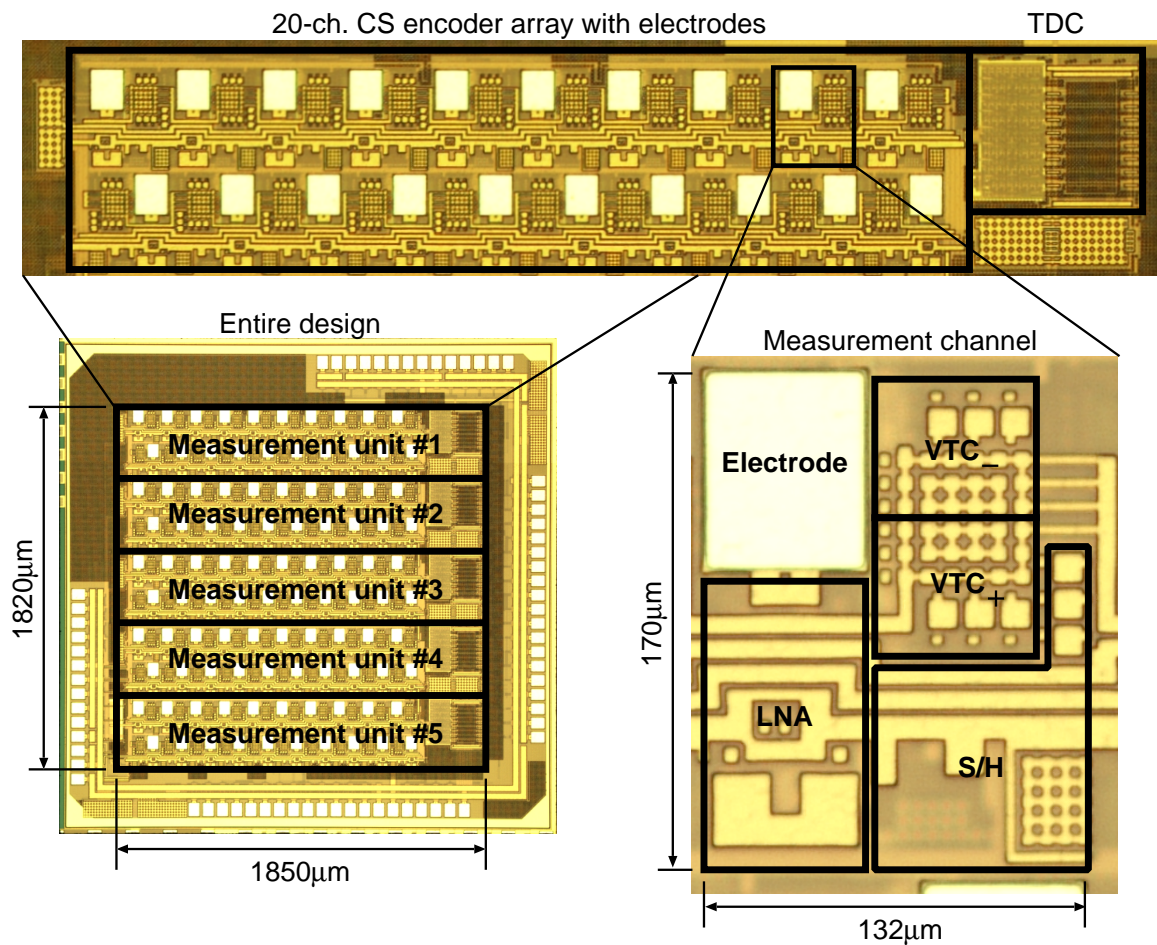
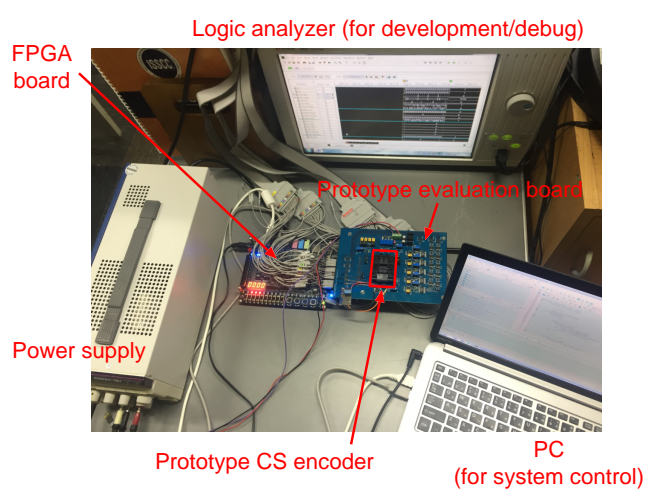
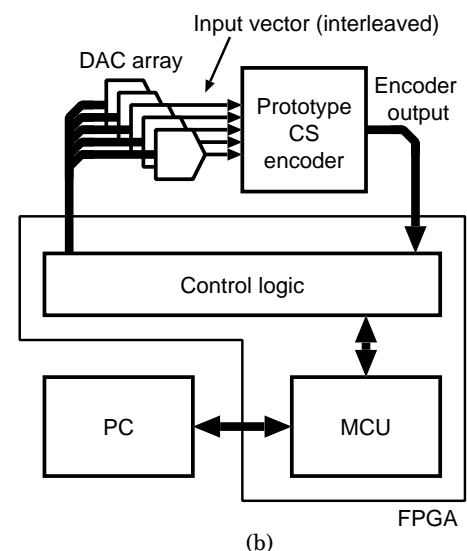


図 4.10 試作した CS エンコーダのチップ写真



(a)



(b)

図 4.11 試作 CS エンコーダ評価システムの写真

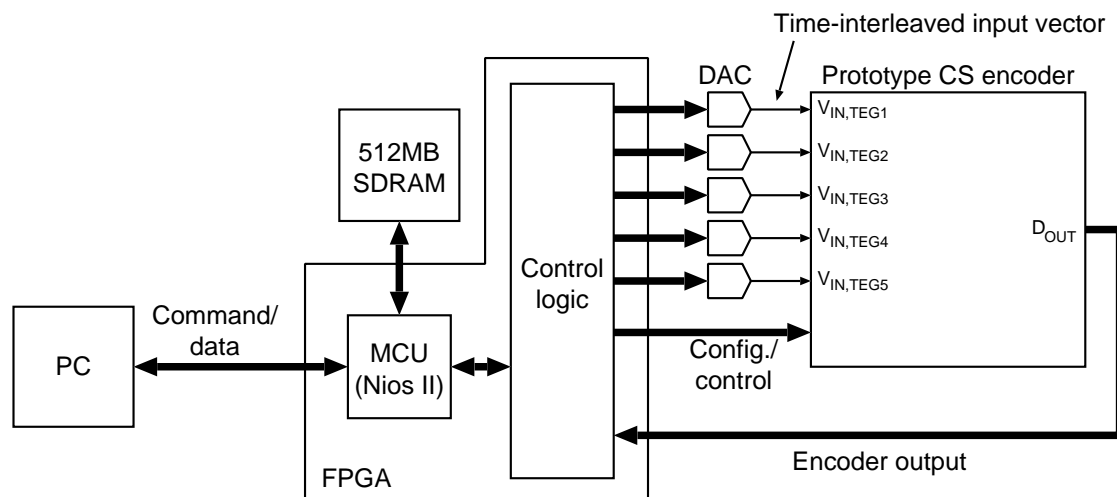


図 4.12 CS エンコーダの評価システムのブロック図

でリアルタイムに送り込まなければならない。そのため、5つの高速DACをアレイ化し、DACの出力を各計測ユニットの図4.6に示す $V_{IN,TEG}$ に接続し、時間インターリーブ信号により供給した。それに伴い、DACアレイおよびCSエンコーダは高速かつ正確なタイミングでの制御する必要があるため、本研究ではプログラマブルロジック(FPGA: field-programmable gate array)上にCSエンコーダ制御用のロジック回路を合成した。また、ロジック回路の制御、測定データ収集、コマンドラインモニタによるPCとの通信用MCU(Nios II)についても同FPGA上に合成した。

CSエンコーダの評価手順を図4.13に示す。本研究では、100チャンネルを1フレームとして、実際の神経電位を模擬した時系列信号を1000フレーム分用意し、入力信号とした。1フレーム分の信号は前述のDACアレイを通じてCSエンコーダの全てのチャンネルに供給される。CSエンコーダ出力はFPGAにより収集された後、PCに転送される。CSエンコーダの出力からPC上のMATLABベースのプログラムを用いて復元される。最後に復元されたデータと、元々の入力信号を式(2.3)で示したReconstructed SNRにより比較した。

CR = 25%における100チャンネルCSエンコード結果を図4.14に示す。元の入力信号(Original data)を赤の点線で、復元後の信号(Reconstructed data)を青の実線でそれぞれ示した。また、基底としては離散コサイン(DCT: discrete cosine transformation)行列を用いた。図4.14の結果においてフレームごとのReconstructed SNRを計算したものを図4.15に示す。信号振幅の高い領域で高いSNRが得られている。SNRの最大値は $t=11.1\text{ms}$ のとき最大値15.3 dBとなった。圧縮率が最大値となった $t = 11.1\text{ms}$ について、CRを変化させた際のReconstructed SNRの変化についてプロットしたものを、図4.16に示す。SNRは $CR \leq 3$ において約20 dBで飽和した。さらに、 $CR = 4$ におけるReconstructed SNRは15.3 dBであり、図2.6に示すMATLABシミュレーションの値19.5 dBに比べて3 dB以上低下している。これは有効ビット数(ENOB: effective number of bits)に換算すると0.7ビット分に相当する値である。これは、VTCの電圧-時間変換ゲインがプロセスによりばらつき、システムのダイナミックレンジを下げたため

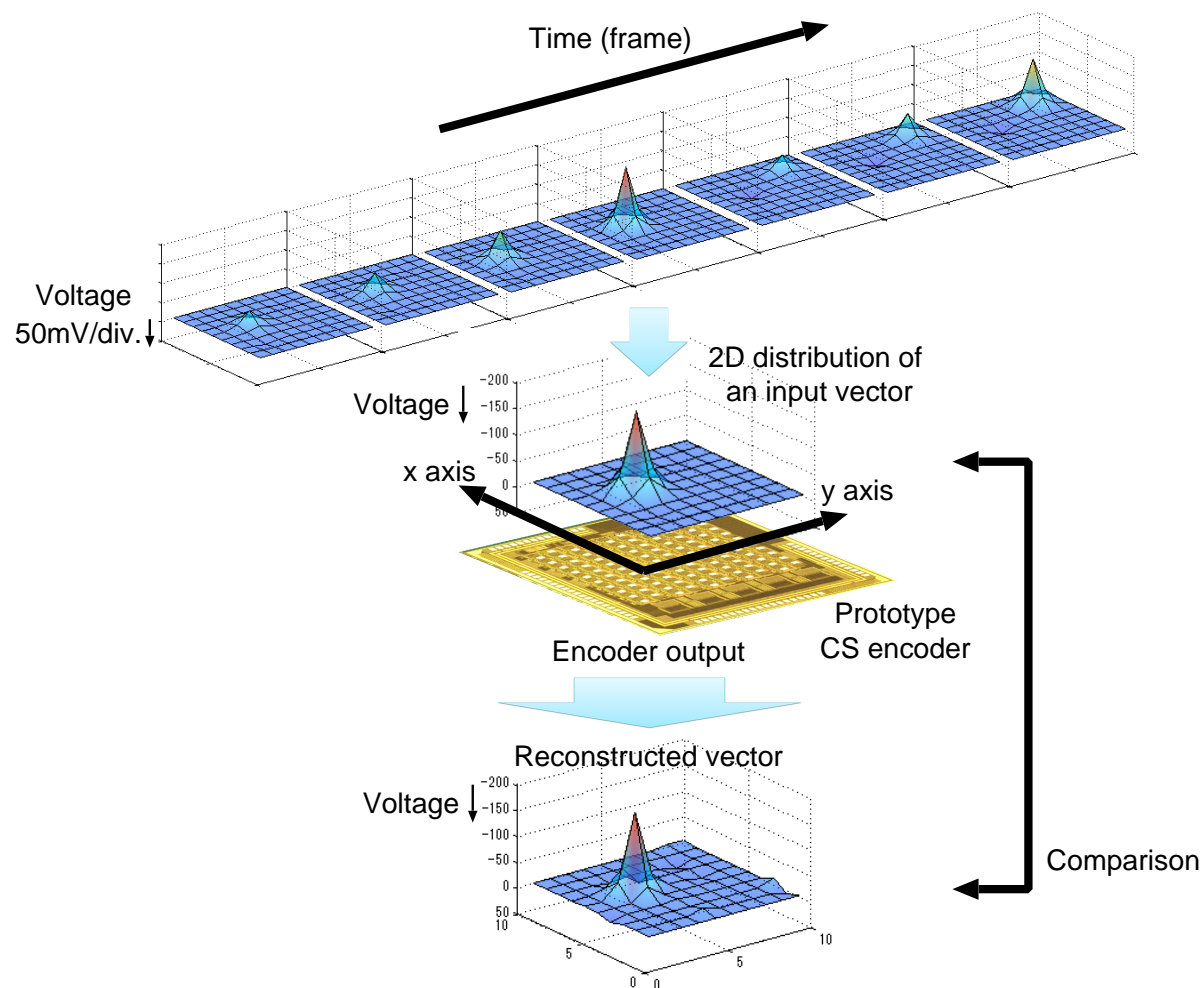


図 4.13 CS エンコーダの評価手順

であると考えられる。本設計では電力を削減するため、VTC のキャパシタ電位比較に用いるコンパレータをロジックゲートにより構成した。そのため、プロセスばらつきや、電圧変動、および温度変化 (PVT: process, voltage and temperature) による影響を大きく受けたと考えられる。そのため、SNR を向上させるためには、VTC にはゲイン補正手法が別途必要であると考えられる。これらの誤差はキャリブレーションにより補正を行っているが、補正は復元後のデータに対して行っていた。そのため、復元過程ではゲインおよびオフセット誤差の影響を受け、シミュレーション時の想定に比べて信号のスパース性が劣っていたと考えられる。

CR を変化させた際の消費電力の変化について図 4.17 に示す。電力は 100 チャンネル計測システム全体のものであり、サンプリング周波数は $f_s = 20\text{kHz}$ とした。 P_{AFE} は LNA および S/H 回路の消費電力、 P_{CS} は VTC, TDC の消費電力、 P_{total} はそれらを合計した値である。 P_{AFE} は CS の動作に依存しないため、CR によらず一定の値 $1.68\text{ }\mu\text{W}/\text{ch.}$ を示した。一方、 P_{CS} は信号観測回数に比例するため、CR に反比例した値となった。 P_{total} は CR が低い領域では P_{CS} が支



図 4.14 100 チャンネル CS エンコード結果

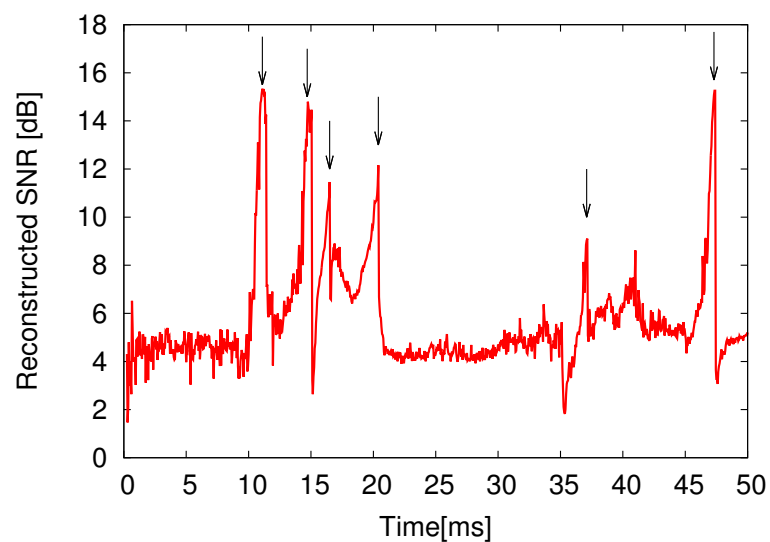


図 4.15 reconstructed SNR の時間波形

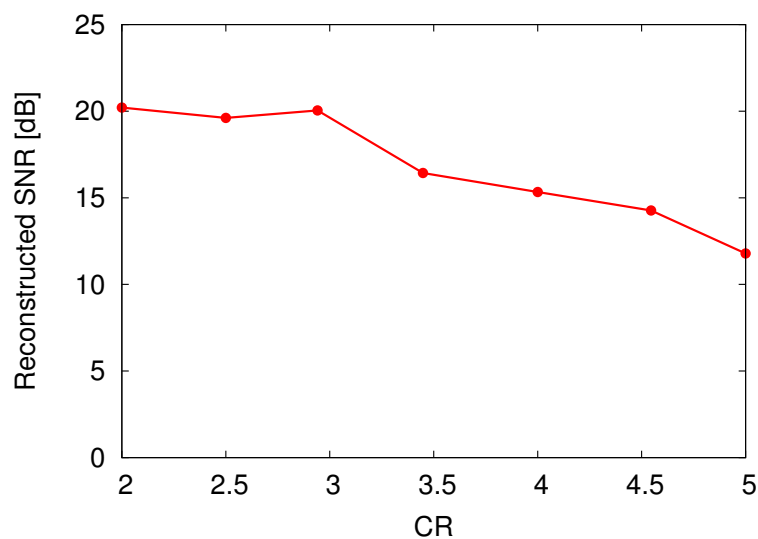


図 4.16 CR と reconstructed SNR の関係

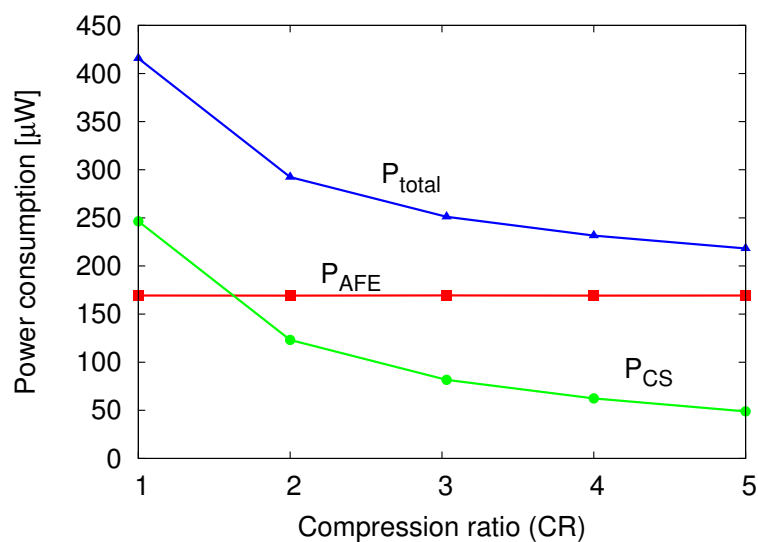


図 4.17 CR と消費電力の関係

配的となり，CR が高くなるにつれて P_{AFE} に漸近する．本 CS エンコーダの変換効率を，1 チャネル，1 変換あたりの消費エネルギーとして計算すると，25.0 pJ/ch.・conv. となった．

CS によるニューラルレコーディング LSI の先行研究と本研究との性能比較を表 4.4 に示す．提案 CS エンコーダは，先行研究に比べ，最も低電力かつ小面積を実現した．特に，変換効率に関しては，25.0 pJ/ch.・conv. であり，デジタル CS エンコーダに比べて 1/10 低エネルギー化した．

表 4.4 提案 CS エンコーダの性能比較

Parameter	[65]	[67]	[68]	[69]	[70] (sim.)	This Work
Technology [nm]	90	180	180	180	180	180
Number of channels	1	12	16	16	16	100
Target signal type	EEG	Neural signal	LFP / AP	EEG	AP	AP
Input signal BW [kHz]	10	7	10	2	10	10
Resolution [bit]	8	12	10	10	-	10
Implementation method	Digital CS	Digital CS	Digital CS	Analog CS	Analog CS	Time- domain analog CS
Input vector type	Temporal	Temporal	Temporal	Spatial	Spatial	Spatial
Compression ratio (CR)	20	≤ 8	8–16	≤ 16	2.3	1–20
Reconstructed SNR [dB]	10 (CR=20)	-	9.78 (CR=8)	10.9 (CR=4)	6.47 (CR=2.3)	15.3 (CR=4)
Total area [mm ² /ch.]	0.104 (w/o LNA)	0.563	0.0489	0.0464	-	0.0331
CS encoder area (w/o AFE) [mm ² /ch.]	0.09	-	0.0117	0.008	0.0023	0.0065
Total power efficiency [pJ/ch.·conv.]	-	-	475 (CR=8)	238 (CR=4)	343.5 (CR=2.3)	92.6 (CR=4)
CS encoder power efficiency (w/o AFE) [pJ/ch.·conv.]	-	-	241 (CR=8)	131 (CR=4)	53.5 (CR=2.3)	25.0 (CR=4)

4.4 結言

本章では、提案時間ドメインアナログ CS エンコーダを NRS に応用したするため、第3章で検討した要素回路を用いて製作した試作 LSI について、その回路構成、試作 LSI の評価システム、評価手法、および測定結果について述べた。試作時間ドメインアナログ CS エンコーダは、180 nm CMOS プロセスにて設計・試作され、1 チャネルあたりの面積は 0.0331 mm^2 、1 チャネル、1 変換あたりの消費エネルギーは $\text{CR}=4$, 30 ksp/s において $25 \text{ pJ/ch}\cdot\text{conv.}$ となった。先行研究との比較ではデジタル CS エンコーダに比べて $1/10$ 低エネルギー化した。

第 5 章

確率的信号処理回路の JPEG 圧縮回路 応用

5.1 緒言

本研究ではイメージセンサの画像圧縮回路について取り上げ、確率的信号処理回路を用いたアーキテクチャの有効性を回路面積の観点から検証する。圧縮アルゴリズムとしては現在最も広く用いられている JPEG を想定し、JPEG 圧縮に必要な DCT 演算について確率的信号処理を適用する。DCT 演算とは、入力信号 (各ピクセルの輝度情報) と余弦関数の数列 (DCT 係数) との積和演算により空間周波数に変換する操作である。DCT 係数は小数点数であり、一般的なデジタル信号処理で実現する場合、回路面積が増大してしまうため、超並列演算には適さない。そのため、JPEG 圧縮は一般的にソフトウェアにより行われているのが現状である。そこで本研究では、演算をきわめて小さな回路規模で実現でき、超並列演算に有利な確率的信号処理回路を応用することで、オンチップ JPEG 圧縮回路実現を目指す。

本章では 5.2 節では、JPEG 圧縮アルゴリズムの原理および具体的な圧縮手順について述べ、5.3.1 節では、具体的な回路構成、構成要素、演算精度および電力モデルについて議論する。

5.2 JPEG 圧縮の原理

JPEG(joint photographic experts group) 圧縮は、1992 年に同名の組織により策定された現在世界で最も普及している画像圧縮方式の一つである [82]。JPEG では離散コサイン変換 DCT により画像の周波数成分が低周波側に集中することを利用して圧縮を行う。図 5.1 に JPEG 圧縮アルゴリズムの過程を示す。圧縮処理は $N \times N$ ピクセルのブロックを 1 つの単位として行われ、それぞれのブロックは並列処理可能である。まず、入力された各画素の RGB 成分を $YCbCr$ 形式と呼ばれる輝度、赤の色相、青の色相の 3 要素に変換してからそれぞれに圧縮を行う。変換された信号は DCT 演算により空間周波数の次元に変換される。変換後の信号のもつエネルギーは低周波側に集中し、高周波側の信号を切り捨てた場合であっても画像の持つ特徴はある程度保持される。そのた

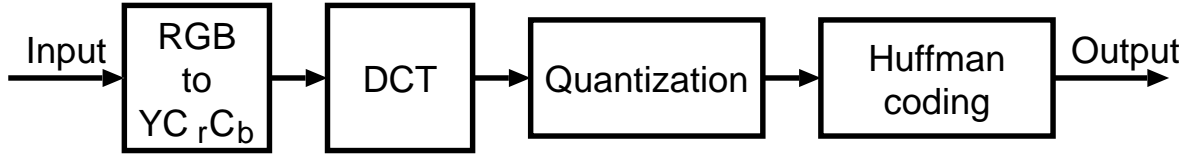


図 5.1 JPEG 圧縮アルゴリズムの過程

め、低周波成分を高分解能に、高周波成分を低分解能にそれぞれ量子化を行う。最終的にハフマン符号化により符号長を短縮して最終的な出力を得る。本研究では簡単化の為に DCT 演算のみを取り扱う。また、 YC_rCb 変換は行わず、輝度情報のみに DCT 演算を施す。つまり、扱う画像はグレースケールであることを意味する。まずは、ブロックごとに分割された 64 ピクセルの入力に対して 2 次元 DCT を行う。2 次元 DCT は、入力 $f(x)$ に対する 1 次元の DCT

$$F(u) = \alpha \cdot \sum_{x=0}^{N-1} f(x) \cos \frac{(2x+1)u\pi}{16}, \quad \alpha = \begin{cases} \frac{1}{\sqrt{2}} & (u=0) \\ 1 & (u \neq 0) \end{cases}, \quad (5.1)$$

を 2 次元に拡張したものであり、ブロック内ピクセルの情報を空間座標系 x, y から空間座標系 u, v に変換する。ある座標 x, y のピクセルの輝度が $f(x, y)$ で与えられるとき、変換後の座標 u, v における値 $F(u, v)$ は以下の式

$$F(u, v) = \alpha_v \cdot \alpha_u \sum_{y=0}^{N-1} \sum_{x=0}^{N-1} f(x, y) \cos \frac{(2y+1)v\pi}{16} \cos \frac{(2x+1)u\pi}{16} \quad (5.2)$$

となる。ただし、 α_u, α_v は係数であり、

$$\alpha_v = \begin{cases} \frac{1}{\sqrt{2}} & (v=0) \\ 1 & (v \neq 0) \end{cases}, \quad \alpha_u = \begin{cases} \frac{1}{\sqrt{2}} & (u=0) \\ 1 & (u \neq 0) \end{cases}$$

である。このままでは、1 ピクセルの変換を行うのに 64 回の積和演算が必要になってしまうため、実際は式 (5.2) を x 方向と y 方向の演算に分け、

$$F'(x, v) = \alpha_v \cdot \sum_{y=0}^{N-1} f(x, y) \cos \frac{(2y+1)v\pi}{16}$$

および

$$F(u, v) = \alpha_u \cdot \sum_{x=0}^{N-1} F'(x, v) \cos \frac{(2x+1)u\pi}{16}$$

の 2 段階の演算で変換を行う。これは、式 (5.1) の 1 次元 DCT を y 方向に行った後、 x 方向に同様の演算を行うことと等価である。通常の JPEG 圧縮におけるブロックサイズは $N = 8$ である。変換された空間周波数情報は、量子化テーブルにより高周波成分を減衰させるように重み付けされた後、ハフマン符号化によりデータ量が削減される。以上が JPEG おける画像圧縮アルゴリズムである。本研究では DCT 演算について確率的信号処理回路による実装を行う。

5.3 確率的 JPEG 圧縮回路

DCT は積和演算により行い、さらに行列の各要素値は小数点数であるため、通常のアナログ回路やデジタル信号処理を用いた場合、LSI 実装におけるハードウェアコストは大きくなる。文献 [83] はオンチップ DCT をアナログ回路により実現しているが、アナログ信号処理回路はスタティック電力の増加を招くため低消費電力化には限界があった。本研究では、確率的信号処理回路により DCT 演算回路を実装することで、小面積化、低消費電力化を実現する。

5.3.1 システム構成および動作原理

確率的 DCT 演算回路全体のブロック図を図 5.2 に示す。この回路は 8×8 ピクセル 1 ブロック分の DCT を行う回路である。64 ピクセルの入力信号 f_{ij}^* は、64 個の VSC により同時に確率的ビットストリーム f_{ij} に変換される。ただし、VSC 以降のビットストリーム変換後の値は $P(f_{ij})$ のような形で書くべきであるが、表記が煩雑になるため単に f_{ij} という形で書くこととする。列ごとのピクセルの値 $f_{1j}, f_{2j}, f_{3j}, \dots, f_{8j}, (1 \leq j \leq 8)$ は列 DCT ユニット [Column (Y) DCT unit] に入力される、ユニットの出力は Y 軸方向が空間周波数に変換されている。列 DCT ユニットの出力は行 DCT ユニット [Row (X) DCT unit] に入力され、X 軸方向を空間周波数に変換することで、最終的な DCT 出力が得られる。図 5.3 に列 DCT ユニットのブロック図を、図 5.4 に行 DCT ユニットのブロック図をそれぞれ示す。 D_{ij} は DCT 行列の各要素の値である。DCT 行列とは、式 (5.1) に示した 1 次元 DCT の式を行列演算で表したときの係数を格納した行列である。具体的には、入力ベクトルを \mathbf{x} とすると、DCT 演算後のベクトル \mathbf{X} は

$$\mathbf{X} = D\mathbf{x}$$

と表現でき、DCT 行列の各要素は、

$$D = \begin{pmatrix} \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \\ \cos\left(\frac{\pi}{16}\right) & \cos\left(\frac{3\pi}{16}\right) & \cos\left(\frac{5\pi}{16}\right) & \cos\left(\frac{7\pi}{16}\right) & \cos\left(\frac{9\pi}{16}\right) & \cos\left(\frac{11\pi}{16}\right) & \cos\left(\frac{13\pi}{16}\right) & \cos\left(\frac{15\pi}{16}\right) \\ \cos\left(\frac{2\pi}{16}\right) & \cos\left(\frac{6\pi}{16}\right) & \cos\left(\frac{10\pi}{16}\right) & \cos\left(\frac{14\pi}{16}\right) & \cos\left(\frac{18\pi}{16}\right) & \cos\left(\frac{22\pi}{16}\right) & \cos\left(\frac{26\pi}{16}\right) & \cos\left(\frac{30\pi}{16}\right) \\ \cos\left(\frac{3\pi}{16}\right) & \cos\left(\frac{9\pi}{16}\right) & \cos\left(\frac{15\pi}{16}\right) & \cos\left(\frac{21\pi}{16}\right) & \cos\left(\frac{27\pi}{16}\right) & \cos\left(\frac{33\pi}{16}\right) & \cos\left(\frac{39\pi}{16}\right) & \cos\left(\frac{45\pi}{16}\right) \\ \cos\left(\frac{4\pi}{16}\right) & \cos\left(\frac{12\pi}{16}\right) & \cos\left(\frac{20\pi}{16}\right) & \cos\left(\frac{28\pi}{16}\right) & \cos\left(\frac{36\pi}{16}\right) & \cos\left(\frac{44\pi}{16}\right) & \cos\left(\frac{52\pi}{16}\right) & \cos\left(\frac{60\pi}{16}\right) \\ \cos\left(\frac{5\pi}{16}\right) & \cos\left(\frac{15\pi}{16}\right) & \cos\left(\frac{25\pi}{16}\right) & \cos\left(\frac{35\pi}{16}\right) & \cos\left(\frac{45\pi}{16}\right) & \cos\left(\frac{55\pi}{16}\right) & \cos\left(\frac{65\pi}{16}\right) & \cos\left(\frac{75\pi}{16}\right) \\ \cos\left(\frac{6\pi}{16}\right) & \cos\left(\frac{18\pi}{16}\right) & \cos\left(\frac{30\pi}{16}\right) & \cos\left(\frac{42\pi}{16}\right) & \cos\left(\frac{54\pi}{16}\right) & \cos\left(\frac{66\pi}{16}\right) & \cos\left(\frac{78\pi}{16}\right) & \cos\left(\frac{90\pi}{16}\right) \\ \cos\left(\frac{7\pi}{16}\right) & \cos\left(\frac{21\pi}{16}\right) & \cos\left(\frac{35\pi}{16}\right) & \cos\left(\frac{49\pi}{16}\right) & \cos\left(\frac{63\pi}{16}\right) & \cos\left(\frac{77\pi}{16}\right) & \cos\left(\frac{91\pi}{16}\right) & \cos\left(\frac{105\pi}{16}\right) \end{pmatrix} \quad (5.3)$$

となる。なお、各 DCT の値は BSC などにより変換した確率的ビットストリームで入力する。列 DCT ユニット (図 5.3) は $f_{1j}, f_{2j}, f_{3j}, \dots, f_{8j}$ と $D_{i1}, D_{i2}, D_{i3}, \dots, D_{i8}$ との積和演算を、図中の Product sum により並列処理し、Y 軸のみを空間周波数に変換して F'_{ij} を出力する。ただし、

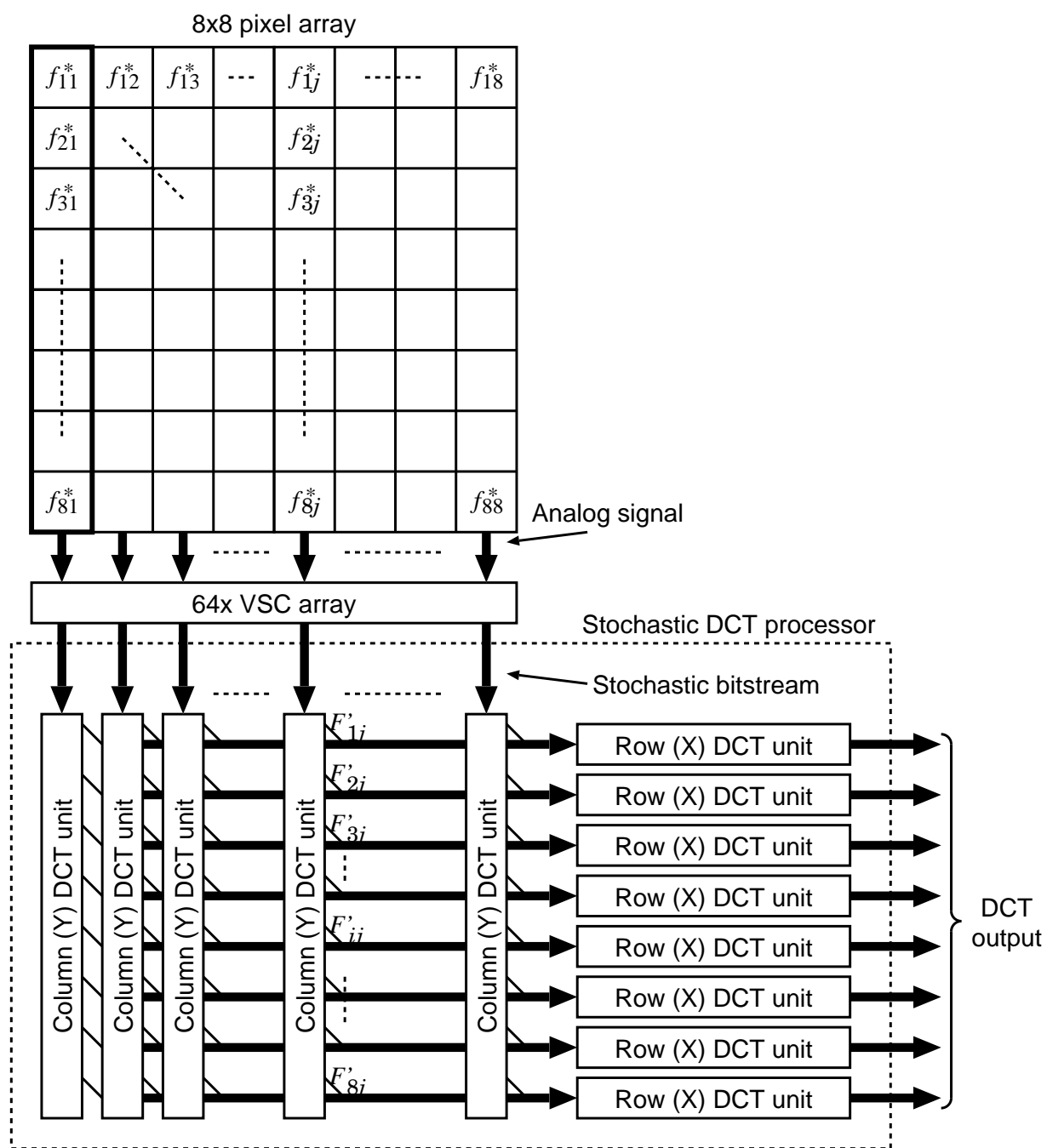


図 5.2 確率的 DCT 演算回路全体のブロック図

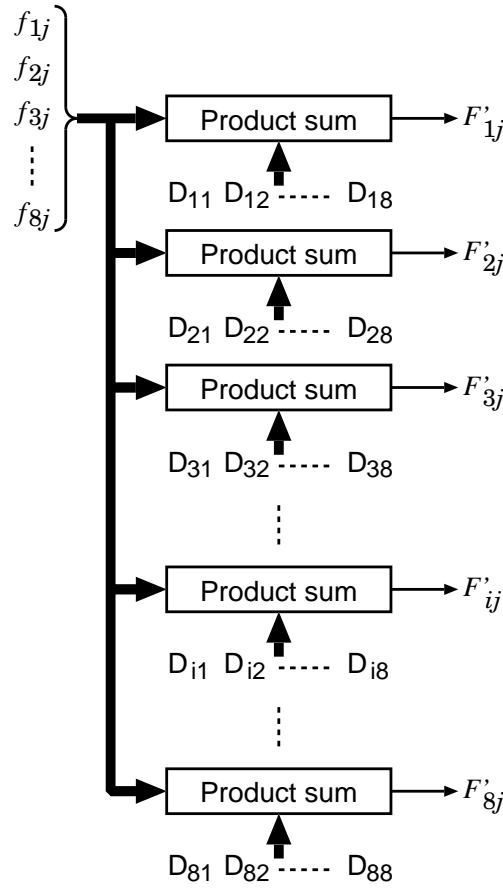


図 5.3 Column (Y) DCT unit のブロック図

$1 \leq i \leq 8, 1 \leq j \leq 8$ である。行 DCT ユニット (図 5.4) の回路構成は列 DCT ユニットと同様であるが、今度は X 軸方向に DCT をかけるため、図中の Product sum に代入される DCT 行列が転置されている。積和演算回路のブロック図を図 5.5 に示す。入力 \mathbf{X} と係数 D_1, D_2, \dots, D_8 との積は XNOR ゲートによって行われる。8 入力の加算回路により総和がとられ、出力 Y が得られる。8 入力の加算回路は図 5.6 に示すように、3 段の 2 入力 MUX により行われる。各段の MUX のセレクト入力にはユニポーラ表現で確率 0.5 が入力されており、各入力の重み付けが等しくなる。つまり、本回路の入出力関係は、

$$S = \frac{\sum_{n=0}^{8-1} A_n}{8}$$

となる。

5.3.2 確率的信号処理回路の演算精度

確率的信号処理回路は情報のあるビットストリーム中に ‘1’ が出現する確率により表現するため、本質的に演算結果に誤差が生じる。ビットストリーム長と演算結果の誤差について議論するた

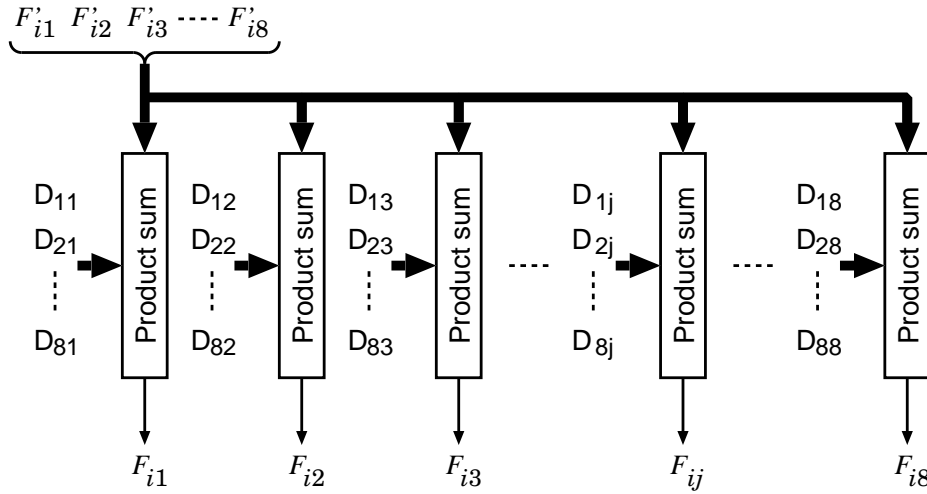


図 5.4 Row (X) DCT unit のブロック図

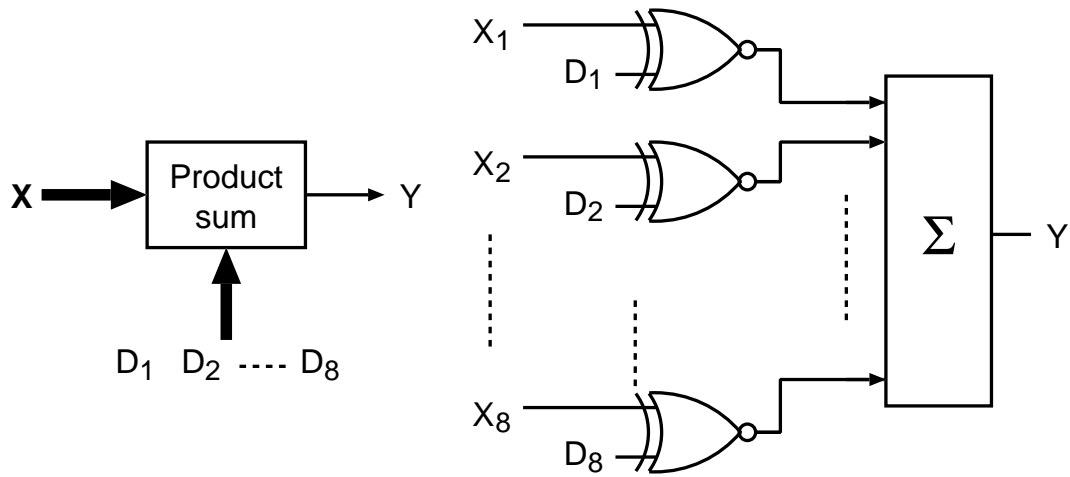


図 5.5 確率的積和演算回路のブロック図

めに、ある長さ N のビットストリーム $d(n)$ (n はサンプル番号) について考える．ビットストリーム中に $d(n) = '1'$ が出現する回数を X とおくと、確率 $P\{x(n) = '1'\}$ は

$$P\{d(n) = '1'\} = X/N \equiv P_d \quad (5.4)$$

となる．ビットストリームを複数回取得したとき、確率 P_d の分布を考える．ビットストリームは '0' または '1' の 2 値のみをとるベルヌーイ列であるため、統計的な性質は二項分布に従う．よってビットストリーム中に出現する '1' の数の期待値および分散は

$$E[X] = N \cdot P_d$$

$$V[X] = N \cdot P_d(1 - P_d)$$

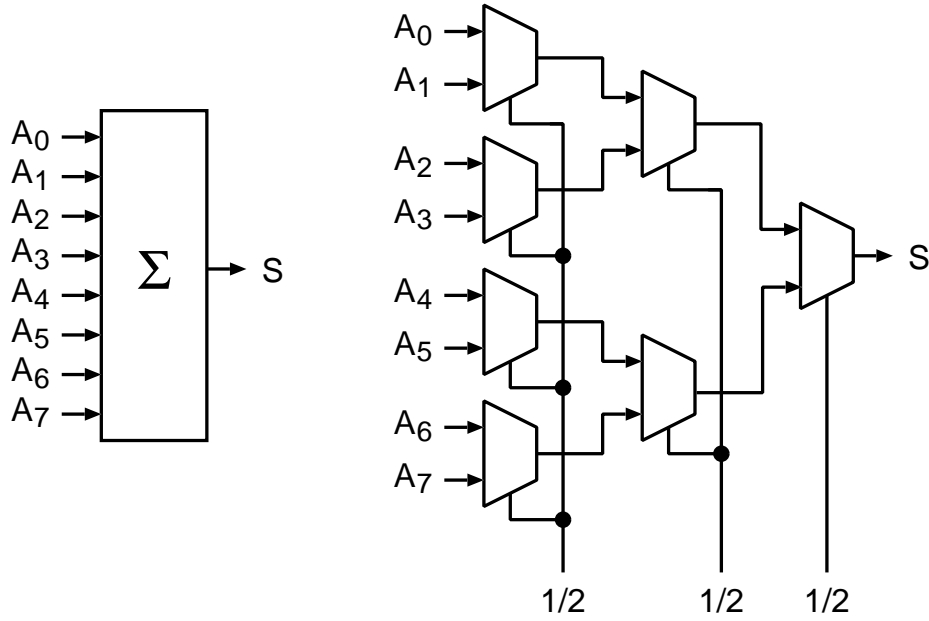


図 5.6 確率的加算回路のブロック図

となる．これを N で規格化して確率 \hat{P}_d の期待値，分散を求めると．

$$E[\hat{P}_d] = P_d$$

$$V[\hat{P}_d] = \frac{P_d(1 - P_d)}{N}$$

となる．標準偏差 μ_{P_d} は分散 $V[\hat{P}_d]$ の平方根

$$\mu_{P_d} = \sqrt{\frac{P_d(1 - P_d)}{N}}$$

となる．これは確率的信号処理回路の演算誤差がビットストリーム長 N の $-1/2$ 乗で低減することを意味する．

5.3.3 提案 JPEG 圧縮回路の動作および電力検証方法

確率的信号処理回路は大量の組み合わせ回路を並列動作させるため，システム全体の検証に膨大なシミュレーション時間を要する．そこで，本研究では回路シミュレータより高速に動作するシミュレータを C 言語により実装し，回路の動作検証および電力の見積もりを行った．動作検証については，リスト 3.1 に示すように各演算素子について関数を作り，その関数を呼び出すことで演算を行う．ただし，全ての引数と戻り値は 8 ビットの符号なし整数であるが，実際に使用しているのは 1 ビットである．

リスト 3.1 符号反転 (`sc_inv`)，バイポーラ表現での乗算 (`sc_mul_bi`)，重み付け加算 (`sc_add`) の C 言語による実装

```

uint8_t sc_inv(uint8_t a){
    return (a ^ 0x01);
}

uint8_t sc_mul_bi(uint8_t a, uint8_t b){
    return (~(a ^ b))&0x01;
}

uint8_t sc_add(uint8_t a, uint8_t b, uint8_t s){
    return s ? a : b;
}

```

また、信号処理回路の電力の見積もりに関しても、C 言語のプログラム上で行った。CMOS ロジック回路の消費電力はスタティック電力とダイナミック電力により構成される。スタティック電力は、電源を投入すれば定常的に消費する電力で、MOS トランジスタのリーク電流に起因する。本シミュレーションでは各演算素子ごと回路シミュレータで求めた値をスタティック電力の値として用いた。一方、ダイナミック電力は、ロジック素子の入出力値が遷移する際に発生する電力で、MOS トランジスタのゲート容量の充放電により生じるものである。本設計では全ての演算素子を組み合わせ回路のみで構成しているため、演算素子をトランジスタレベルで考えた時の各ノードの電位は全て入力値によって決まる。つまり、各ノードの電圧の変化は、1 ステップ前の入力値から現在の入力値への遷移により決定する。ダイナミック電力は演算素子内部のノードに接続された MOS トランジスタのゲート容量の充放電により生じるため、入力値が遷移する組み合わせと、演算素子のダイナミックな消費エネルギーを対応させることができる (単位時間あたりの消費エネルギーが電力である)。よって、本シミュレーションでは入力の遷移により演算素子の消費エネルギーを求め、累積加算することにより、回路全体の消費電力を求めた。リスト 3.1 の (sc_mul_bi) について電力を算出するコードを付加したものをリスト 3.2 に示す。switch 文によるテーブルには、回路シミュレータによって求めた各遷移の組み合わせにおけるダイナミックな消費エネルギーの値 (単位は fJ/tran) を格納している。演算素子に対応する関数が実行される度、グローバル変数 **energy** に値を加算していくことで、回路全体のダイナミック消費エネルギーを求めることができる。

リスト 3.2 (sc_mul_bi) における消費エネルギー算出

```

uint8_t sc_mul_bi(uint8_t a, uint8_t b){
    uint8_t in_val = (b << 1)|a;
    static uint8_t in_val_old = 0;

    switch(in_val | in_val_old){
        case 0b00000001: energy +=5.69718; break;
        case 0b00001011: energy +=6.43461; break;
        case 0b00000100: energy +=10.3563; break;
        case 0b00001110: energy +=6.68703; break;
        case 0b00000011: energy +=5.23873; break;
        case 0b00001001: energy +=13.4301; break;
    }
}

```

```
        case 0b00000110: energy +=7.88309; break;
        case 0b00001100: energy +=11.5416; break;
        case 0b00000010: energy +=8.15877; break;
        case 0b00000111: energy +=10.4782; break;
        case 0b00001000: energy +=15.5835; break;
        case 0b00001101: energy +=13.4155; break;
    }

    in_val_old = in_val << 2;
    return (~(a ^ b))&0x01;
}
```

5.4 結言

本章では、従来ボトルネックとなっていたインターフェース部分の低消費電力化を検証するため、イメージセンサの画像圧縮回路を例に挙げ、5.2 節では、JPEG 圧縮アルゴリズムの原理および具体的な圧縮手順について述べた。5.3.1 節では、確率的信号処理回路を適用するための具体的な回路構成および構成要素を述べた。確率的信号処理回路を用いることにより、通常のデジタル信号処理回路と比較して小規模な回路で演算を行うことが期待できる。5.3.3 節では、動作および消費電力を検証を行うために用いた C 言語によるシミュレータの実装手法について述べた。本手法は回路シミュレーションに比べて演算を簡略化して行うため、シミュレーション時間の短縮が可能となる。

続く第6章では、電力的なボトルネックとなっている VSC および SNG について先行研究を挙げながら解決すべき問題点、解決するための手法を提案する。

第 6 章

確率的信号処理回路の要素技術

6.1 緒言

確率的信号処理回路における電力的ボトルネックは入力信号を確率ビットストリームに変換するインターフェースである。本研究で提案する JPEG 圧縮回路はアナログ信号を入力として用いるため、電圧信号を確率ビットストリームに変換する VSC、演算回路に定数係数を与えるために定数を確率ビットストリームに変換する SNG が必要となる。特に VSC に関しては従来、A/D 変換回路によりアナログ信号をデジタル信号に変換した後に確率ビットストリームに変換する冗長な回路構成が必要であった。

本研究では、確率的信号処理回路を構成する上で電力的ボトルネックとなっていた VSC および SNG について、そのボトルネックを解消するためにダイナミックコンパレータを用いた構成を提案する。ダイナミックコンパレータを用いることで、電圧入力を直接確率ビットストリームに変換することが可能となり、確率的信号処理回路におけるインターフェースをよりシンプルに実現することができる。本章では提案する VSC・SNG について、その具体的な回路構成および検討事項について議論し、既存 VSC・SNG ととの電力比較により提案 VSC・SNG の有効性を示す。

6.2 電圧確率変換回路 (VSC) および確率生成回路 (SNG)

6.2.1 コンパレータによる電圧確率変換

確率的信号処理回路においては、信号を確率ビットストリームとして表現する。アナログ信号を確率的信号処理回路に入力するためには、これらの入力信号を確率ビットストリームに変換する VSC が必要がある。加えて信号処理中で定数が必要な場合についても、それを確率ビットストリームで表現する必要がある。先行研究における VSC の回路構成としては、A/D 変換回路により入力電圧をバイナリコードに変換した後、BSC により確率ビットストリームに変換するという冗長な構成が一般的であった [84]。しかし、BSC に用いられているクロック同期回路である LFSR をビットストリームのビットレートと同じ周波数で高速動作させる必要がある。 n ビットの LFSR には n 個の D-FF が使用されており、それらが高速動作することによって消費電力が増加してし

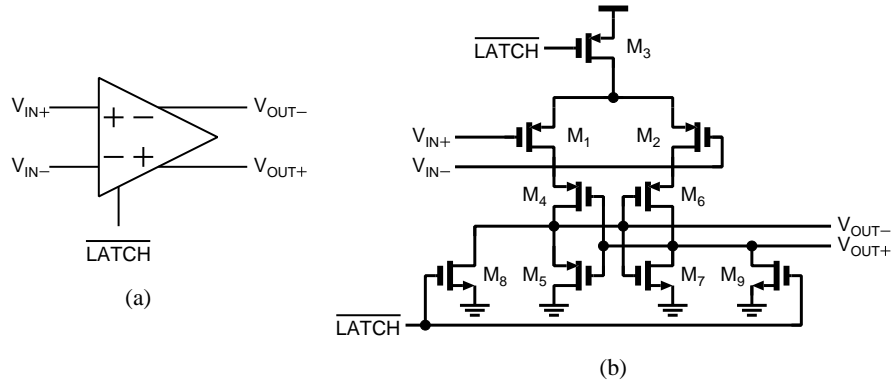


図 6.1 ダイナミックコンパレータの (a) 回路図記号および (b) トランジスタレベルの回路

まう。また、LFSR の出力は擬似乱数であり、 $2^n - 1$ の周期を持つ。周期が必要とするビットストリーム長よりも短い場合、確率的信号処理回路の演算精度を低下させる可能性がある。そのため、演算精度を向上するためにビットストリームを長くする場合、LFSR のビット数も大きくする必要があり、消費電力が増加してしまう。VSC の先行研究としては、メモリストアを用いて電圧値を直接確率に変換する構成 [84]–[86] も報告されているが、確率–電圧間の伝達特性が非線形であり、必要な分解能を実現することは難しい。

そこで本研究では、コンパレータを用いた、VSC および SNG を提案する。本章で取り上げるダイナミックコンパレータを図 6.1 に示す。ダイナミックコンパレータは、クロック同期で動作するコンパレータであり、クロック $\overline{\text{LATCH}}$ に同期して、反転入力 V_{IN-} および非反転入力 V_{IN+} 2 つのノードの電圧を比較し、どちらが大きいかを判定して $V_{OUT} = V_{OUT+} - V_{OUT-}$ に出力する回路である。 $\overline{\text{LATCH}}$ の立ち下がりにより変換が開始されると、 V_{IN-} 、 V_{IN+} の電圧差によって M_4 、 M_6 のソースに流れる電流が決定される。両者の電流差は、 $M_4 \sim M_7$ で構成されるラッチによる正帰還が掛かることで、最終的に $V_{OUT} = \pm 1$ となり出力が確定する。

コンパレータの理想的な伝達特性および実際の伝達特性を図 6.2 に示す。CDF(cumulative distribution function) は入力電圧 V_{IN} に対するビットストリームの確率 P を示す。理想的なコンパレータでは、図 6.2(a) に示す通り $V_{IN} = V_{IN+} - V_{IN-} = 0$ のポイントで完全に $V_{OUT} = -1$ から $V_{OUT} = +1$ に切り替わる。しかし、実際のコンパレータでは図 6.2(b) に示す通り、コンパレータのもつノイズ σ_{v_n} のため、入力値が小さい領域で比較の度に確率的に V_{OUT} が切り替わる。すなわちコンパレータから入力電圧に応じた確率ビットストリームが出力されることになる。通常、コンパレータのノイズは A/D 変換回路の性能を低下させるため抑えなければならないものであるが、本研究ではこのコンパレータの確率対入力電圧特性を VSC・SNG として利用する。提案 VSC・SNG はアナログ入力値を一旦バイナリコードに変換することなく直接ビットストリームに変換することができるため、従来の VSC・SNG ように A/D 変換器や LFSR のビット数により分解能が制限されない。また、コンパレータあたり、フリップフロップの数は 1 つのみで実現可能であるため、既存のコンパレータに比べて低消費電力化を期待できる。さらに、出力されるビットストリームは擬似乱数ではなく熱雑音に由来するものであるため原理的に周期を持たず、演算精度に与

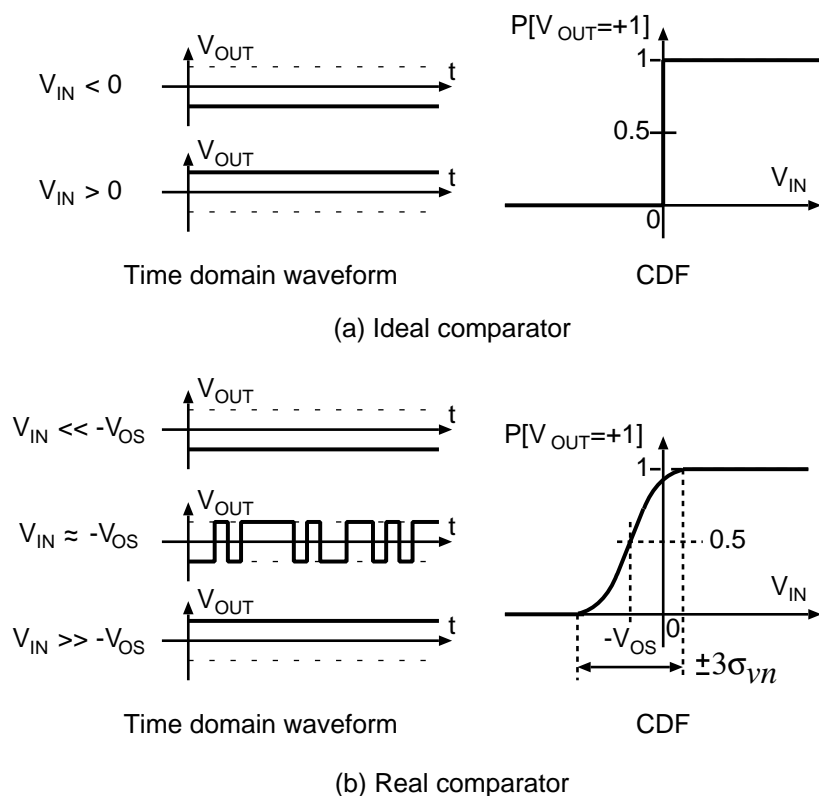


図 6.2 ダイナミックコンパレータの (a) 理想的伝達特性および (b) 実際の伝達特性

える影響を最小限に抑えることが出来る。また、コンパレータに一定の電圧を与えつづけければ任意の定数の確率ビットストリームを生成する SNG を実現できる。

コンパレータを VSC・SNG に応用するにあたっての課題としては、オフセット電圧の低減・制御、および非線形性の補正が挙げられる。オフセット電圧は図 6.2(b) の V_{OS} で示した電圧であり、LSI の製造誤差により主に初段差動対 (図 6.1 の M1, M2) の閾値電圧がばらつくことに起因する。オフセット電圧は各コンパレータのサンプルごとでばらつき、確率-入力電圧特性がコンパレータごとにランダムシフトしてしまうため、補正が必要である。反対に、コンパレータのオフセット電圧を意図的に生成し制御すれば、 $V_{IN} = 0$ のときの出力ビットストリームの値を制御でき、外部から入力電圧を与えることなく SNG を実現可能となる。文献 [87] ではフラッシュ A/D 変換回路に用いる各コンパレータについて、敢えて異なるサイズのトランジスタペアを用いることで意図的に生成したオフセット電圧によってリファレンス電圧を得ている。また、コンパレータの伝達特性は誤差関数となるため、本質的に非線形性をもつ。非線形性が付加された入力信号に対して演算を行うことは望ましくないため、何らかの線形性補正手法が必要となる。

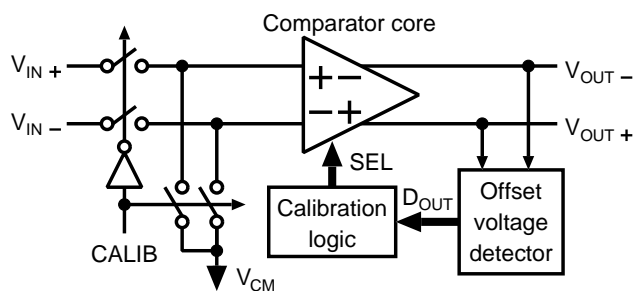


図 6.3 外部デジタル回路によるオフセット電圧補償

6.2.2 統計的オフセット電圧低減

デジタル回路によるオフセット補償の概念を図 6.3 に示す．コンパレータ本体，実際にキャリブレーションを実行するデジタル回路，オフセット検出回路によって構成されている．本研究ではオフセット低減手法として，再構成可能な差動対 (RDP: reconfigurable differential pair) [88],[89] を用いたオフセット補償を採用する．図 6.4 に RDP によるオフセット補償を適用したコンパレータを示す．RDP は差動対を構成する MOS トランジスタを分割したもので，オフセット電圧低減は，それらの組み合わせをスイッチにより制御しながら，オフセット電圧を最小化する組み合わせを探索することにより行う．RDP で調整可能なオフセット電圧の最小値は統計的な偏差に起因するため，同じビット数の D/A 変換回路を用いたオフセット補正よりも小さくすることが可能である．

しかし，コンパレータに RDP を用いたオフセット低減手法を適用する場合，オフセット検出器について検討する必要がある．例えばアンプの場合，オフセットは出力側に電圧の形で現れる．しかし，コンパレータの出力は $V_{OUT} = \pm 1$ であるため，電圧軸によるオフセット検出は不可能である．そこで本研究では，確率的オフセット検出手法 [90] および，時間ドメインオフセット検出手法 [91, 92] を提案する．

6.2.3 確率的オフセット電圧検出

確率的オフセット電圧検出は，オペアンプから出力されるビットストリームを計数することでオフセット電圧を間接的にオフセット電圧を推定する手法である．確率的なオフセット検出手法を図 6.5 に示す．入力をショートしたコンパレータの比較を行うことで，コンパレータは $V_{IN} = 0$ における確率 P_{OS} のビットストリームを出力する．RDP の組み合わせによりオフセット電圧が変化するため，コンパレータの CDF がシフトする． $V_{OS} = 0$ が 0 に近い程，シフト量が少なくなり $P_{OS} = 0.5$ に近づく．よって，コンパレータのオフセット電圧を最小とするためには $|P_{OS} - 0.5|$ が最小になる RDP の組み合わせを探せばよい．キャリブレーションロジックのアルゴリズムを図 6.6 のフローチャートに示す．オフセット電圧を検出しながら全ての RDP の組み合わせを総当り

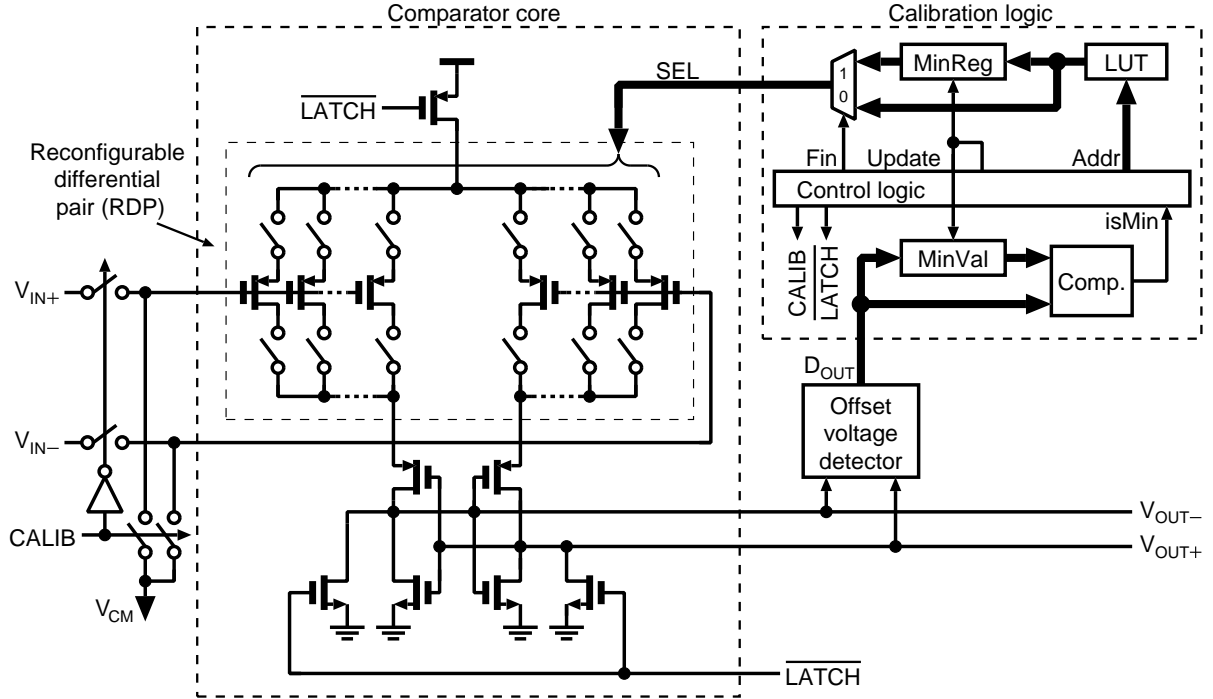


図 6.4 RDP を用いたダイナミックコンパレータのオフセットキャリブレーション

で探索することで、オフセットを最小にする組み合わせが得られる。

検出可能なオフセット電圧の分解能は、コンパレータの比較回数 N により決定される。本手法ではオフセット電圧を確率的に取得するため、検出の試行毎に得られる結果が異なる。確率的にオフセット検出回路における誤検出のイメージを図 6.7 に示す。左側の波形は $P_{OS} = 0.75$ のビットストリーム、右側の確率密度関数 (PDF: probability distribution function) はオフセット検出回路の出力の確率密度関数である。縦軸に示すオフセット検出回路の出力はビットストリーム中の '1' の数であるが、 N で規格化してビットストリームの確率として表している。 N が小さいときは、図 6.7(a) に示すように検出される確率のばらつきが大きくなり、 $V_{OS} = 0$ から外れた値であっても $P_{OS} = 0.5$ を出力する可能性が生じる。このような誤検出を防ぐためには図 6.7(b) のように N を増やす必要があるが、 N を増やすことによりキャリブレーション時間は増大するため、所望のオフセット電圧を実現するための最適な N を選択することが求められる。

入力をショートしたコンパレータが出力するビットストリームの確率は補誤差関数を用いて

$$P[V_{OUT} = +1] = \frac{1}{2} \operatorname{erfc} \left(-\frac{V_{OS}}{\sqrt{2}\sigma_{v_n}} \right) \equiv P_{OS} \quad (6.1)$$

と表現できる。 V_{OUT} はコンパレータの出力であり、取りうる値は '-1' または '+1' のいずれかとなるベルヌーイ試行である。すなわち、 D_{OUT} の PDF は二項分布に従い、

$$P[D_{OUT} = d] = {}_N C_d P_{OS}^d (1 - P_{OS})^{N-d}$$

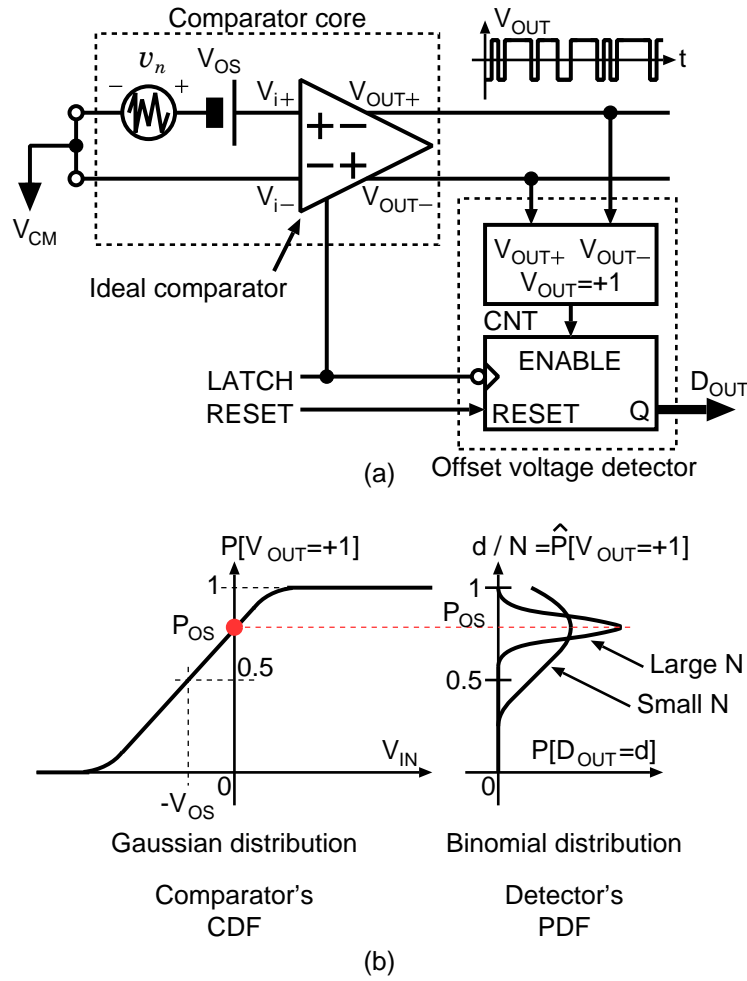


図 6.5 確率的オフセット検出回路

と表現できる．また，その期待値 $E[D_{OUT}]$ と標準偏差 $V[D_{OUT}]$ は，

$$E[D_{OUT}] = N \cdot P_{OS}$$

$$V[D_{OUT}] = N \cdot P_{OS}(1 - P_{OS}).$$

となる．これを N で正規化してビットストリームの確率として表現すると，

$$E[D_{OUT}/N] = P_{OS}$$

$$V[D_{OUT}/N] = \frac{P_{OS}(1 - P_{OS})}{N} \equiv \sigma_{P_{OS}}^2. \quad (6.2)$$

となる．図 6.8 にオフセット検出回路の分解能の考え方を示す． $V_{OS} = 0$ として誤検出されうるオフセット電圧の最小値，最大限をそれぞれ V_{OS-}, V_{OS+} と定義する．図 6.8 左側の図は， $V_{OS} = V_{OS-}, V_{OS} = V_{OS+}$ におけるオフセット検出回路の PDF を重ねたものである．また， V_{OS-}, V_{OS+} に対応する確率を P_{OS+}, P_{OS-} とする． $\hat{P}_{OS+}, \hat{P}_{OS-}$ の分布の広がり， N に依存

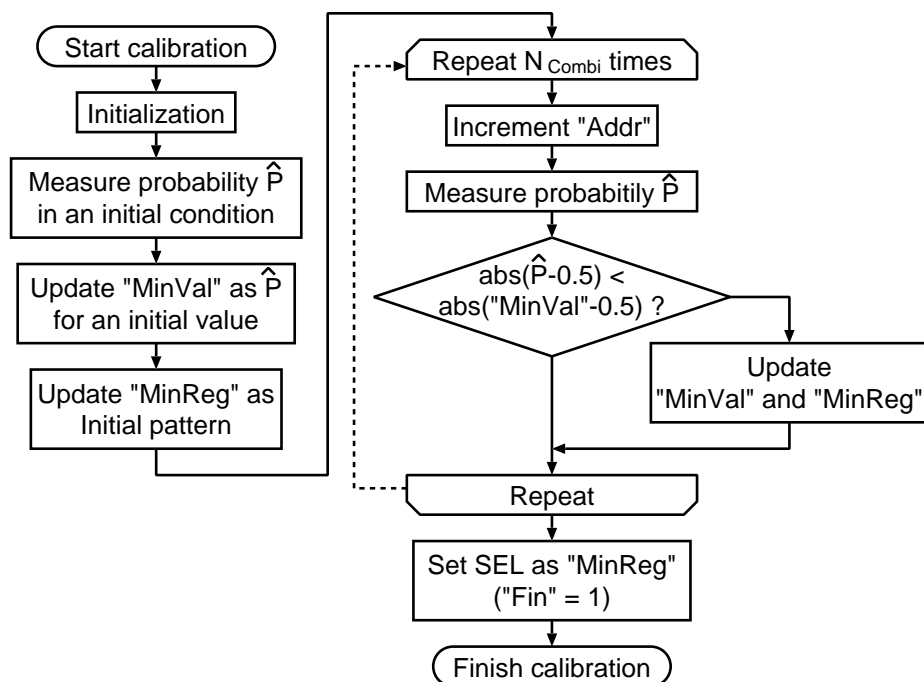


図 6.6 確率的オフセット検出回路におけるキャリブレーションロジックのアルゴリズム

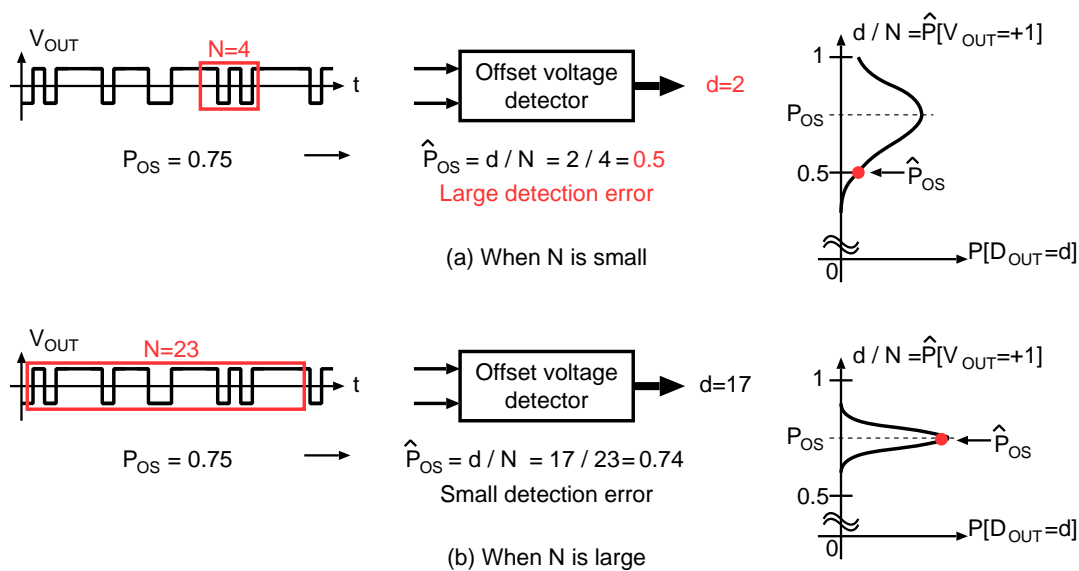


図 6.7 確率的オフセット電圧検出における誤検出

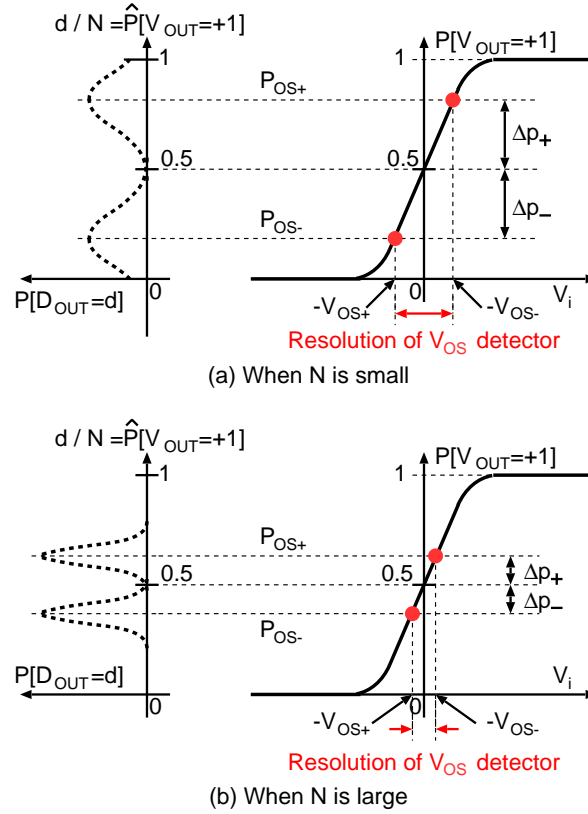


図 6.8 確率的オフセット電圧検出の分解能

する． N が小さいとき [図 6.8(a)] 分布の広がり大きくなり，キャリブレーションロジックは大きい V_{OS} であっても， $V_{OS} = 0$ であると判断してキャリブレーションを完了させる可能性がある．よってオフセット電圧の分解能は悪くなる．逆に N が大きいときは，図 6.8(b) に示す通り，分布の広がり狭まり分解能は向上する． P_{OS+}, P_{OS-} は

$$P_{OS+} = 0.5 + \Delta p_+, P_{OS-} = 0.5 - \Delta p_-, \quad (6.3)$$

のように表せる．ただし， $\Delta p_-, \Delta p_+$ は P_{OS+}, P_{OS-} と $P = 0.5$ との差である．もし， P_{OS} が P_{OS-} と P_{OS+} の範囲内に入っている場合は， $P = 0.5$ として誤検出され得る．式 (6.2) より， \hat{P}_{OS+} および \hat{P}_{OS-} 分散は

$$\begin{aligned} \sigma_{\hat{P}_{OS}}^2 \Big|_{P_{OS}=P_{OS+}} &= \frac{P_{OS+}(1-P_{OS+})}{N} \\ &= \frac{0.5^2 - \Delta p_+^2}{N} \equiv \sigma_{\hat{P}_{OS+}}^2 \end{aligned}$$

$$\sigma_{\hat{P}_{OS}}^2 \Big|_{P_{OS}=P_{OS-}} = \frac{0.5^2 - \Delta p_-^2}{N} \equiv \sigma_{\hat{P}_{OS-}}^2.$$

となる．例えば $V_{OS} = V_{OS-}$ ， $V_{OS} = V_{OS+}$ の範囲を $3\sigma_{V_{OS,spec}}$ となるように条件を設定した場

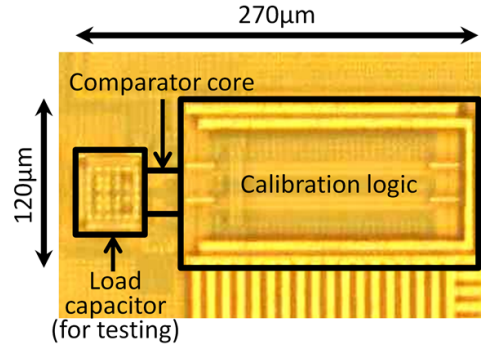


図 6.9 RDP および確率的オフセット検出回路を用いたオフセット補償コンパレータのチップ写真

合, $\Delta p_+ = 3\sigma_{\hat{P}_{OS+}}, \Delta p_- = 3\sigma_{\hat{P}_{OS-}}$ となり, $\Delta p_-, \Delta p_+$ は N を用いて,

$$\begin{aligned}\Delta p_+ &= 3\sqrt{\frac{0.5^2 - \Delta p_+^2}{N}} \\ \Delta p_+ &= \frac{0.5}{\sqrt{N/3^2 + 1}} \\ \Delta p_- &= \frac{0.5}{\sqrt{N/3^2 + 1}} = \Delta p_+ \equiv \Delta p.\end{aligned}\quad (6.4)$$

と表せる. 式 (6.1), 式 (6.3), 式 (6.4) を用いて P_{OS+}, P_{OS-} を電圧として表すと

$$\begin{aligned}V_{OS-} &= -\sqrt{2}\sigma_{v_n} \operatorname{erfc}^{-1}(2P_{OS+}) \\ &= -\sqrt{2}\sigma_{v_n} \operatorname{erfc}^{-1}\left(1 + \frac{1}{\sqrt{N/3^2 + 1}}\right), \\ V_{OS+} &= -\sqrt{2}\sigma_{v_n} \operatorname{erfc}^{-1}\left(1 - \frac{1}{\sqrt{N/3^2 + 1}}\right).\end{aligned}$$

となる. この式を変形し, 所望のオフセット電圧 $V_{OS,spec}$ が与えられたとき, それを達成するのに必要な比較回数 N として表すと,

$$N \geq 3^2 \left[\frac{1}{\operatorname{erf}^2 \{V_{OS,spec}/(\sqrt{2}\sigma_{v_n})\}} - 1 \right]. \quad (6.5)$$

となる.

提案するコンパレータを用いた VSC は 180 nm 1P6M CMOS プロセスにて検討を行った. RDP および確率的オフセット検出回路を用いたオフセット補償コンパレータのチップ写真を, 図 6.9 に示す. 全体の面積は $0.0324 \text{ mm}^2 (270\mu\text{m} \times 120\mu\text{m})$, キャリブレーションロジックの面積は 0.00225 mm^2 , テスト用負荷容量の面積は 0.0233 mm^2 , コンパレータの面積は 0.0005 mm^2 となった. N による補正後オフセット電圧の影響を図 6.10 に示す. 計算結果は式 (6.5) に測定によって得られたコンパレータノイズ $\sigma_{v_n} = 860 \mu\text{V}$ を代入して求めた値である. 測定結果は同一の

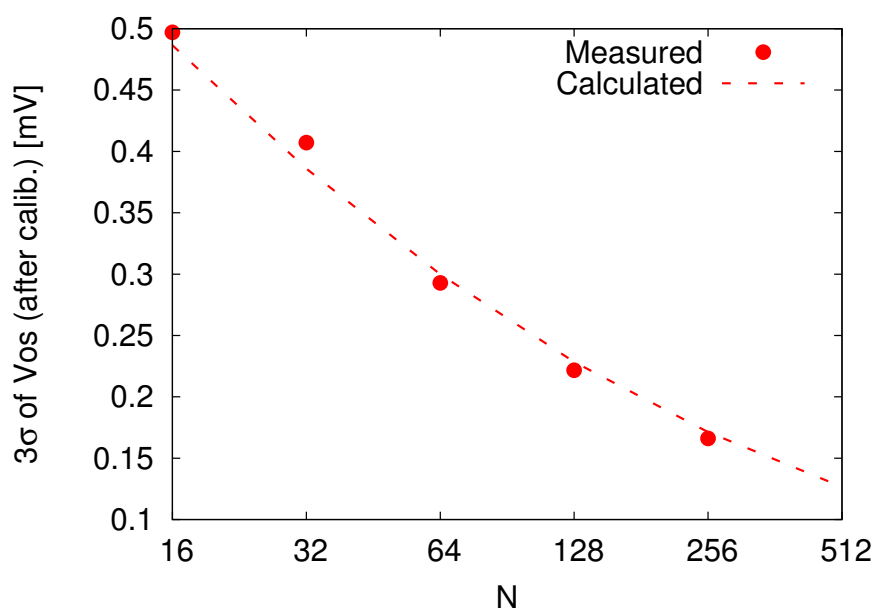


図 6.10 N による補正後オフセット電圧の影響

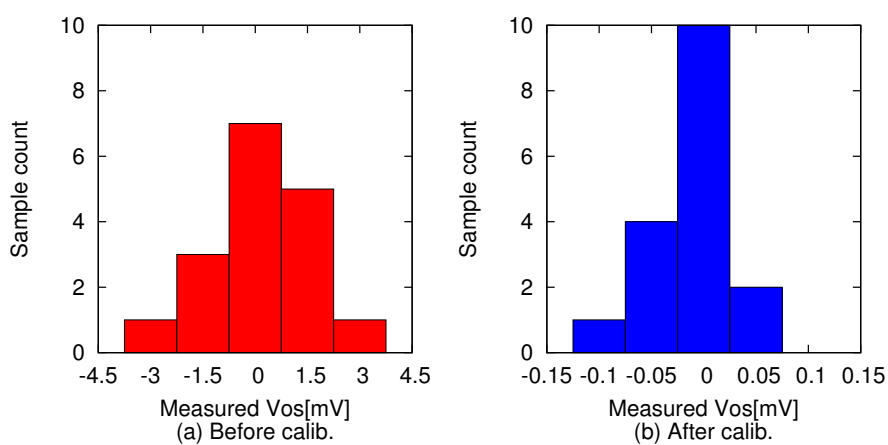


図 6.11 RDP および確率的オフセット検出回路によるオフセット補正結果

コンパレータで 100 回のキャリブレーションを行い、キャリブレーション後に得られた 100 サンプルのオフセット電圧から求めた標準偏差の 3 倍をプロットしている。この結果より計算値と測定値がよく一致していることが確認でき、本設計法の妥当性を示すことができた。オフセットキャリブレーションの結果を図 6.11 に示す。キャリブレーション前のオフセット電圧 $3\sigma_{V_{os}}$ は 6.01mV から 158 μ V と、およそ 1/38 に低減した。

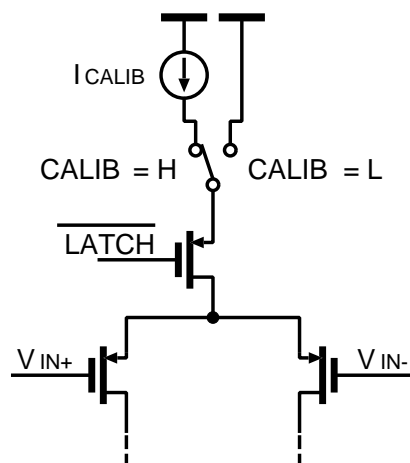


図 6.12 時間ドメインオフセット検出手法における検出精度向上

6.2.4 時間的オフセット電圧検出

確率的オフセット検出では、コンパレータの複数回比較が必要である。コンパレータの比較回数が増えるとオフセットのキャリブレーションに必要な時間が増加する。高速なコンパレータを用いればキャリブレーション時間を短縮することができるが、赤外線センサアレイのような帯域の狭いアプリケーションにおいては、電力を低減するために低速なコンパレータを用いたい。そこで、低速なコンパレータ向けに時間ドメインオフセット検出手法を提案 [91, 92] する。

先述の確率的オフセット電圧検出同様、コンパレータの入力をショートすることでオフセット電圧 V_{OS} のみが入力されるようにする。コンパレータが比較を開始してから出力が確定するまでの時間は入力電圧 V_{OS} に依存し、その時間は対数関数

$$t_{meta} \propto \ln \frac{V_{Logic}}{|V_{OS}|}$$

に従う。ただし、 V_{Logic} はコンパレータの出力電圧である。この t_{meta} をメタステーブル時間と呼び、本手法は t_{meta} を TDC により測定することでオフセット電圧を検出する。オフセット電圧が小さい程、 t_{meta} が長くなる。伝達特性 (t_{meta} - V_{OS} 特性) は非線形であるが、測定対象のコンパレータは同じであるため大小比較によりオフセット電圧を判定可能である。通常コンパレータのメタステーブル時間はきわめて短いため、そのままでは高時間分解能な TDC を用いても検出精度を高めることは難しい。そこで提案オフセット電圧検出における工夫として、図 6.12 に示すように、calibration mode 時のみ初段差動対のテール電流を制限することで意図的にコンパレータの動作を遅くして検出精度を向上させた。検出精度向上の効果を図 6.13 に、通常動作時 (work mode) および calibration mode 時の伝達特性を図 6.14 にそれぞれ示す。calibration mode 時のみコンパレータの動作が遅くなり V_{OS} に対する t_{meta} 感度が向上していることがわかる。

図 6.15 に提案する時間ドメインオフセット検出手法を示す。コンパレータの変換開始から変換

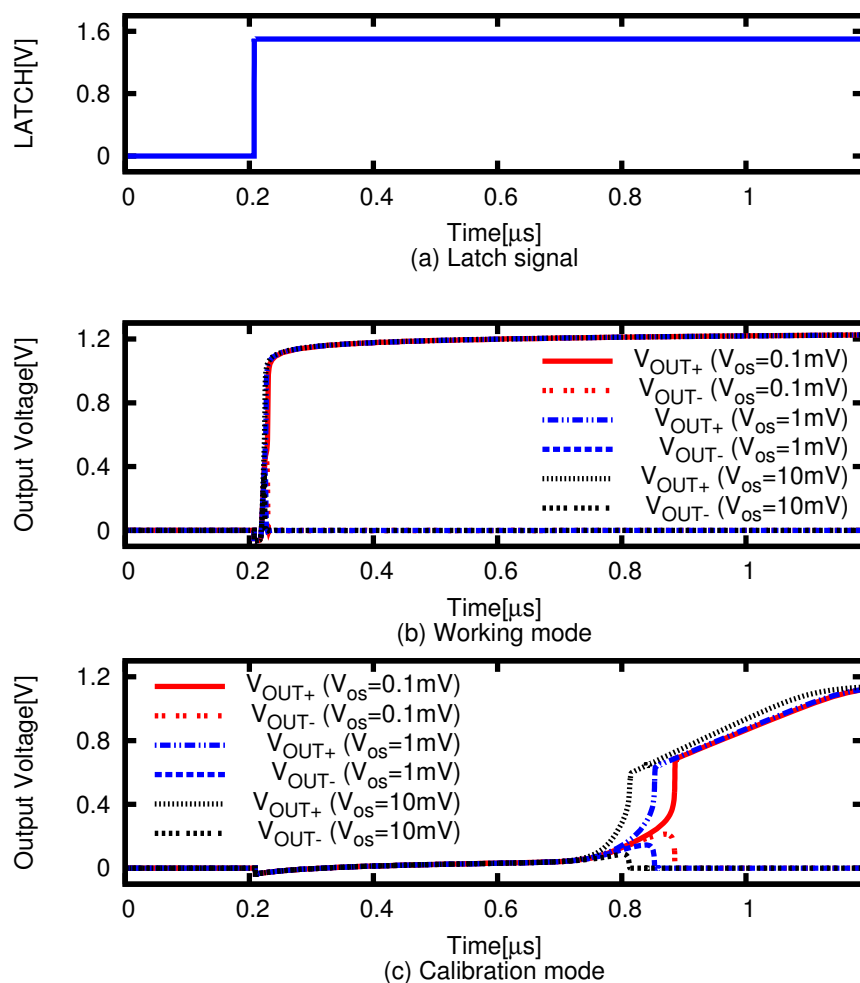


図 6.13 検出精度向上の効果

完了までの不安定な状態をメタステーブルと呼ぶ。コンパレータは $|V_{IN}|$ が微小であるとき、変換開始から変化完了までの時間 t_{meta} が $|V_{IN}|$ の対数に比例して変化する性質を持つ。時間ドメインオフセット検出手法では、メタステーブルの時間を TDC により測定することでオフセット電圧を測定する。キャリブレーションにおいては、RDP の組み合わせを変更しながら、 t_{meta} を測定し、 t_{meta} が最も長くなるものを探せばよい。

時間ドメインオフセット電圧検出の検証に用いた試作 LSI のチップ写真を図 6.16 に示す。本 LSI は 1P5M CMOS プロセスにて開発を行った。全体の面積は 0.0468 mm^2 、オフセット検出回路の面積は 0.027 mm^2 、コンパレータの面積は 0.0077 mm^2 となった。ただし、本 LSI にはキャリブレーションロジックは含まれておらず、外部の MCU(micro controller unit) からキャリブレーションを行う。図 6.17 にオフセット補正結果を示す。時間ドメインオフセット電圧検出により、オフセット電圧は 5.38 mV から 1.29 mV と、およそ $1/4.17$ に低減した。

本論文の第 7 章で扱う JPEG 圧縮回路は高速なコンパレータを使用するため、前者の確率的オフセット検出回路の使用が適当であると考えられる。

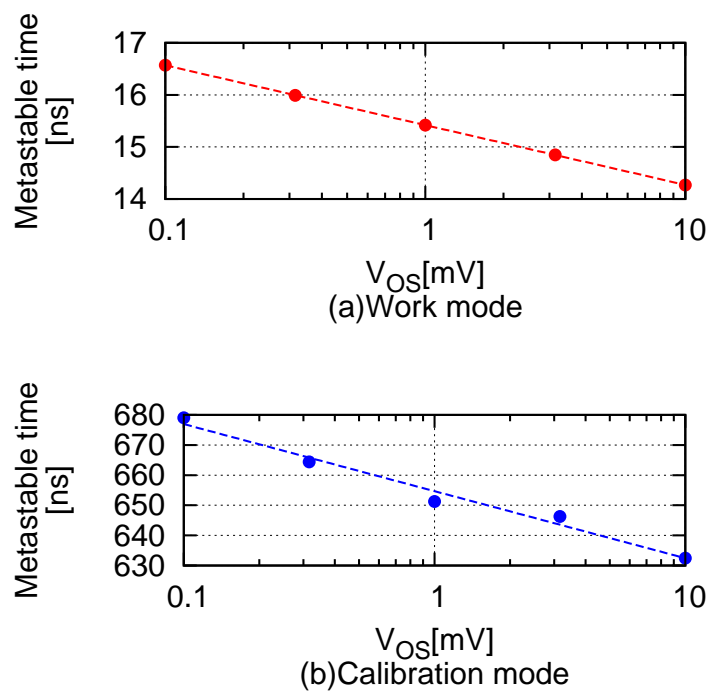
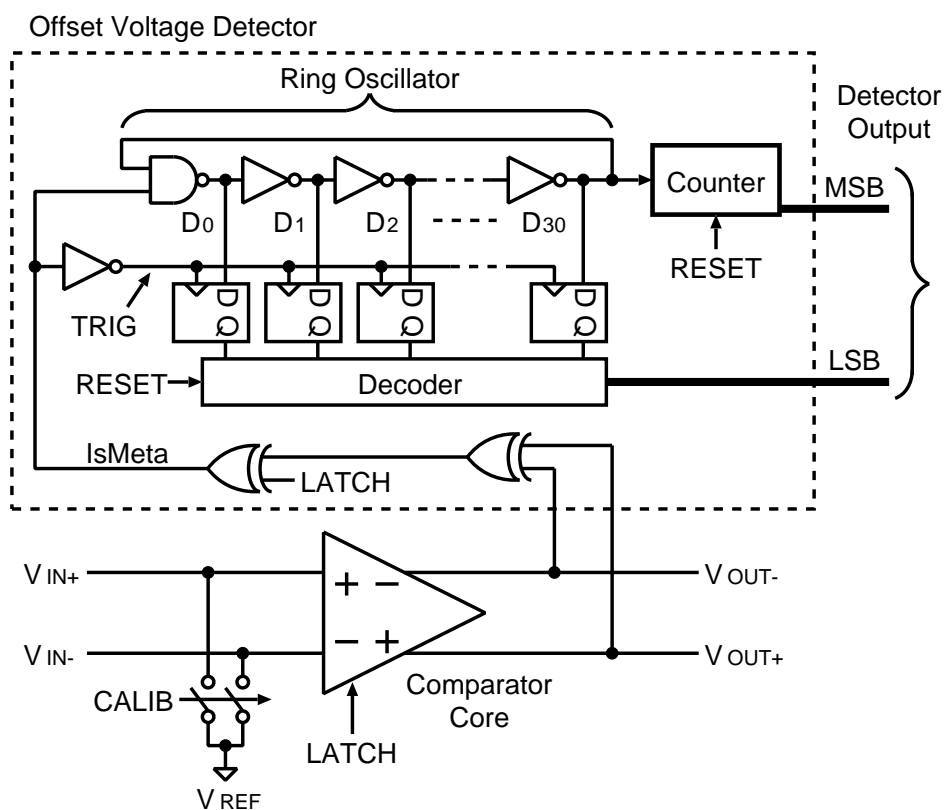
図 6.14 時間ドメインオフセット電圧検出手法における伝達特性 (t_{meta} - V_{OS} 特性)

図 6.15 時間ドメインオフセット検出回路

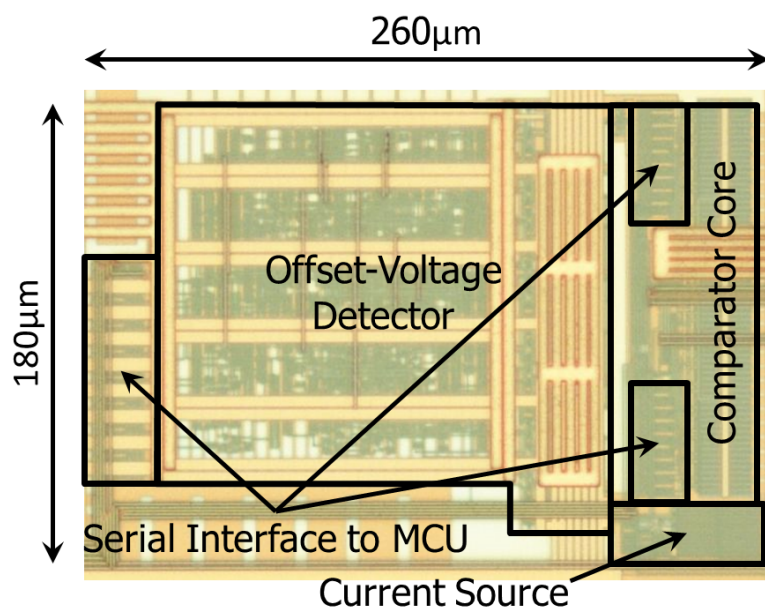


図 6.16 RDP および時間的オフセット検出回路を用いたオフセット補償コンパレータのチップ写真

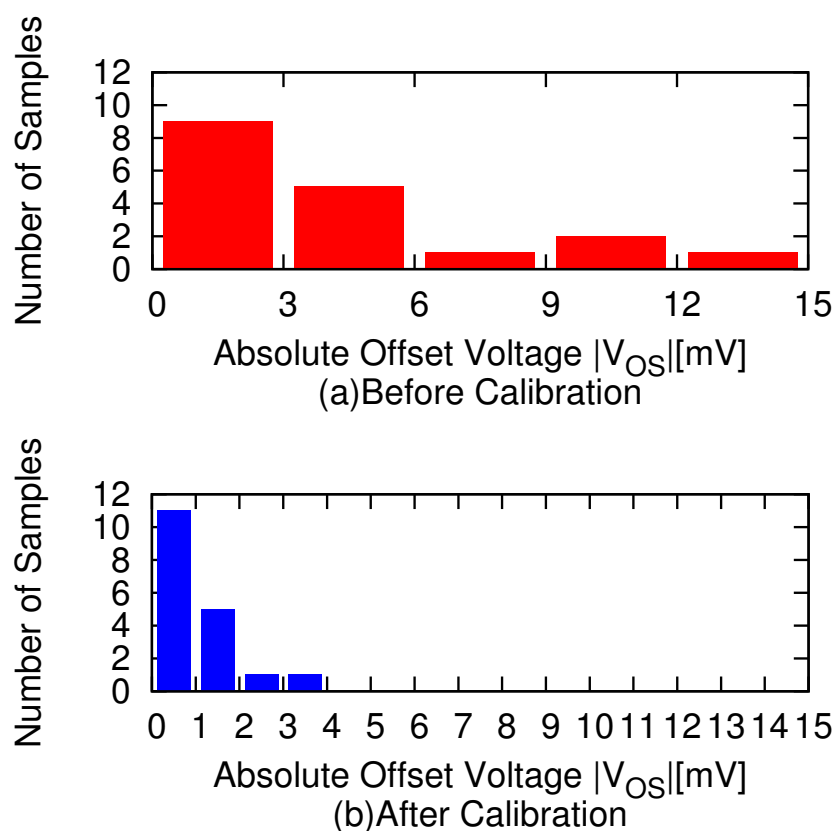


図 6.17 RDP および時間的オフセット検出回路によるオフセット補正結果

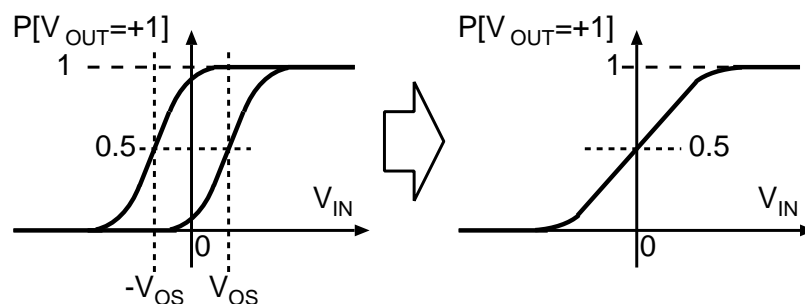


図 6.18 確率的信号処理による非線形性補正手法のコンセプト

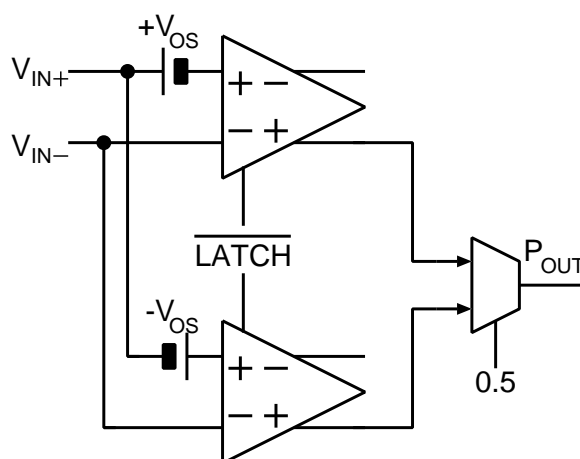


図 6.19 確率的信号処理による非線形性補正手法を適用した VSC

6.2.5 確率的信号処理による非線形性の補償

そのため、 $|V_{IN}|$ が大きくなる程、非線形性が大きくなる。非線形性が許容できる範囲で入力電圧を制限すると、出力されるビットストリームにおける確率の出力レンジが小さくなり、演算精度が下がってしまう。そのため、本研究では確率的信号処理を用いたコンパレータの非線形性補正手法を提案する。提案する非線形性補正手法のコンセプトを図 6.18 に示す。平均値の異なる 2 つの正規分布を合成することで、線形な領域を拡大する。本手法は確率的フラッシュ A/D 変換回路で用いられた手法 [93] を応用したものであるが、確率的フラッシュ A/D 変換回路では、出力がバイナリコードである関係で、加算に通常の 2 進加算器を使用するため、回路規模が大きくなってしまいう。文献 [93] の A/D 変換回路では回路面積のおよそ半分を加算器が占めている。一方、提案手法では入出力が確率ビットストリームであるため、加算に確率的信号処理を使用することができる。そのため、非線形性補正手法を適用した VSC を図 6.19 に示す、意図的にオフセットを持たせた 2 つのコンパレータ出力を MUX により確率的に加算している。この構成により、回路規模の増加を抑えつつ、広い入力レンジを得る事が可能となる。

6.2.6 提案 VSC の評価

確率的信号処理による非線形性の補償をシミュレーションにより検証した結果を図 6.20 に示す。本シミュレーションは 5.3.3 節において述べたシミュレータ上で行った。なお、コンパレータの伝達特性は回路シミュレータにより得られた値を用いている。グラフは確率-入力電圧特性および線形性誤差-電圧特性を示しており、線形性誤差は $V_{IN} = 0$ における傾きと伝達特性との差と定義した。非線形性補償前では 8 bit 相当の線形性が得られる入力電圧範囲は、 $\pm 0.53\text{mV}$ 、確率の出力レンジは ± 0.15 であったが、非線形性補償後では、8bit 相当の線形性が得られる入力電圧範囲は約 4 倍の、 $\pm 2\text{mV}$ 、確率の出力レンジは約 2 倍の ± 0.319 まで改善した。コンパレータの数を増やすことにより更なる線形性の向上が見込まれるが、コンパレータを並列数を増やす必要があるため電力とのトレードオフとなる。

本シミュレーションにおいて、非線形性補償を適用した VSC の 1 クロックあたりの消費エネルギーは、 36.06 fJ/bit となった。既存 VSC の消費エネルギーは、A/D 変換回路と BSC の消費エネルギーとの和により表せる。回路シミュレーションから得られた 12 bit LFSR を用いた BSC の消費エネルギーに、現状最も変換効率が高い ADC[94] の消費エネルギー ($0.705\text{ fJ/conv.-step}$) を 180 nm CMOS プロセスで正規化した値との合計を用いると、既存 VSC の消費エネルギーは 275.2 fJ/bit となる。よって、提案 VSC は既存の VSC と比較して 86.9 % の消費エネルギー削減が可能となる。

6.3 結言

本章では、確率的信号処理回路における電力的なボトルネックを解決するため、ダイナミックコンパレータを用いた提案 VSC: SNG についてその動作原理、検討事項、および評価結果について述べた。既存の VSC は、BSC に A/D 変換回路を付加した冗長な構成であり、BSC に用いられている LFSR により消費電力が増大してしまう問題があった。そこで本研究ではコンパレータのノイズを用いた VSC を提案し、低電力化を実現した。また、提案の VSC はアナログ入力を直接ビットストリームに変換するため、A/D 変換回路や BSC のビット数により分解能が制限されない。コンパレータを VSC として利用する上でオフセット電圧の低減および線形性補正が課題となる。本研究ではオフセット低減については、RDP を用いて統計的にオフセット低減を行い、コンパレータのオフセット電圧電圧検出手法に関しては、確率的オフセット電圧検出および時間ドメインオフセット電圧検出手法を提案した。一方線形性補正については、意図的にオフセット電圧をずらした 2 つのコンパレータの伝達特性を加算することで線形な入力電圧レンジおよび、確率出力レンジを拡大した。提案 VSC の 1 変換あたりの消費エネルギーは 36.06 fJ/bit となり、既存の VSC と比較して 86.9 % の消費エネルギー削減を可能とした。

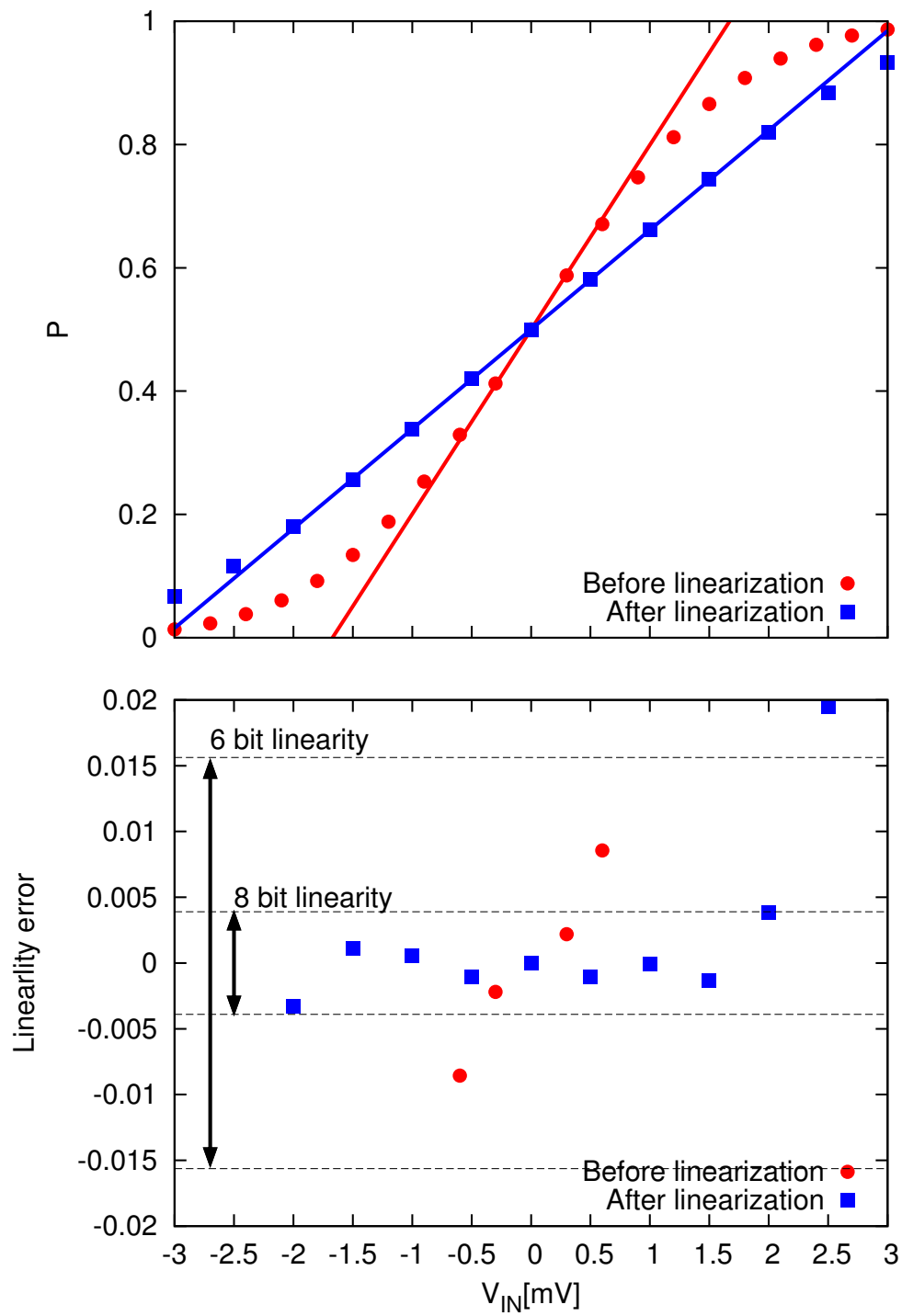


図 6.20 確率的信号処理による非線形性の補償結果

第 7 章

確率的 JPEG 圧縮回路の評価

7.1 緒言

本章では，第 5 章で述べた確率的 JPEG 圧縮回路について，消費電力において大きなボトルネックであった従来の VSC および RNG による実装と，第 6 章で提案したコンパレータによる VSC および RNG による実装とで消費電力を比較する．

7.2 確率的 JPEG 圧縮回路の回路構成

図 7.1 に本検証で想定したシステムのブロック図を示す．本設計では 512×512 ピクセルの画像に対して DCT を行うことを想定した．CDS(correlated double sampling) アレイおよび 1 ブロック分の DCT 演算回路 (1 block DCT) は列共有されている．つまり本システムは 64 ブロック分の DCT 演算を同時に行う．まず行選択回路 (Row selector) により 8 行分のピクセルが列共有された CDS アレイに入力されサンプリングされる．CDS とは相関 2 重サンプリングの略称であり，イメージセンサの読み出しノイズ低減のために用いられるサンプリング手法である [38]．サンプリングされた電圧は DCT 演算回路に入力され最終的に空間周波数に変換された演算結果が得られる．

図 7.2 に 1 ブロック分の DCT 演算回路のブロック図を示す．本設計では，DCT 演算回路に入力する定数値の数を削減した．式 (5.3) に示した DCT 行列の要素の値を重複するもの同士でまとめると，

$$D = \begin{pmatrix} a & a & a & a & a & a & a & a \\ b_0 & b_1 & b_2 & b_3 & -b_3 & -b_2 & -b_1 & -b_0 \\ c_0 & c_1 & -c_1 & -c_0 & -c_0 & -c_1 & c_1 & c_0 \\ b_1 & -b_3 & -b_0 & -b_2 & b_2 & b_0 & b_3 & -b_1 \\ a & -a & -a & a & a & -a & -a & a \\ b_2 & -b_0 & b_3 & b_1 & -b_1 & -b_3 & b_0 & -b_2 \\ c_1 & -c_0 & c_0 & -c_1 & -c_1 & c_0 & -c_0 & c_1 \\ b_3 & -b_2 & b_1 & -b_0 & b_0 & -b_1 & b_2 & -b_3 \end{pmatrix} \quad (7.1)$$

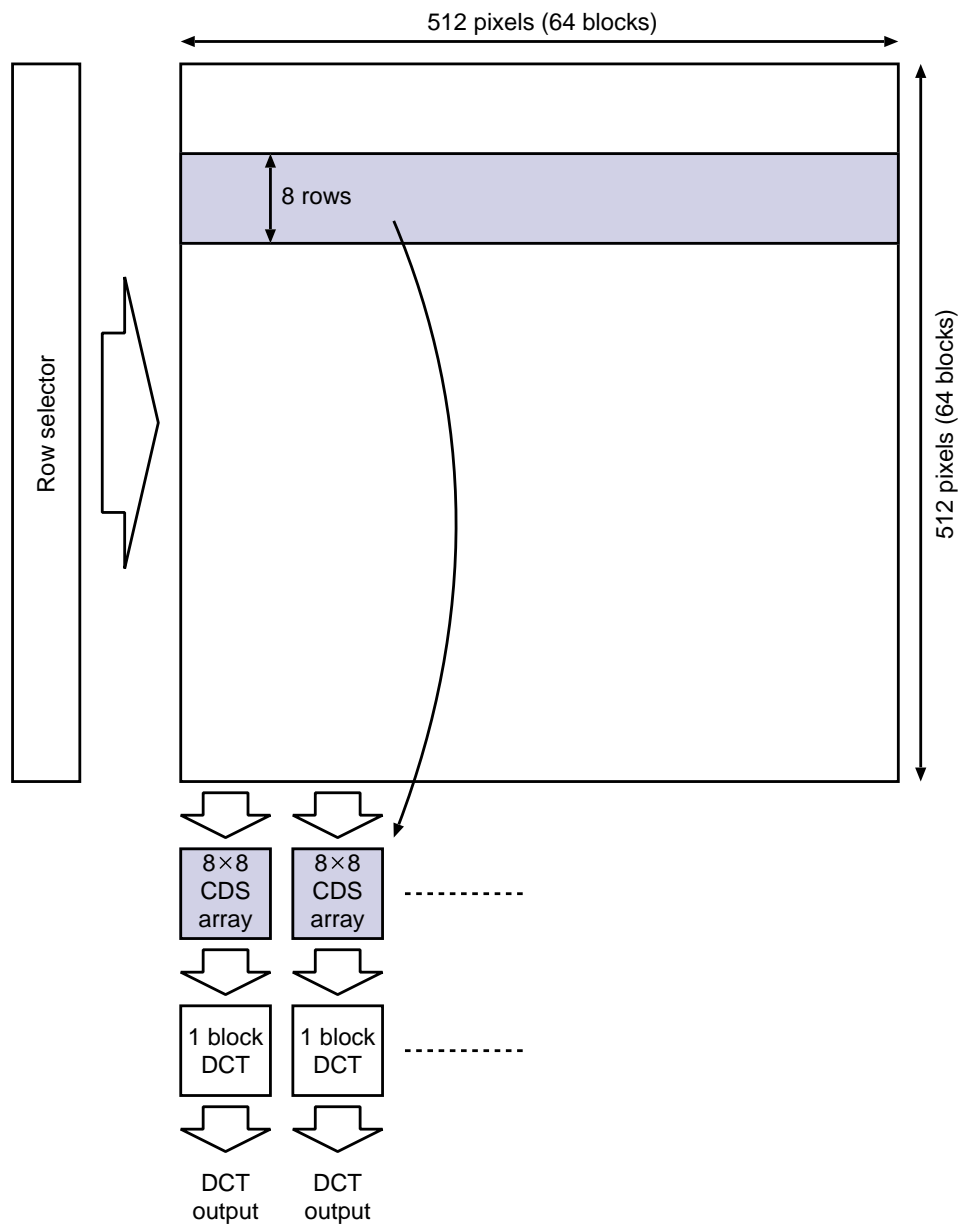


図 7.1 確率的 JPEG 圧縮回路のシステムブロック図

となる，ただし，

$$\begin{aligned}
 a &= 1/2, \\
 b_0 &= \cos(\pi/16)/\sqrt{2}, \\
 b_1 &= \cos(3\pi/16)/\sqrt{2}, \\
 b_2 &= \cos(5\pi/16)/\sqrt{2}, \\
 b_3 &= \cos(7\pi/16)/\sqrt{2}, \\
 c_0 &= \cos(2\pi/16)/\sqrt{2}, \\
 c_1 &= \cos(6\pi/16)/\sqrt{2}
 \end{aligned}
 \tag{7.2}$$

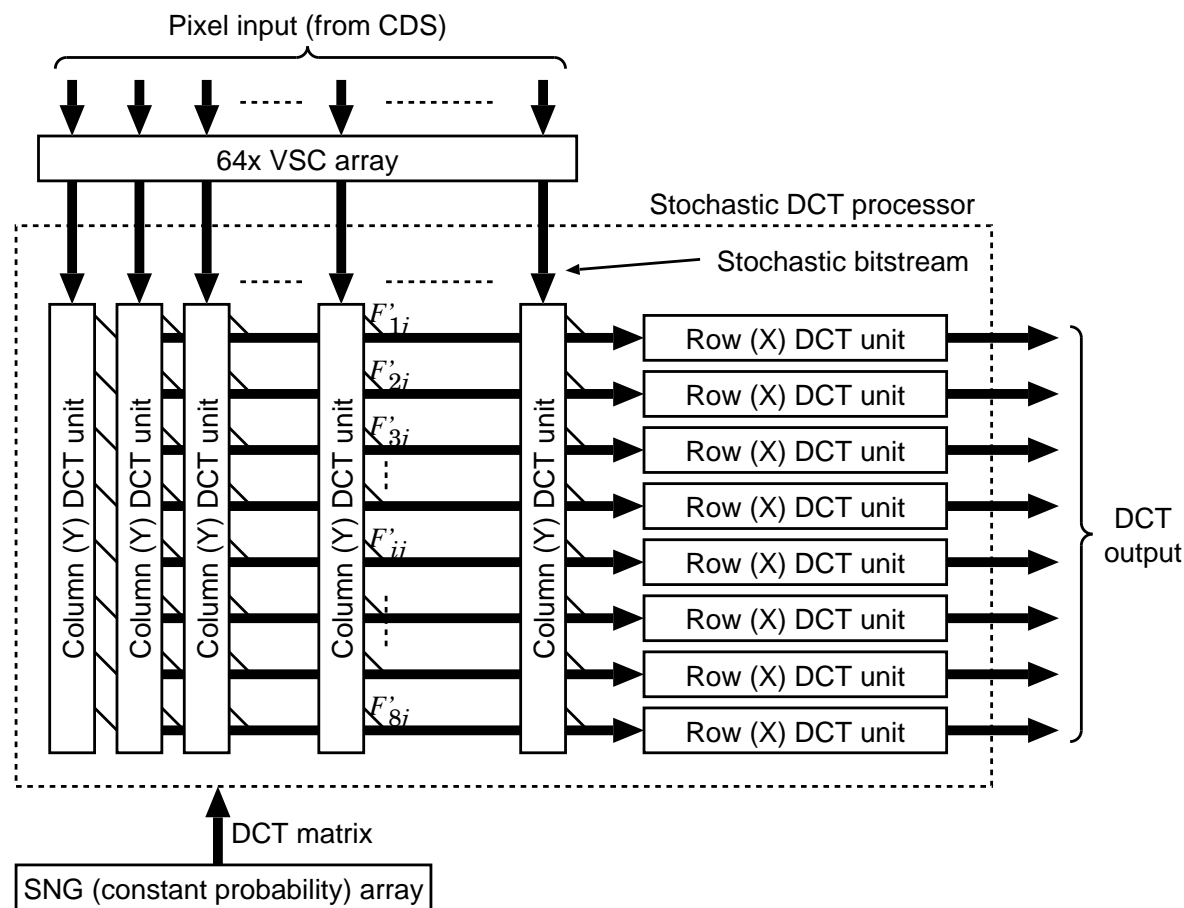


図 7.2 1 ブロック分の DCT 演算回路のブロック図

である。これにより、DCT 演算回路に入力する値は式 (7.2) に示した 7 個まで削減した。行列の最適化を行列の最適化を適用した column (Y) DCT unit および row (X) DCT unit のブロック図をそれぞれ図 7.3 および図 7.4 に示す。本研究では確率的信号処理回路へ値を入力するインターフェースについて、VSC アレイおよび SNG アレイを従来用いられてきた LFSR を用いたものと、本研究で提案するコンパレータを用いたものとで、その電力および回路面積を比較する。

7.3 提案 JPEG 圧縮回路の評価

図 7.5 に確率的 DCT 演算回路の入出力結果を示す。入力画像は図に示すような 512×512 ピクセルの画像を用いた。図 7.5(b),(c),(d) はそれぞれビットストリーム長 $N = 256, N = 4096, N = 65536$ において出力された画像データとなっている。総ブロック数は $64 \times 64 = 4096$ ブロックであり、出力結果は各ブロックにおける同じ空間周波数成分同士で並び替えて表示している。例えば一番左上の 64×64 ピクセルの領域は DC 成分 (平均値) を表している。ビットストリーム長 $N = 256$ では演算誤差のためノイズが乗っているが、 N を増やすにつれてノイズが減少していく。

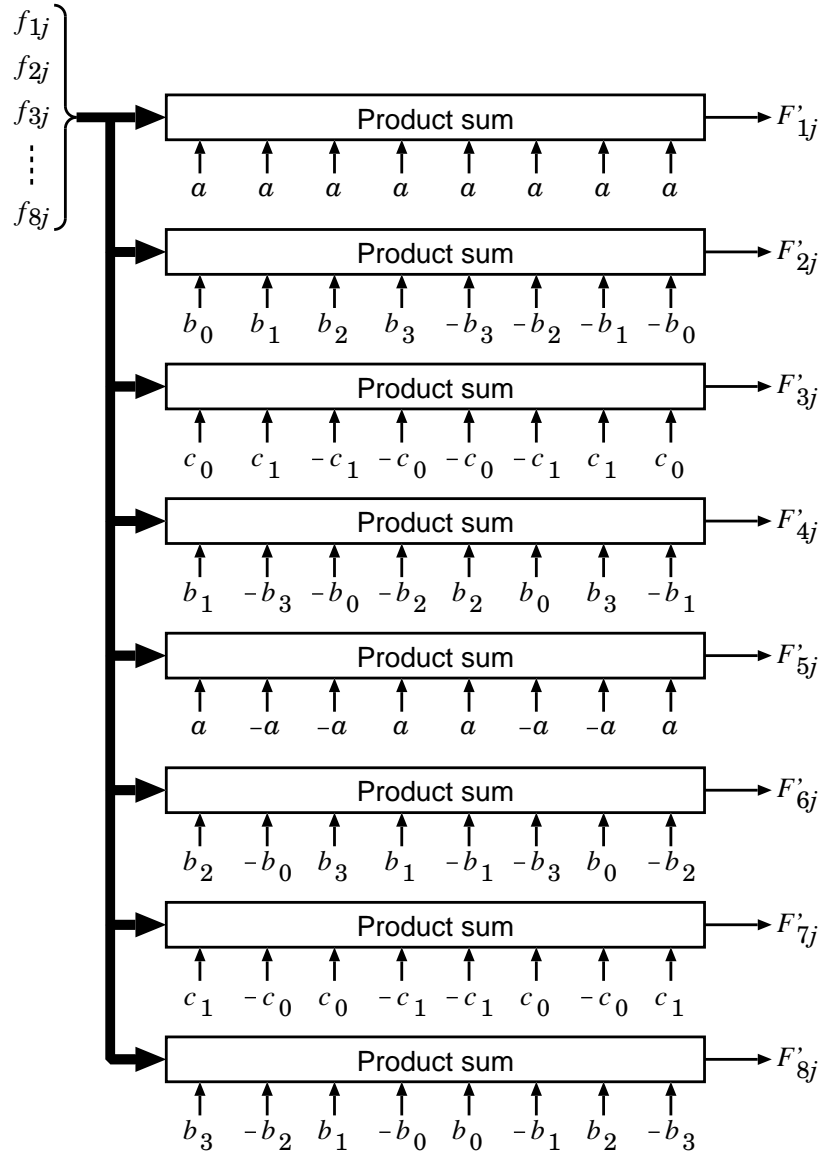


図 7.3 行列の最適化を適用した column (Y) DCT unit のブロック図

ビットストリーム長 N と演算誤差の関係を図 7.5 に示す．縦軸の演算誤差は DCT 後の出力値に関して，浮動小数点演算結果との平均二乗誤差 (RMSE: root mean square error)

$$RMSE = \sqrt{\frac{1}{N} \sum_{i=1}^N (\hat{y}_i - y_i)^2}$$

をプロットしている．ただし， N はサンプル数 (ここでは 512^2)， y_i は浮動小数点演算による DCT 演算値 ($0 \leq i \leq 512^2 - 1$)， \hat{y}_i は確率的信号処理による DCT 演算値である．図 7.5 に示した点線は $N^{-1/2}$ の近似曲線であり，5.3.2 節で示した通りビットストリーム長の $-1/2$ 乗に比例して演算誤差が低減していることが分かる．

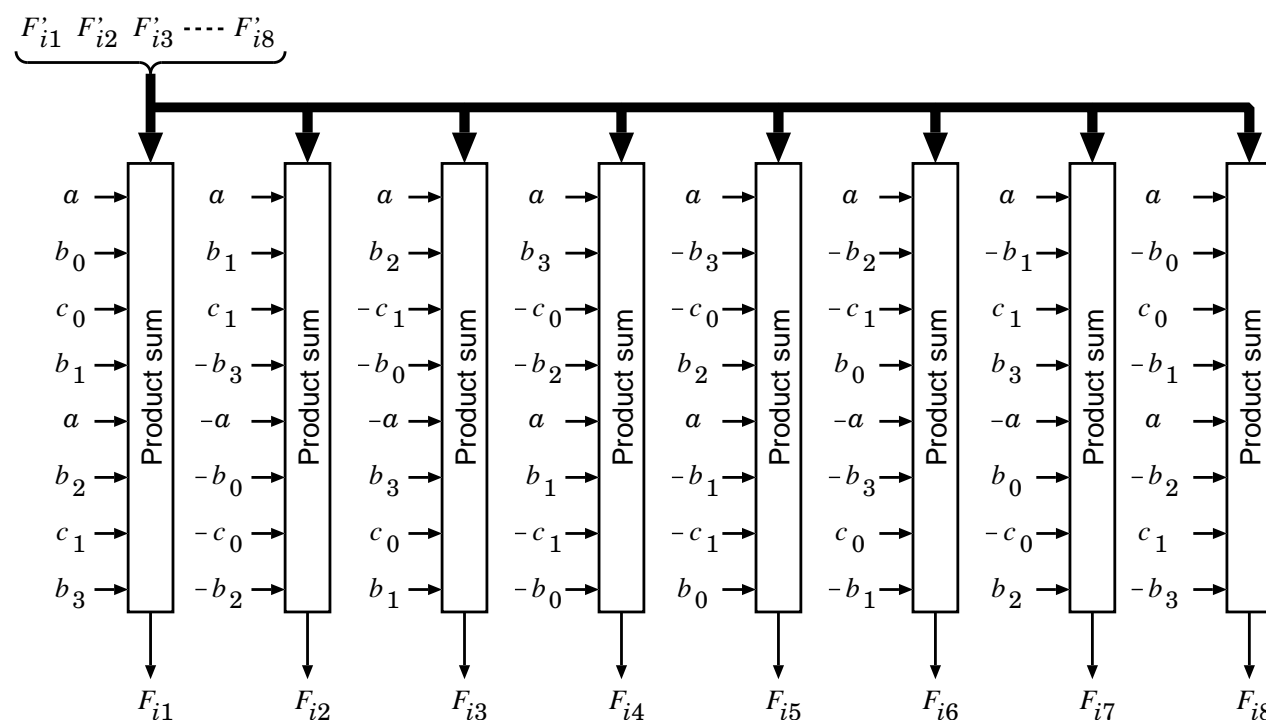


図 7.4 行列の最適化を適用した row (X) DCT unit のブロック図

表 7.1 確率的 DCT 演算回路各部のロジックゲート数

	ゲート数	ゲート面積 [μm^2]
Product sum	23	312.68
Column (Y) DCT unit	161	2099.0
Row (X) DCT unit	161	2099.0
Stochastic DCT processor (total)	1130	17945

確率的 DCT 演算回路各部のロジックゲート数および面積を表 7.1 に示す。ゲート数およびゲート面積は RTL から論理合成した結果を用いており、180 nm 1P6M CMOS プロセスを想定している。1 ブロック分の DCT 演算回路の総ゲート数は 1130 個、ゲートの総面積は $17945 \mu\text{m}^2$ となった。比較として、8 bit \times 8 bit の並列乗算器に必要な MOS トランジスタ数を同様の環境で論理合成すると、総トランジスタ数は 139 個、ゲート面積は $3968 \mu\text{m}^2$ となった。これはほぼ Column (Y) DCT unit または Row (X) DCT unit と同等の面積である。このように、確率的信号処理回路は組み合わせ回路によるきわめて小規模な回路構成により演算を超並列処理する回路を作成可能である。

1 ブロック 1 クロックあたりの消費エネルギーの比較を表 7.2 に示す。ビットストリーム長は $N=256$ で統一し、1 ブロック分の DCT 演算回路が 1 ビットの出力に要するエネルギーで比較を行った。従来のインターフェースを用いた場合、インターフェースの消費電力が DCT 演算回路本体

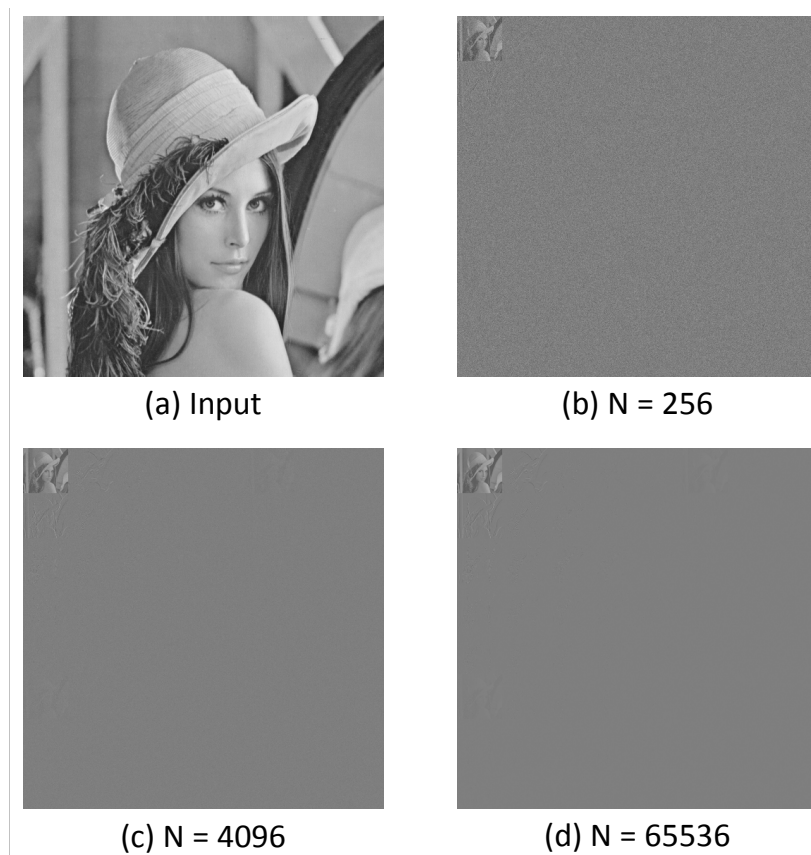


図 7.5 確率的 JPEG 圧縮回路の入出力結果, (a) 入力データ, (b)N=256,(c)N=4096, (d)N=65536

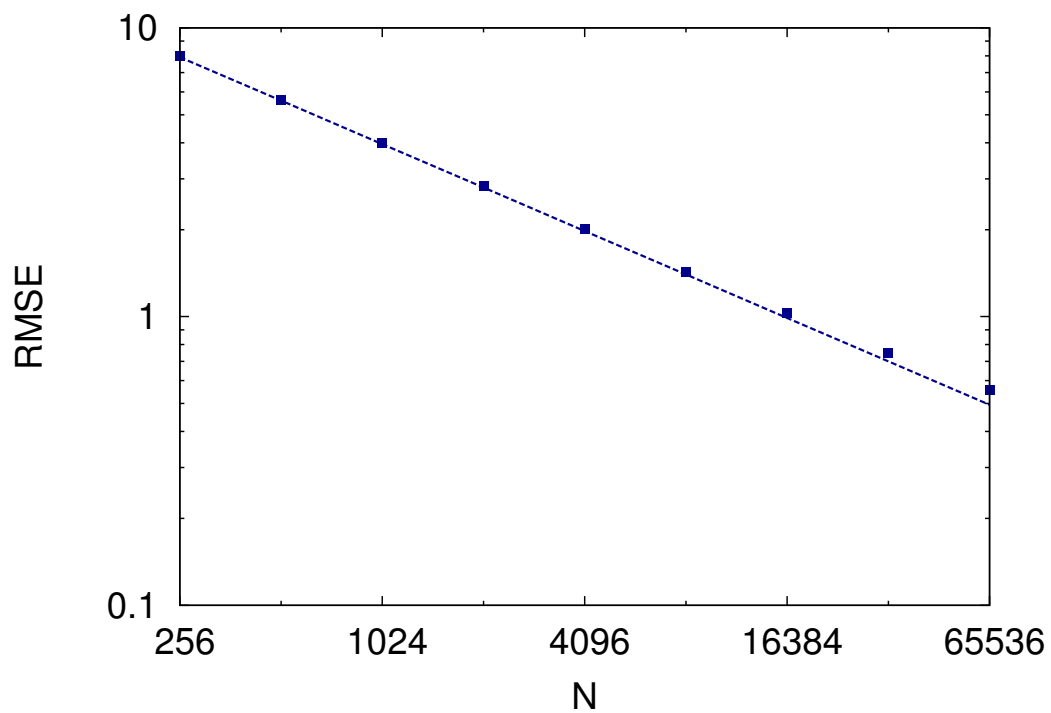
表 7.2 確率的 DCT 演算回路の消費エネルギー (単位は pJ/block-bit.)

	VSC	SNG	DCT	Total
Conventional	17.6	1.91	11.0	30.5
Proposed	2.307	0.0841	11.0	13.4

よりも大きくなった。それに対して提案するインターフェースを用いた場合、従来に比べてインターフェース部分の消費電力に関しては 86.9 % の消費エネルギー削減, DCT 演算回路全体でみても 56.1 % のエネルギー削減が可能であることが分かった。

7.4 結言

本章では、提案した確率的 JPEG 圧縮回路について、シミュレーションによる動作および、電力削減効果の検証を行った。本研究では従来、確率的信号処理回路の消費電力において大きなボトルネックとなっていたストカスティック演算回路とのインターフェース部分についてコンパレータを用いた低消費電力な VSC および RNG を提案し、インターフェース部分について、1 サイクル

図 7.6 ビットストリーム長 N による演算誤差の変化

あたりの消費エネルギーを 86.9 %, DCT 演算回路全体での消費エネルギーを 56.1 % 削減した。本研究で提案したインターフェースを 1.2.2 節で挙げた文献 [58] に適用した場合, 入力インターフェースの電力は 95.8 mW から 12.55 mW へと削減でき, システム全体の消費電力を 54.1 % 削減できることになる。本研究で提案したインターフェースは, 確率的信号処理回路の電力的ボトルネックを大幅に解消し, 確率的信号処理回路の応用可能性を大きく広げるものである。

第 8 章

総括

多チャネルセンサシステムにおいて LSI 外部にデータを送信するトランスミッタの消費電力がボトルネックとなっている。そのボトルネックを解消するためには低消費電力、小面積なオンチップデータ圧縮回路が必須となる。従来、データ圧縮回路信号処理は電圧ドメインによるアナログ信号処理、もしくはデジタル信号処理が用いられ、各要素回路における個別最適化により性能向上が図られてきた。本研究では、信号を時間や確率といった演算に適した信号に変換した後に処理を行うミックスドメイン信号処理回路を多チャネルセンサシステムにおけるデータ圧縮回路に応用することで、多チャネルセンサシステムの低消費電力化、小面積化実現を目標とした。

第 1 章では、多チャネルセンサシステムが直面するデータ帯域増加に伴う電力増加の問題および低消費電力、小面積なデータ圧縮回路の必要性について述べた。NRS、イメージセンサ、赤外線イメージセンサの帯域の異なる 3 種類のアプリケーションにおいてセンサに用いられる信号処理回路について、先行研究を挙げながら、本研究で取り組むべき課題について述べた。また、本研究で用いたミックスドメイン信号処理回路である時間ドメインアナログ信号処理、確率的信号処理についてその概要を述べた。

第 2 章では、NRS におけるデータ圧縮回路を挙げ、時間ドメインアナログ信号処理を用いたデータ圧縮回路アーキテクチャの提案 [62] を行った。NRS は電力の制約が厳しく、低消費電力なデータ圧縮回路の実現は重要なテーマである。本研究では信号圧縮の手法として 1 回の行列-ベクトル乗算によって圧縮を行うことが可能な CS を用い、時間ドメインアナログ信号処理回路による CS エンコーダにより、従来の信号処理回路を超える電力効率および面積効率を目指した。本章では CS による信号観測および復元の原理、提案 CS エンコーダについてその動作原理および必要な構成要素について、各要素ブロックに対する要求仕様の与え方について論じた。

第 3 章では提案 CS エンコーダ実現に必要な要素回路について、先行研究を挙げながら、解決すべき課題および、本研究で提案する手法について、その動作原理および、単体での評価結果について述べた。VTC は計測回路に必要な線形性を確保するため、キャパシタと電流源を用いた積分回路により構成し、12 ビット相当の分解能を達成した。また、時間ドメインアナログ CS エンコーダを実現するために必要なジッタの値についても、要求仕様を満たすようにキャパシタおよび電流源の値を決定した。TDC に関しては、クロック同期式カウンタに比べて低消費電力化可能な遅延素

子を利用したディレイライン型の TDC をまず紹介し、ディレイ素子の段数を削減するリングオシレータ型 TDC の動作原理について述べた。続いてリングオシレータ型 TDC における高分解能側の回路と低分解能側の回路との同期手法の必要性について述べ、既存の手法よりも簡易な回路構成および同期回路付加によるオーバーヘッドを軽減する回路構成を提案 [79] した。

第4章では、実際に 180 nm 1P6M CMOS プロセスにて試作した、提案 CS エンコーダを用いた 100 チャンネルニューラルレコーディングシステムについて詳細な回路構成および、検証手法、試作 LSI 測定系の構築および測定結果について述べた。システムは 20 チャンネルの測定ユニットを 5 つ搭載し、合計で 100 チャンネルの計測を実現している。100 チャンネルそれぞれの電極直下に LNA, S/H, 2 つの VTC, チョップアンプを搭載しており、電極直下で電圧時間変換、積和演算を行う構成となっている。回路面積は 1 チャンネルあたり $0.0331 \text{ mm}^2/\text{ch.}$ となり、CS エンコーダ部分の面積に関しては、先行研究と比べて最も小面積となった。特にデジタル CS エンコーダと比較した場合約 1/10 の小面積化を達成した。試作 LSI の評価については、高速なタイミング制御が必要であるため、FPGA を用いた試作 LSI 制御用の専用ハードウェアを構築し、システム全体の統括制御のため FPGA 内部に MCU を組み込み PC からテスト用信号の生成、測定データの収集を行う構成とした。入力信号と復元後信号の間の SNR で評価を行ったところ、CR=4 における最大 SNR が図 2.6 で行った検証結果に比べて 3dB 以上低下した。これは、本設計では電力を削減するため、VTC のキャパシタ電位比較に用いるコンパレータをロジックゲートにより構成した影響により、VTC の電圧-時間変換ゲインがプロセスによりばらつき、システムのダイナミックレンジを下げってしまったためであると考えられた。

第5章では、イメージセンサの画像圧縮回路について取り上げ、JPEG 圧縮回路の原理について述べた後、JPEG 圧縮に必要な DCT 演算について確率的信号処理を適用する場合のシステム構成および確率的信号処理回路による実装手法について述べた。確率的信号処理回路を用いることにより、通常のデジタル信号処理回路と比較して小規模な回路で演算を行うことが期待できる。また、動作および消費電力を検証を行うために用いた C 言語によるシミュレータの実装手法についても述べた。

第6章では、確率的信号処理回路における電力的ボトルネックとなっていた入力信号を確率ビットストリームに変換するインターフェースについて、ダイナミックコンパレータを用いた VSC および SNG を提案した。ダイナミックコンパレータを用いることで、電圧入力を直接確率ビットストリームに変換することが可能となり、確率的信号処理回路におけるインターフェースをよりシンプルに実現することができる。本章では提案する VSC・SNG について、その具体的な回路構成および検討事項について議論し、既存 VSC・SNG との電力比較により提案 VSC・SNG の有効性を示した。また、コンパレータを VSC・SNG に応用する際の検討事項としてはオフセットの低減および非線形性の補正に挙げられた。コンパレータのオフセット電圧を低減する手法として、コンパレータの動作速度に応じて確率的オフセット電圧検出回路 [90] および、時間ドメインオフセット電圧検出回路 [91, 92] を提案し、確率的オフセット低減手法に関しては 1/38、時間的オフセット低減手法に関しては 1/4.17 の低減効果を確認した。線形性補正手法に関しては、確率的信号処理回路を用いた非線形性補正回路を提案し、コンパレータ単体に比べて入力電圧レンジを 4 倍、確率の

出力レンジを2倍改善した。電力に関しては、既存のVSCと比較して86.9%低エネルギー化した。

第7では、確率的信号処理を用いたDCT演算回路について、既存のVSCを用いた場合における消費エネルギーと、提案VSCを用いた場合の消費エネルギーについて比較することで提案VSC・SNGの有効性を示した。その結果、既存のVSCを用いる場合に比べて提案VSCの消費エネルギーはVSC部分については86.9%低減し、DCT演算回路全体でみた場合でも56.1%エネルギーの削減が可能であるという結論を得た。

以上の得られた知見から、本研究のまとめおよび今後の展望について述べる。まず、時間ドメインアナログ信号処理回路は積和演算回路の実現において、電圧ドメインアナログ回路よりも少ないスタティック電力および、ディジタル信号処理回路よりも低い動作クロックおよびダイナミック消費電力を実現可能であるという結論を得た。また、要素回路であるVTCの線形性に関してはキャパシタと電流源の積分回路を用いることで計測に必要な分解能を得ることに成功し、TDCに関しては、リングオシレータ型TDCの採用による小面積化、新しい高分解能側と低分解能側側の同期手法を提案することで、ロジック部分の消費電力を削減した。また、高分解能側と低分解能側のビット分解能の最適値を数値的に求めることで電力最適化を行った。

確率的信号処理回路については、従来電力的ボトルネックとなっていたVSCについて、コンパレータノイズを利用した低電力なVSCを提案することで、システム全体の電力を大幅に削減できることを示した。また、オフセット電圧補償に関しては確率的オフセット電圧検出および時間ドメインオフセット電圧検出、コンパレータの非線形性補正に関しても確率的信号処理回路を応用することで解決出来る見通しを得ることができた。特にVSCの消費エネルギーにおける86.9%削減は驚異的であると言える。小規模な演算回路を実現できるにもかかわらず、確率的演算回路とのインターフェースにより、これまで電力的に不利とされてきた分野へも、確率的信号処理回路の応用可能性を示すことができたと考える。

本研究で提案した技術により、ミックスドメイン信号処理回路を採用したシステムが、より高い電力効率、小面積化を実現し、多チャネルセンサシステムの発展に寄与出来ることを期待して本論文の総括とする。

参考文献

- [1] I. H. Stevenson, and K. P. Kording, “How advances in neural recording affect data analysis,” *Nature Neuroscience*, vol. 14, no. 2, pp. 139–142, Jan. 2012.
- [2] J. P. Donoghue, “Connecting cortex to machines: recent advances in brain interfaces,” *Nature Neuroscience*, vol. 5, pp.1085-1088, 2002.
- [3] L. R. Hochberg, M. D. Serruya, G. M. Friehs, J. A. Mukand, M. Saleh, A. H. Caplan, A. Branner, D. Chen, R. D. Penn, and J. P. Donoghue, “Neuronal ensemble control of prosthetic devices by a human with tetraplegia,” *Nature*, vol. 442, pp. 164–171, Jul. 2006.
- [4] L. R. Hochberg, D. Bacher, B. Jarosiewicz, N. Y. Masse, J. F. Simeral, J. Vogel, S. Hadadin, J. Liu, S. S. Cash, P. Smagt, and J. P. Donoghue, “Reach and grasp by people with tetraplegia using a neurally controlled robotic arm,” *Nature*, vol. 485, pp. 372–377, May. 2013.
- [5] B. Gosselin, “Recent advances in neural recording microsystems,” *Sensors* vol. 11, pp. 4572–4597, Apr. 2011.
- [6] M. HajjHassan, V. Chodavarapu, and S. Musallam, “NeuroMEMS: neural probe microtechnologies,” *Sensors*, vol. 8, no. 10, pp. 6704–6726, Oct. 2008.
- [7] D. Han, Y. Zheng, R. Rajkumar, G. S. Dawe, and M. Je, “A 0.45 V 100-channel neural-recording IC with sub- μ W/channel consumption in 0.18 CMOS,” *IEEE Trans. Biomedical Circuits Syst.*, vol. 7, no. 6, pp. 735–746, Dec. 2013.
- [8] U. Frey, J. Sedivy, F. Heer, R. Pedron, M. Ballini, J. Mueller, D. Bakkum, S. Hafizovic, F. D. Faraci, F. Greve, K. U. Kirstein, and A. Hierlemann, “Switch-matrix-based high-density microelectrode array in CMOS technology,” *IEEE J. Solid-State Circuits*, vol. 45, no. 2, pp. 467–482, Feb. 2010.
- [9] U. Frey, U. Egert, F. Heer, S. Hafizovic, and A. Hierlemann, “Microelectronic system for high-resolution mapping of extracellular electric fields applied to brain slices,” *Biosensors and Bioelectronics*, vol. 24, no. 7, pp. 2191–2198, Dec. 2009.
- [10] M. S. Chae, Z. Yang, M. R. Yuce, L. Hoang, and W. Liu, “A 128-channel 6 mW wireless neural recording IC with spike feature extraction and UWB transmitter,” *IEEE Trans. Neural Syst. Rehab. Eng.*, vol. 17, no. 4, pp. 312–321, Aug. 2009.

- [11] H. Ando, K. Takizawa, T. Yoshida, K. Matsushita, M. Hirata, and T. Suzuki, "Wireless multichannel neural recording with a 128-Mbps UWB transmitter for an implantable brain-machine interfaces, " *IEEE Trans. Biomedical Circuits Syst.*, vol. 10, no. 6, pp. 1068–1078, Jan. 2016.
- [12] B. C. Johnson, S. Gambini, I. Izyumin, A. Moin, A. Zhou, G. Alexandrov, S. R. Santacruz, J. M. Rabaey, J. M. Carmena, and R. Muller, "An implantable 700 μ W 64-channel neuromodulation IC for simultaneous recording and stimulation with rapid artifact recovery, " *Symp. VLSI Circuits Dig. Tech. Papers*, pp. C48–C49, Jun. 2017.
- [13] S. Yamagiwa, M. Ishida, and T. Kawano, "Self-curling and -sticking flexible substrate for ECoG electrode array, " *IEEE Int. Conf Micro Electro Mechanical Syst.*, pp. 480–483, Jan. 2013.
- [14] K. D. Wise, J. B. Angell, and A. Starr, "An integrated-circuit approach to extracellular microelectrodes, " *IEEE Trans. Biomed. Eng.*, vol. BME-17, no. 3, pp. 238–247, Jul. 1970.
- [15] R. A. Normann, E. M. Maynard, P. J. Rousche, and D. J. Warren, "A neural interface for a cortical vision prosthesis, " *Vision Res.*, vol. 39, no. 15, pp. 2577–2587, 1999.
- [16] A. Fujishiro, H. Kaneko, T. Kawashima, M. Ishida, and T. Kawano, "In vivo neuronal action potential recordings via three-dimensional microscale needle-electrode arrays, " *Nature Scientific Reports*, vol. 4, 4868, May 2014.
- [17] F. Shahrokhi, K. Abdelhalim, D. Serletis, P. L. Carlen, and R. Genov, "The 128-channel fully differential digital integrated neural recording and stimulation interface, " *IEEE Trans. Biomedical Circuits Syst.*, vol. 4, no. 3, pp. 149–161, May. 2010.
- [18] R. R. Harrison, P. T. Watkins, R. J. Kier, R. O. Lovejoy, D. J. Black, B. Greger, and F. Solzbacher, "A low-power integrated circuit for a wireless 100-electrode neural recording system. " *IEEE J. Solid-State Circuits*, vol. 42, no. 1, pp. 123–133, Jan. 2007.
- [19] R. R. Harrison, R. J. Kier, C. A. Chestek, V. Gilja, P. Nuyujukian, S. Ryu, B. Greger, F. Solzbacher, and K. V. Shenoy, "Wireless neural recording with single low-power integrated circuit, " *IEEE Trans. Neural Syst. Rehab. Eng.*, vol. 17, no. 4, pp. 322–329, Jun. 2009.
- [20] M. Yin, D. A. Borton, J. Aceros, W. R. Patterson, and A. V. Nurmikko, "A 100-channel hermetically sealed implantable device for chronic wireless neurosensing applications, " *IEEE Trans. Biomedical Circuits Syst.*, vol. 7, no. 2, pp. 115–128, Apr. 2013.
- [21] D. A. Schwarz, M. A. Lebedev, T. L. Hanson, D. F. Dimitrov, G. Lehew, J. Meloy, S. Rajangam, V. Subramanian, P. J. Ifft, Z. Li, A. Ramakrishnan, A. Tate, K. Z. Zhuang, and M. A. L. Nicolelis, "Chronic, wireless recordings of large scale brain activity in freely moving rhesus monkeys, " *Nature Methods*, vol. 11, no. 6, pp. 670–676, Apr. 2014.
- [22] A. M. Sodagar, K. D. Wise, and K. Najafi, "A fully integrated mixed-signal neural processor for implantable multichannel cortical recording, " *IEEE Trans. Biomedical Eng.*,

- vol. 54, no. 6, pp. 1075–1088, Jun. 2007.
- [23] A. M. Sodagar, G. E. Perlin, Y. Yao, K. Najafi, and K. D. Wise, “An implantable 64-channel wireless microsystem for single-unit neural recording,” *IEEE J. Solid-State Circuits*, vol. 44, no. 9, pp. 2591–2604, Sep. 2009.
- [24] S. B. Lee, H. M. Lee, M. Kiani, U. M. Jow, and M. Ghovanloo, “An inductively powered scalable 32-channel wireless neural recording system-on-a-chip for neuroscience applications,” *IEEE Trans. Biomedical Circuits Syst.*, vol. 4, no. 6, pp. 360–371, Dec. 2010.
- [25] J. Du, T. J. Blanche, R. R. Harrison, H. A. Lester, and S. C. Masmanidis, “Multiplexed, high density electrophysiology with nanofabricated neural probes,” *Plos One*, vol. 6, no. 10, pp. e26204:1–e26204:11, Oct. 2011.
- [26] A. Bagheri, S. R. I. Gabran, M. T. Salam, J. L. P. Velazquez, R. R. Mansour, M. M. A. Salama, and R. Genov, “Massively-parallel neuromonitoring and neurostimulation rodent headset with nanotextured flexible microelectrodes,” *IEEE Trans. Biomedical Circuits Syst.*, vol. 7, no. 5, pp. 601–609, Oct. 2013.
- [27] C. M. Lopez, A. Andrei, S. Mitra, M. Welkenhuysen, W. Eberle, C. Bartic, R. Puers, R. F. Yazicioglu, and G. Gielen, “An implantable 455-active-electrode 52-channel CMOS neural probe,” *IEEE J. Solid-State Circuits*, vol. 49, no. 1, pp. 248–261, Jan. 2014.
- [28] M. Zoladz, P. Kmon, J. Rauza, P. Grybos, and T. Blasiak, “Multichannel neural recording system based on family ASICs processed in submicron technology,” *Microelectronics J.*, vol. 45, no. 9, pp. 1226–1231, Sep. 2014.
- [29] S. Y. Park, J. Cho, and E. Yoon, “3.37 μ W/Ch Modular Scalable Neural Recording System with Embedded Lossless Compression for Dynamic Power Reduction,” *Symp. VLSI Circuits Dig. Tech. Papers*, pp. C168–C169, Jun. 2017.
- [30] B. C. Raducanu et. al., “Time Multiplexed Active Neural Probe with 1356 Parallel Recording Sites,” *Sensors*, vol. 17, no. 10, p. 2388, Oct. 2017.
- [31] P. Norlin, M. Kindlundh, A. Mouroux, K. Yoshida, and U. G. Hofmann, “A 32-site neural recording probe fabricated by DRIE of SOI substrates,” *J. Micromech. Microeng.*, pp. 414–419, vol. 12, no. 4, Jun. 2002.
- [32] M. Kindlundh, P. Norlin, and U. G. Hofmann, “A neural probe process enabling variable electrode configurations,” *Sens. Actuat. B-Chem.*, vol. 102, no. 1, pp. 51–58, Sep. 2004.
- [33] D. A. Borton, M. Yin, J. Aceros, and A. Nurmikko, “for recording cortical circuit dynamics in moving primates,” *J. Neural Eng.*, vol. 10, no. 2, pp. 1741–2560, Apr. 2013.
- [34] 岡部謙志, “無線センサデバイスに向けた小型アンテナと無線電力伝送技術に関する研究,” 豊橋技術科学大学 2015 年度博士論文.
- [35] M. Pagin, J. Becker, and M. Ortmanns, “Evaluation of spike sorting and compression for digitally reconfigurable non-uniform quantization,” *IEEE International New Circuits and Systems Conference (NEWCAS)* pp. 177–180, Aug. 2017.

- [36] M. Delgado-Restituto, A. Rodriguez-Perez, A. Darie, C. Soto-Sanchez, E. Fernandez-Jover, and A. Rodriguez-Vazquez, "System-Level Design of a 64-Channel Low Power Neural Spike Recording Sensor," *IEEE Trans. Biomed. Circuits Syst.*, vol. 11, no. 2, pp. 420-433, Apr. 2017.
- [37] S. A. Taylor, "CCD and CMOS imaging array technologies - technology review - " *Technical Report EPC-1998-106*, 1998.
- [38] M. Bigas, E. Cabruja, J. Forest, and J. Salvi, "Review of CMOS image sensors," *Microelectronics Journal*, vol. 37, pp. 433-451, 2006.
- [39] T. Toyama, K. Mishina, H. Tsuchiya, T. Ichikawa, H. Iwaki, Y. Gendai, H. Murakami, K. Takamiya, H. Shiroshita, Y. Muramatsu, and T. Furusawa, "A 17.7 Mpixel 120fps CMOS image sensor with 34.8 Gb/s readout," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 420-421, 2011.
- [40] Y. Oike, K. Akiyama, L. D. Hung, W. Niitsuma, A. Kato, M. Sato, Y. Kato, W. Nakamura, H. Shiroshita, Y. Sakano, Y. Kitano, T. Nakamura, T. Toyama, H. Iwamoto, and T. Ezaki, "8.3 M-Pixel 480-fps global-shutter CMOS image sensor with gain-adaptive column ADCs and chip-on-chip stacked integration," *IEEE J. Solid-State Circuits*, vol. 52, no. 4, pp. 985-993, 2017.
- [41] H. Totsuka, T. Tsuboi, T. Muto, D. Yoshida, Y. Matsuno, M. Ohmura, H. Takahashi, K. Sakurai, T. Ichikawa, H. Yuzurihara, and S. Inoue "An APS-H-Size 250Mpixel CMOS image sensor using column single-slope ADCs with dual-gain amplifiers," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, vol. 59, pp. 116-117, 2016.
- [42] 廣田正樹, 中島靖志, 齋藤誠則, 佐藤文紀, 内山誠, "サーモパイル型赤外線センサアレイと自動車応用技術," *ITE Technical Report*, vol. 25, no. 19, pp. 19-24, 2011.
- [43] M. A. Matin, K. Oishi, A. Katsuta, D. Akai, K. Sawada, M. Ishida, "Aspects of integrating functional electroceramic material in multilayer thin films for image sensing: modeling and experiment," *J. Electronic Materials*, vol. 44, no. 7, pp. 2544-2553, Jul. 2015.
- [44] Q. Sun, J. Shen, H. Qiao, X. Huang, C. Chen, and F. Hu, "Static Human Detection and Scenario Recognition via Wearable Thermal Sensing System," *Computers*, vol. 6, 3, 2017.
- [45] D. Miyashita, R. Yamaki, K. Hashiyoshi, H. Kobayashi, S. Kousai, Y. Oowaki, and Y. Uneekawa, "A 10.4pJ/b (32, 8) LDPC decoder with time-domain analog and digital mixed-signal processing," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 420-421, Feb. 2013.
- [46] D. Miyashita, R. Yamaki, K. Hashiyoshi, H. Kobayashi, S. Kousai, Y. Oowaki, and Y. Uneekawa, "An LDPC decoder with time-domain analog and digital mixed-signal processing," *IEEE J. Solid-State Circuits*, vol. 49, no. 1, pp. 73-83, Jan. 2014.
- [47] M. Miyahara, I. Mano, M. Nakayama, K. Okada and A. Matsuzawa, "A 2.2GS/s 7b

- 27.4mW time-based folding-flash ADC with resistively averaged voltage-to-time amplifiers,” *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 388–389, Feb. 2014.
- [48] D. Ha, K. Woo, S. Meninger, T. Xanthopoulos, E. Crain, and D. Ham, “Time-domain CMOS temperature sensors with dual delay-locked loops for microprocessor thermal monitoring,” *IEEE Trans. Very Large Scale Integ. Syst.*, vol. 20, no. 9, pp. 1590–1601, Sep. 2012.
- [49] C. C. Chen, and H. W. Chen, “A linearization time-domain CMOS smart temperature sensor using a curvature compensation oscillator,” *Sensors*, vol. 13, no. 9, pp. 11439–11452, Aug. 2013.
- [50] 鬼沢直哉, 松宮一道, 羽生貴弘, “ストカスティック演算に基づく省エネルギー脳型 LSI 設計技術,” *IEICE Fundamental review*, vol. 1, no. 1, pp. 28–39, 2017 年 7 月.
- [51] S. S. Tehrani, P. H. Siegel, S. Mannor, and W. J. Gross, “Joint stochastic decoding of LDPC codes and partial-response channels,” *IEEE Workshop Sig. Proc. Syst.*, pp. 13–18, 2012.
- [52] N. Onizawa, W. J. Gross, T. Hanyu, and V. C. Gaudet, “Clockless stochastic decoding of low-density parity-check codes: architecture and simulation model,” *J. Sig. Proc. Syst.*, vol. 76, pp. 185–194, 2014.
- [53] S. Koshita, N. Onizawa, M. Abe, T. Hanyu, and M. Kawamata, “High-Accuracy and Area-Efficient Stochastic FIR Digital Filters Based on Hybrid Computation,” *IEICE Trans. Inf. and Syst.*, vol. 100, pp. 1592–1602, 2017.
- [54] N. Onizawa, D. Katagiri, K. Matsumiya, W. J. Gross, and T. Hanyu, “Gabor Filter Based on Stochastic Computation,” *IEEE Sig. Proc. Letters*, vol. 22, pp. 1224–1228, 2015.
- [55] N. Onizawa, S. Koshita, S. Sakamoto, M. Abe, M. Kawamata, and T. Hanyu, “Gammatone Filter Based on Stochastic Computation,” *IEEE Int. Conf. Acoustics, Speech, Sig. Proc.*, pp. 1036–1040, 2016.
- [56] A. Alaghi, C. Li and J. P. Hayes, “Stochastic circuits for real-time image-processing applications,” *Proc. Annual Design Automation Conf.* pp. 136:1–136:6, 2013.
- [57] K. Boga, N. Onizawa, F. Leduc-Primeau, K. Matsumiyaz, T. Hanyu, and W. J. Gross, “Stochastic Implementation of the Disparity Energy Model for Depth Perception,” *IEEE Workshop on Sig. Proc. Syst.* 2015.
- [58] “A generalized stochastic implementation of the disparity energy model for depth perception,” *J. Sig. Proc. Syst.*, pp. 117, 2016.
- [59] A. Ardakani, F. Leduc-Primeau, N. Onizawa, T. Hanyu, and W. J. Gross, “VLSI implementation of deep neural network using integral stochastic computing,” *IEEE Tran. Very Large Scale Integ. Syst.*, vol. 10, pp. 2688–2699, 2017.
- [60] D. L. Donoho, “Compressed sensing,” *IEEE Transactions on Information Theory*, vol. 52, no. 4, pp. 1289–1306, Apr. 2006.

- [61] E. J. Candes, T. Tao, “Near-optimal signal recovery from random projections: universal encoding strategies?,” *IEEE Transactions on Information Theory*, vol. 52, no. 12, pp. 5406–5425, Dec. 2006.
- [62] Takayuki Okazawa, and Ippei Akita, “A time-domain analog spatial compressed sensing encoder for multi-channel neural recording,” *Sensors*, vol. 18, 184, 2018.
- [63] L. Wu, K. Yu, D. Cao, Y. Hu, and Z. Wang, “Efficient sparse signal transmission over a lossy link using compressive sensing,” *Sensors*, vol. 15, no. 8, pp. 19880–19911, Jul. 2015.
- [64] M. Balouchestani, and S. Krishnan, “Effective low-power wearable wireless surface EMG sensor design based on analog-compressed sensing,” *Sensors* vol. 14, pp. 24305–24328, 2014.
- [65] F. Chen, A. P. Chandrakasan, and V. M. Stojanović, “Design and analysis of a hardware-efficient compressed sensing architecture for data compression in wireless sensors,” *IEEE J. Solid-State Circuits*, vol. 47, pp. 744–756, 2012.
- [66] Y. H. Tseng, Y. H. Chen, and C. W. Lu, “Adaptive integration of the compressed algorithm of CS and NPC for the ECG signal compressed algorithm in VLSI implementation,” *Sensors*, vol. 17, 2288, 2017.
- [67] X. Liu, H. Zhu, M. Zhang, A. G. Richardson, T. H. Lucas, and J. V. Spiegel, “Design of a low-noise, high power efficiency neural recording front-end with an integrated real-time compressed sensing unit,” *IEEE Int. Symp. Circuit Syst.*, pp. 2996–2999, 2015.
- [68] X. Liu, M. Zhang, T. Xiong, A. G. Richardson, T. H. Lucas, P. S. Chin, R. Etienne-Cummings, T. D. Tran, and J. V. Spiegel, “A fully integrated wireless compressed sensing neural signal acquisition system for chronic recording and brain machine interface,” *IEEE Trans. Biomedical Circuits Syst.*, vol. 10, pp. 874–883, 2016.
- [69] M. Shoaran, M. H. Kamal, C. Pollo, P. Vandergheynst, and A. Schmid, “Compact low-power cortical recording architecture for compressive multichannel data acquisition,” *IEEE Trans. Biomedical Circuits Syst.* vol. 8, pp. 857–870, 2014.
- [70] M. Shoaran, M. M. Lopez, V. S. R. Pasupureddi, Y. Leblebici, and A. Schmid, “A low-power area-efficient compressive sensing approach for multi-channel neural recording,” *Proc. IEEE Int. Symp. Circuits and Syst.*, pp. 2191–2194, May 2013.
- [71] Y. Oike, and A. E. Gamal, “CMOS image sensor with per-column $\Sigma\Delta$ ADC and programmable compressed sensing,” *IEEE J. Solid-State Circuits*, vol. 48, pp. 318–328, 2013.
- [72] G. Kim, M. K. Kim, B. S. Chang, and W. Kim, “A low-voltage, low-power CMOS delay element,” *IEEE J. Solid-State Circuits*, vol. 31, no. 7, pp. 966–971, Jul. 1996.
- [73] B. Schell and Y. Tsvividis, “A low power tunable delay element suitable for asynchronous delays of burst information,” *IEEE J. Solid-State Circuits*, vol. 43, no. 5, pp. 1227–1234, May 2008.

- [74] M. Kurchuk and Y. Tsividis, "Energy-efficient asynchronous delay element with wide controllability, " *Proc. IEEE Int. Symp. Circuits Syst.*, pp. 3837–3840, Jun. 2010.
- [75] B. W. Bahr, L. C. Popa, and D. Weinstein, "1GHz GaN-MMIC monolithically integrated MEMS-based oscillators, " *IEEE Int. Solid-State Conf. Dig. Tech. Papers*, pp. 304–305, 2015.
- [76] K. Takinami, R. Strandberg, P. C. P. Liang, G. L. G. Mercey, T. Wong, and M. Hassibi, "A distributed oscillator based all-digital PLL with a 32-phase embedded phase-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 46, no. 11, pp. 2650–2660, Nov. 2011.
- [77] J. Hamilton, S. Yan, and T. R. Viswanathan, "An uncalibrated 2MHz, 6mW, 63.5dB SNDR discrete-time input VCO-based $\Delta\Sigma$ ADC," *Proc. IEEE Custom Integrated Circuit Conf.*, pp. 1–4, Sep. 2012.
- [78] K-C. Choi, S-W. Lee, B-C. Lee, and W-Y. Choi, "A time-to-digital converter based on a multiphase reference clock and a binary counter with a novel sampling error corrector," *IEEE Trans. Circuit and Syst.-II*, vol. 59, no. 3, pp. 143–147 Mar. 2012.
- [79] Takayuki Okazawa, and Ippei Akita, "A robust and low-power synchronization technique of coarse-and-fine conversion parts in ring-oscillator-based time-to-digital converters, " *IEEE Intl Conf. Electronics, Circuits Syst. (ICECS)*, Batumi, Georgia on December 5-8, 2017.
- [80] S. Ito, S. Nishimura, H. Kobayashi, S. Uemori, Y. Tan, N. Takai, T. J. Yamaguchi, K. Niitsu, "Stochastic TDC architecture with self-calibration," *IEEE Asia-Pacific Conf. Circuits Syst.(APCCAS) Proceedings*, pp. 10271030, 2010.
- [81] J. Kong, L. Siek, and C.-L. Kok, "A 9-bit body-biased vernier ring time-to-digital converter in 65 nm CMOS technology, " *Proc. IEEE Int. Symp. Circuits Syst.*, pp. 1650–1653, May 2015.
- [82] "Overview of JPEG, " <https://jpeg.org/jpeg/>
- [83] S Kawahito, M. Yoshida, M. Sasaki, K. Umehara, D. Miyazaki, Y. Tadokoro, K. Murata, S. Doushou, and A. Matsuzawa, "A CMOS image sensor with analog two-dimensional DCT-based compression circuits for one-chip cameras," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 2030-2041, 1997.
- [84] N. Onizawa, D. Katagiri, W. J. Gross, and T. Hanyu, "Analog-to-stochastic converter using magnetic-tunnel junction devices, " *IEEE Trans. Nanotech.*, vol. 15, pp. 705–714, 2016.
- [85] P. Knag, W. Lu and Z. Zhang, "A native stochastic computing architecture enabled by memristors, " *IEEE Trans. Nanotech.*, vol. 13, pp. 283–293, 2014.
- [86] S. Gaba P. Knag Z. Zhang, and W. Lu, "Memristive devices for stochastic computing, " *Proc. IEEE Int. Symp. Circuits Syst.*, pp. 2592–2595, 2014.
- [87] C. H. Chan, Y. Zhu, U F. Chio, S. W. Sin, S. P. U, and R.P. Martins, "A voltage-controlled

- capacitance offset calibration technique for high resolution dynamic comparator,” in Proc. International SoC Design Conference, pp. 392–395, Nov. 2009.
- [88] I. Akita and M. Ishida, “A 0.06mm^2 $14\text{nV}/\sqrt{\text{Hz}}$ chopper instrumentation amplifier with automatic differential-pair matching,” in *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 178–179, Feb. 2013.
- [89] I. Akita and M. Ishida, “A chopper-stabilized instrumentation amplifier using area-efficient self-trimming technique,” *Analog Integr. Circuit Signal Process.*, vol. 81, no. 3, pp. 571–582, Aug. 2014.
- [90] T. Okazawa, T. Kawano, M. Ishida, and I. Akita, “Digitally calibrated dynamic latched comparator with stochastic offset voltage detection technique for low-power ADCs,” *Solid State Devices and Materials (SSDM)*, pp. 846–847, Sep. 2015.
- [91] T. Okazawa, I. Akita, and M. Ishida, “A low-offset-voltage dynamic comparator using automatic differential-pair matching for low-power ADCs,” *Int. Conf. Analog VLSI Circuits (AVIC)*, 2013.
- [92] T. Okazawa, I. Akita, and M. Ishida, “A digitally calibrated dynamic comparator using time-domain offset detection,” *Analog Integr. Circuits Signal Process.*, vol. 81, no. 3, pp. 561–570, Dec. 2014.
- [93] S. Weaver, B. Hershberg, D. Knierim, U. K. Moon, “A 6b stochastic flash analog-to-digital converter without calibration or reference ladder,” in *Proc. Asian Solid-State Circuits Conf.*, pp. 373–376, 2008.
- [94] S. E. Hsieh, and C. C. Hsieh, “A 0.3V $0.705\text{fJ}/\text{conversion-step}$ 10-bit SAR ADC with shifted monotonic switching scheme in 90nm CMOS,” *Proc. Int. Symp. Circuits and Syst.*, 2899, 2016.

謝辞

本研究を遂行するにあたり，研究を行う機会と懇切丁寧な御指導並びに御助言を賜りました豊橋技術科学大学准教授・博士（工学）河野 剛士先生に心から感謝の意を表します。

本研究を遂行するにあたり，研究方針及び回路設計，試作，評価の御助言並びに御指導，討論の場における懇切丁寧な御助言を賜りました豊橋技術科学大学助教・博士（工学）秋田 一平先生に深く感謝致します。

本研究における討論の場で大変有益な御助言を賜りました豊橋技術科学大学教授・工学博士 澤田 和明先生に深く感謝致します。

本研究における討論の場で大変有益な御助言を賜りました豊橋技術科学大学 教授・理学博士 市川 周一先生に深く感謝致します。

本研究の成果を報告するにあたり，数々の御支援を頂き，また学部・博士前期課程時において研究を行う機会と懇切丁寧な御指導並びに御助言を賜りました豊橋技術科学大学特別顧問・名誉教授・工学博士 石田 誠先生に心から感謝の意を表します。

本研究の成果を報告するにあたり，数々の御支援を頂きました豊橋技術科学大学特別顧問室秘書 門井 久美様，並びに澤田研究室秘書 豊田 留美子様に深く感謝いたします。

本研究を遂行するにあたり，多大な協力を頂きました豊橋技術科学大学研究員 浅野 貴嗣氏に謹んで感謝の意と敬意を表します。

本研究を遂行するにあたり，多大な協力を頂きました豊橋技術科学大学博士後期課程 久保田 吉博氏並びに Choi Yong Joon 氏に謹んで感謝の意と敬意を表します。

本研究を遂行するにあたり，多大な協力を頂きました豊橋技術科学大学助手 Lee Youna 氏に謹んで感謝の意と敬意を表します。

本研究における討論の場で有益な御助言並びに御協力を頂きました豊橋技術科学大学 石田・澤田・河野・村上研究室の先生方並びに学生諸氏に深く感謝致します。

最後に，本研究を迎えるにあたり，勉学への御理解と御援助をして頂いた両親に感謝の意を表します。

2017 年 11 月 岡澤 貴之

研究業績

査読付学術論文

1. Takayuki Okazawa, Ippei Akita, and Makoto Ishida, “A digitally calibrated dynamic comparator using time-domain offset detection,” *Analog Integrated Circuits and Signal Processing (AICSP)*, vol. 81, no. 3, pp. 561–570, 2014, (10 pages).
2. Takayuki Okazawa, and Ippei Akita, “A time-domain analog spatial compressed sensing encoder for multi-channel neural recording,” *Sensors*, vol. 18, 184, 2018, (21 pages).
3. Takayuki Okazawa, and Ippei Akita, “A dynamic latched comparator using area-efficient stochastic offset voltage detection technique,” *IEICE Transactions on Electronics*, 2018, (8 pages), accepted.

査読付国際会議論文

1. Takayuki Okazawa, Ippei Akita, and Makoto Ishida, “A low-offset-voltage dynamic comparator using automatic differential-pair matching for low-power ADCs,” *International Conference on Analog VLSI Circuits (AVIC2013)*, Montréal, Canada, 2013, (5 pages).
2. Takayuki Okazawa, Takeshi Kawano, Makoto Ishida, and Ippei Akita, “Digitally Calibrated Dynamic Latched Comparator with Stochastic Offset Voltage Detection Technique for Low-Power ADCs,” *Solid State Devices and Materials*, pp. 846–847, Hokkaido, Japan, 2015, (2 pages).
3. Takayuki Okazawa, and Ippei Akita, “A robust and low-power synchronization technique of coarse-and-fine conversion parts in ring-oscillator-based time-to-digital converters,” *IEEE Int.l Conf. Electronics, Circuits Syst. (ICECS)*, pp. 239–242, Batumi, Georgia on December 5-8, 2017, (4 pages).

Appendix: 時間ドメインアナログ CS エンコーダで用いた検証用神経電位信号の生成手法

本研究で提案した CS エンコーダは，チャンネル数および電極の空間的な位置関係が重要なパラメータとなる．実際に NRS により取得されたデータセットは Web 上で公開されているが，本研究で設計した CS エンコーダに適合するチャンネル数および電極間隔を満たすものを見つけることが出来なかった．そのため本研究では時間ドメインアナログ CS エンコーダの評価において，実際の神経電位信号を模擬した信号を生成し，評価用信号として用いた．評価用信号は自発電位を想定し，MATLAB により生成した．

具体的な生成手順としてはまず，神経細胞の膜電位 V_m を文献 [1] にて示されているアルゴリズムにより生成する．その後， V_m を膜電流 I_m へ変換し，最後に I_m から神経電位分布を計算する．神経細胞の細胞膜の等価回路を図 1(a) に示す．ただし， C_m は膜の静電容量， R_{Na} , R_K はナトリウムおよびカリウムの電気抵抗， E_{Na} , E_K はナトリウムおよびカリウムのポテンシャル， R_L , E_L はリーク抵抗およびポテンシャルである [2]．実際の各パラメータの値は [2] を基に決定した． N 個のニューロンは，図 1 に示すように等間隔に配置した電極周辺にランダム配置した．神経細胞の

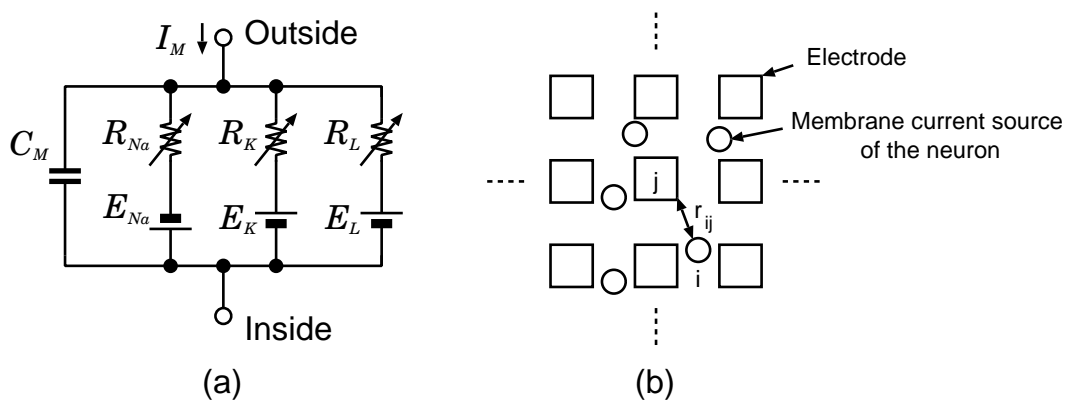


図 1 (a) 神経細胞の細胞膜の等価回路 (b) 等間隔に配置された電極とランダム配置された膜電流源との位置関係

密度および発火レートは文献 [3] を基に決定し, 150 個/mm^2 , 平均発火レートは 0.3Hz とした.
 $i(1 \leq i \leq N)$ 番目の神経細胞による膜電流は

$$I_{m,i} = I_i + C_m \frac{\partial V_{m,i}}{\partial t}$$

と表せる [4]. ただし, I_i はイオン電流, C_m は膜容量である. $I_{m,i}$ を細胞膜方向へ流れる点電流源と仮定すると, $j(1 \leq j \leq 100)$ 番目の電極電極におけるポテンシャルは

$$\phi_j = -\frac{1}{4\pi\sigma} \sum_{n=1}^N \frac{I_{m,n}}{r_{ij}} \quad (1)$$

となる. ただし, σ は導電率, r_{ij} は点電流源と電極との距離である.

参考文献

- [1] E. M. Izhikevich, “Simple model of spiking neurons,” *IEEE Trans. Neural Networks*, vol. 14, no. 6, pp. 1569-1572, 2003.
- [2] A. L. Hodgkin, and A. F. Huxley, “A quantitative description of membrane current and its application to conduction and excitation in nerve,” *Bulletin of Mathematical Biology* vol. 52, no. 1/2, pp. 25-71, 1990.
- [3] U. Frey, U. Egert, F. Heer, S. Hafizovic, and A. Hierlemann, “Microelectronic system for high-resolution mapping of extracellular electric fields applied to brain slices,” *Biosensors and Bioelectronics*, vol. 24, no. 7, pp. 2191–2198, Dec. 2009.
- [4] P. L. Nunez, and R. Srinivasan, “Electric Fields of the Brain: The neurophysics of EEG, 2nd Edition,” *Oxford University Press: New York, NY, USA*, 2006.