

半導体デバイスのバックエンドプロセスの複合  
要因故障と故障解析技術

(Backend process multifactor failure mechanism  
and failure analysis technique of semiconductor  
devices)

2018年1月

博士（工学）

直永 卓也

豊橋技術科学大学

# 目次

第1章	序論	P
1-1.	背景	.1
1-1-1.	半導体デバイスの信頼性動向	
1-1-2.	半導体デバイスの故障の現状と課題	
1-2.	半導体デバイスの故障解析	.5
1-2-1.	故障解析の定義	
1-2-2.	故障解析の役割と目的	
1-2-3.	故障物理	
1-3.	半導体デバイスの故障	.9
1-3-1.	半導体デバイスの故障の特徴	
1-3-2.	半導体デバイスの故障メカニズムと故障モード	
1-3-3.	故障解析技術の分類	
1-4.	本研究の目的	.15
	参考文献	
第2章	故障解析のためのモジュールデバイスのパッケージ開封技術	
2-1.	背景	.18
2-2.	実験方法	.18
2-3.	アルカリ水溶液によるモールド樹脂開封の特性	.19
2-4.	ウエハレベルチップサイズパッケージの Si 基板の エッチング防止法	.21
2-4-1.	アルカリ水溶液による Si 基板のエッチング理論	
2-4-2.	Si 基板エッチングの電気化学エッチストップ法	
2-5.	電気化学エッチストップ法を用いたモジュール製品の 故障解析事例	.25
2-6.	結論	.26
	参考文献	

## 第3章 故障解析のための故障モード推定技術と Si 基板裏面加工技術

3-1. 背景	.28
3-2. 実験方法	.28
3-3. 発光解析による故障モードの推定	.30
3-3-1. 発光スペクトル解析による故障モードの推定	
3-3-2. フォトンカウント数の累乗近似法による故障モードの推定	
3-4. 裏面発光解析のための Si 基板薄膜化技術	.34
3-4-1. 任意箇所ダメージレス Si 基板薄膜化手法	
3-4-2. 2 $\mu$ m 以下の Si 基板厚さの非破壊測定手法	
3-5. 実デバイスでの Si 基板裏面からの発光スペクトル解析事例	.44
3-6. 結論	.47
参考文献	

## 第4章 下層バリア TiN 膜と上層 Tetraethyl Orthosilicate (TEOS) 酸化膜の複合要因による Al 膜中ボイド故障メカニズム

4-1. 背景	.49
4-2. 実験方法	.49
4-3. Al 膜中ボイドの特徴	.50
4-4. Al 膜中ボイドの観察	.52
4-5. Al 膜の特性	.54
4-5-1. Al 膜中の Si ノジュールと Al 膜のグレイン	
4-5-2. Al 膜の結晶方位測定	
4-6. 下層バリア TiN 膜の特性	.57
4-6-1. TiN 膜の結晶方位測定	
4-6-2. TiN 膜のストレス温度曲線測定	
4-7. 上層 Tetraethyl Orthosilicate (TEOS) 酸化膜の特性	.60
4-8. ボイド形成メカニズムの考察	.63
4-9. 対策	.65
4-10. 結論	.66
参考文献	

## 第5章 層間絶縁膜構造とメタル配線レイアウトの複合要因による TiN 反射防止膜の腐食故障メカニズム

5-1. 背景	.68
5-2. 実験方法	.68
5-3. TiN 反射防止膜の陽極酸化	.69
5-4. Tetraethyl Orthosilicate (TEOS) 酸化膜クラックの発生原因	.72
5-4-1. メタル配線レイアウト	
5-4-2. Tetraethyl Orthosilicate (TEOS) 酸化膜特性	
5-5. 残留フッ素元素成分の腐食への影響	.81
5-5-1. 故障デバイスの TiN 反射防止膜の腐食	
5-5-2. 腐食した TiN 反射防止膜の透過型電子顕微鏡エネルギー分散型 X 線による局所断面分析結果	
5-5-3. 腐食した TiN 反射防止膜の広範囲の走査型電子顕微鏡エネルギー分散型 X 線による平面分析結果	
5-5-4. フッ素元素の検出原因	
5-5-4-1. 陽極酸化 TiON 膜中の酸素濃度とフッ素元素の関係	
5-5-4-2. 陽極酸化 TiO 膜と熱酸化 TiO 膜の比較	
5-5-5. フッ素元素の拡散メカニズム	
5-6. 対策	.90
5-7. 結論	.90
参考文献	

## 第6章 製造プロセスと設計デザインの複合要因による Via 高抵抗故障メカニズム

6-1. 背景	.92
6-2. 故障デバイスの特徴	.92
6-3. 故障箇所特定と故障モード推定	.92
6-4. 高抵抗 Via 形成の製造プロセス依存	.93
6-4-1. 高抵抗 Via の透過型電子顕微鏡による断面観察とエネルギー分散型 X 線分析結果	
6-4-2. Al 膜の物性測定	
6-4-3. 高抵抗 Via の形状の透過型電子顕微鏡による断面観察	

6-5. 高抵抗 Via 形成の設計デザイン依存	.96
6-5-1. Via 合金層の走査型電子顕微鏡による平面観察手法	
6-5-2. 高抵抗 Via のセル構造依存	
6-5-3. Via 高抵抗化メカニズム	
6-6. 対策	.101
6-7. 結論	.101
参考文献	

## 第7章 ハード的手法に換わるソフト的手法を用いた故障箇所特定技術

7-1. 背景	.103
7-2. 実験方法	.103
7-3. 故障診断技術とエミッション顕微鏡/光ビーム加熱抵抗変動法 による解析の特徴	.104
7-4. ソフト的手法の故障箇所特定	.107
7-4-1. ソフト的手法の箇所特定精度	
7-4-2. ソフト的手法の問題点	
7-5. ソフト的手法の故障箇所特定の信頼度	.114
7-6. 結論	.117
参考文献	

## 第8章 結論

8-1. 各章のまとめ	.119
8-2. 半導体デバイスの故障解析の今後	.122
8-2-1. 最先端デバイスにおける故障解析	
8-2-2. 既存デバイスにおける故障解析	
8-2-3. 半導体故障解析技術者の育成	

## 謝辞

略語一覧

解析用語	フルスペル	対応日本語、意味、読み方等
AFM	Atomic Force Microscope	原子間力顕微鏡
ATPG	Automatic Test Pattern Generator	自動テストパターン生成
EBAC	Electron Beam Absorption Current	電子線吸収電流法
EBSP	Electron Backscatter Diffraction Pattern	後方散乱電子解説像
EBT	Electron Beam Tester	電子線利用テスト
FIB	Focused Ion Beam	収束イオンビーム
InGaAs	Indium gallium arsenide	インジウムガリウム砒素
IR-OBIRCH	Infar Red- OBIRCH	赤外線加熱抵抗変動検出法
IR	Infar Red	赤外線
LADA	Laser Assisted Device Alteration	
LDA	Layout Data Assistance	
LVP	Laser Voltage Probe	光学的電位測定
LSM	Laser Scanning Microscope	レーザー走査顕微鏡
OBIC	Optical Beam Induced Current	光ビーム電流変動検出法
OBIRCH	Optical Beam Induced Resistance Change	加熱抵抗変動検出法
PIND	Particle Impact Noise detection	粒子衝突雑音検出
PEM	Photon Emission Microscope	エミッション顕微鏡
SCANFF	SCAN flip-flop	スキャン用 FF 回路
SDL	Soft Defect Localization	ソフト活用の故障箇所特定
SIM	Scanning Ion Microscope	走査型イオン顕微鏡
SPM	Scanning Probe Microscope	走査型プローブ顕微鏡
SQID	Superconducting Quantum Interference Devices	超電導量子干渉素子
TDR	Time Domain Reflectometry	時間領域反射法
TREM	Time Resolved Emission Microscope	時間分解能エミッション顕微鏡
VC	Voltage Contrast	電位差増、電位コントラスト
X 線 CT	X 線 Computer Tomography	X 線コンピューター断層撮影
分析用語	フルスペル	対応日本語、意味、読み方等
AES	Auger Electron Spectroscopy	オージェ電子分光法
EDX	Energy Dispersive X-ray Spectrometry	エネルギー分散型 X 線分光法
EELS	Electron Energy Loss Spectroscopy	電子線エネルギー損失分光法
FT-IR	Fourier Transform Infrared Spectroscopy	フーリエ変換赤外分光法
SIMS	Secondary Ion Mass Spectroscopy	2 次イオン質量分析法
XPS ESCA	X-ray Photoelectron Spectroscopy Electron Spectroscopy for Chemical Analysis	X 線光電子分光法
観察用語	フルスペル	対応日本語、意味、読み方等
SEM	Scanning Electron Microscope	走査型電子顕微鏡
STEM	Scanning TEM	走査型透過顕微鏡
TEM	Transmission Electron Microscope	透過型電子顕微鏡
信頼性用語	フルスペル	対応日本語、意味、読み方等
CDM	Charge Device Model	デバイス帯電モデル
CHC	Channel Hot Carrier	
DAHC	Drain Avalanche Hot Carrier	
EM	Electron Migration	
FIT	Failure Unit	故障率の単位

HAST	Highly Accelerated Stress Test	高度加速寿命試験
HTOL	High Temperature Operating Life	高温動作寿命
SIV	Stress Induced Void	ストレス誘起ボイド
SM	Stress Migration	
TDDB	Time depended dielectric breakdown	経時的絶縁破壊
TTF	Time to Failure	一定の故障率に達する寿命時間
デバイス用語	フルスペル	対応日本語、意味、読み方等
ARC	Anti-Refraction Coating	反射防止膜
BPSG	Borophosphosilicate Glass	ほうりん珪酸ガラス
CCD	Charge Coupled device	電荷結合素子
CMOS	Complementary Metal Oxide Semiconductor	相補型金属酸化膜半導体
CPU	central processing unit	中央処理装置
CVD	Chemical Vapor Deposition	化学的気相成長
Dip	Dual inline package	
DRAM	Dynamic Random Access Memory	
IC	Integrated circuit	集積回路
IMP	Ion Metal Plating	金属イオンめっき
INV.	Invertor	反転回路
LSI	Large Scale Integrated circuit	大規模集積回路
MOSFET	Metal Oxide Semiconductor Field Effect Transistors	電界効果型金属酸化膜半導体
NSG	Non-doped Silicate Glass	シリコン酸化膜
N-ch MOSFET	N channel MOSFET	N型 MOSFET
PE-TEOS	Plasma Enhanced TEOS	プラズマ誘起 TEOS
P-ch MOSFET	P channel MOSFET	P型 MOSFET
PKG	PacKaGe	パッケージ
QFP	Quad Flat Package	
RTA	Rapid Thermal Anneal	急速熱処理装置
RIE	Reactive Ion Etch	反応性イオンエッチ
SI	Scan In	scanFF 回路の入力
SPICE	Simulation Program with Integrated Circuit Emphasis	電子回路の動作シミュレーション
SOC	System On Chip	
SOG	Spin On Glass	塗布ガラス
SO	Scan Out	scanFF 回路の出力
TEG	Test Element Groups	試験専用構造、試験専用チップ
TEOS	Tetraethyl orthosilicate	オルトケイ酸テトラエチル
Tr	Transistor	トランジスタ
WLCSP	Wafer Level Chip Size Package	
その他の用語	フルスペル	対応日本語、意味、読み方等
DUV	Deep Ultra Violet	深赤外線
fcc	face-centered cubic	面心立方
IoT	Information of Things	情報のインターネット
ND	Normal Direction	圧延垂直方向
OBPF	Optical Band Pass Filter	光バンドパスフィルター
PC	Personal Computer	個人用コンピューター
TAT	Turn Around Time	納期
TMAH	Tetramethylammonium hydroxide	水酸化テトラメチルアンモニウム

# 第1章 序論

## 1-1. 背景

### 1-1-1. 半導体デバイスの信頼性動向

半導体デバイスの高機能化、高集積化は止まることを知らず、現在もムーアの法則は継続している (Fig. 1-1)。その基本にあるのは比例縮小則に基づく微細技術であるが、それも限界に近づき、半導体デバイスの性能向上には新素材と新しいデバイス構造の採用が必要になってきている。しかし、このような新技術の導入は、従来問題視されなかった故障モードの顕在化や新たな故障モードの発生を招き、半導体デバイスの信頼性にも大きな影響を与える。家電製品やモバイル機器のライフサイクルタイムは短く、機器に使用される半導体デバイスのライフサイクルも短くなっている。一方で、通信機器本体や航空用電子機器などでは10年～20年と長期間使用される。この様に半導体デバイスの用途の拡大と伴にその用途により半導体デバイスの使用期間や要求される信頼性も異なる。また、半導体デバイスは、コスト競争下において高信頼性を要求される車載や宇宙搭載機器用半導体デバイスにも低価格が要求されコスト圧力は強いものがある。

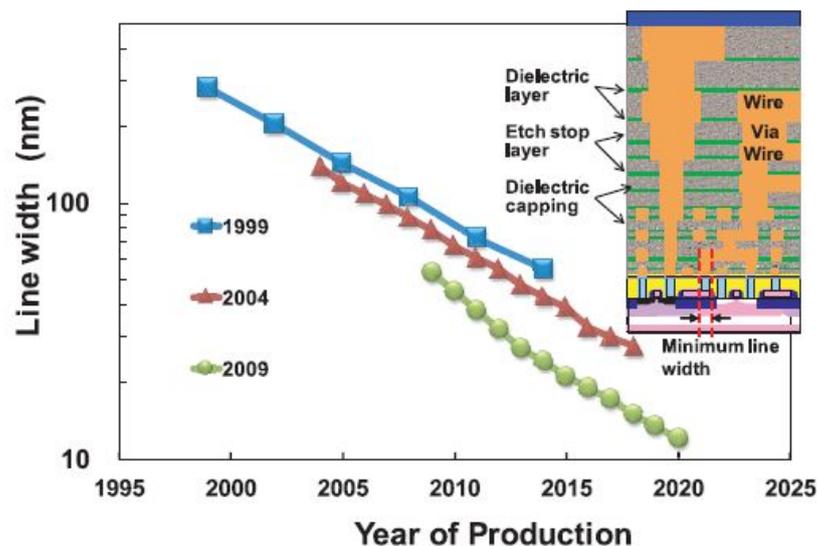


Fig. 1-1. Minimum line-width of Cu interconnects according ITRS (International Technology Roadmap for semiconductors) 1999, 2004, and 2009. (出典：中村友二、特集「LSIの配線技術と表面・界面の化学」表面学会 Vol. 35, No. 5, pp. 236-243, 2014)

以上の様な開発スピードの増大とライフサイクルの短縮、コスト圧の強まり、さらに設計、製造の形態の変化などがある状況で、半導体デバイスにはいっそうの高機能化、高集積化が要求されている。一方、Fig. 1-2 に示す様に、低コスト化の要求と同時に信頼性の低下も許されず、常に従来並みの信頼性の確保が要求されている。このような状況で、従来と同じ

様な信頼性保証手法で半導体デバイスの信頼性を維持するには限界があり、信頼性保証の考え方や手法の見直しが要請されている。この新しい信頼性保証の基本は、故障物理に基づく保証、実使用条件を知った上での保証であり、そのためには半導体デバイスの故障モード、故障メカニズム、加速性などを明確にする必要がある。そのため、半導体の故障解析の分野では、新たなデバイス形態、構造を予測した故障解析技術を準備し、従来技術の改良・改善や新規な故障解析技術の開発を進めて行く必要がある。

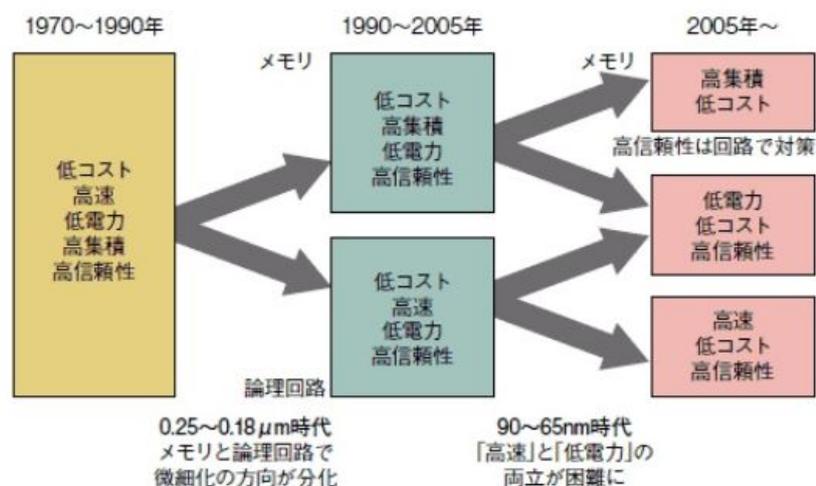


Fig. 1-2. Changing of microfabrication efficiency  
 (出典：日経テクノロジー、テクノロジーイノベーション 40年の歴史 2009年3月30日、  
<http://techon.nikkeibp.co.jp/article/FEATURE/20090326/167825/>)

### 1-1-2. 半導体デバイスの故障の現状と課題

半導体デバイスは、AV 機器や PC から携帯電話などの通信機器やスマート家電へとその用途は広がり続け、近年は車の自動運転やセンシングによる安全運转向けの車載用半導体デバイスも増加傾向であり、あらゆる産業に使用される様になり、上述の通り求められる信頼性はますます高くなっている。更に今後は、IoT の時代を向かえ、半導体デバイスの用途や機能が広がるだけでなく、使用される数も急増する傾向にある (Fig. 1-3、1-4)。これらの電子機器に用いられる半導体デバイスには、CPU やメモリーの様に電子機器の中核となる大規模な LSI ロジックデバイスから電圧制御や電圧監視用 IC などの様に単機能の小規模なアナログデバイスまで存在し、これらが混載して成り立つ電子機器ではいずれのデバイスに対しても同等の高い信頼性が要求される。

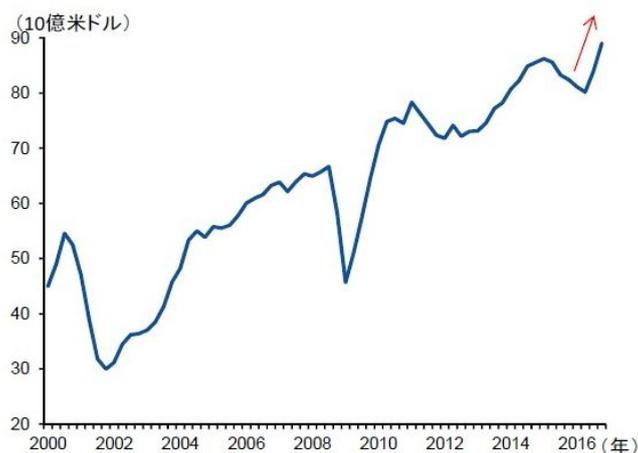


Fig. 1-3. worldwide Semiconductor revenues  
 (出典：みずほ総合研究所 みずほインサイト、pp. 1、2017年2月27日  
<https://www.mizuho-ri.co.jp/publication/research/pdf/insight/jp170227.pdf> )

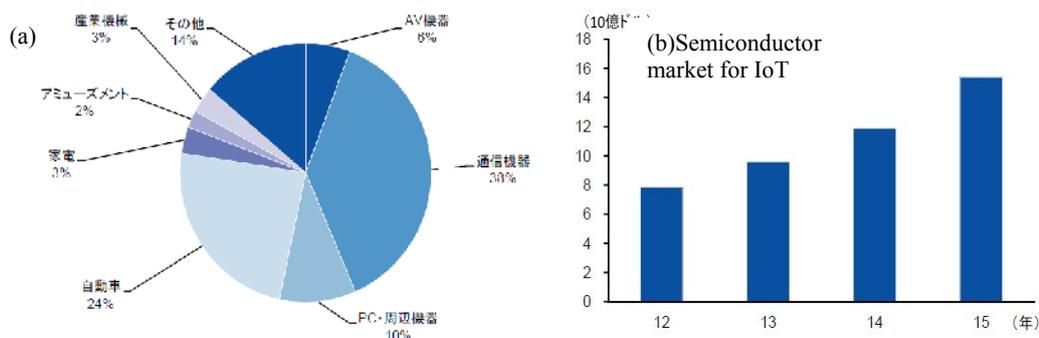


Fig. 1-4. (a) electronics parts sales ratio classified by application, 2015 and (b) semiconductor market for IoT (出典：みずほ総合研究所 みずほインサイト 日本経済 2017年2月27日、pp. 6  
<https://www.mizuho-ri.co.jp/publication/research/pdf/insight/jp170227.pdf> )

一方、シリコンを用いた半導体デバイスが開発されてから今日に至るまで、半導体デバイスの高機能化、微細化に伴い多くの不良や故障が発生してきたが、それらの不良原因、故障原因は故障解析や信頼性試験により、その都度、明らかにされ対策と改善がなされてきた。例えば、1960年代では、ゲート酸化膜リーク (Fig. 1-5 (a)) が頻繁に発生し、歩留まりだけでなくデバイスの信頼性も低下させていたが、Si ウエハ製造技術や洗浄技術、酸化技術や酸化装置の改善を経て、現在は数 nm 厚のゲート酸化膜においても高い信頼性を有している。その他、1980年代に発生したアルミ配線の SM や EM (Fig.1-5 (b)) は、長年の研究により、そのメカニズムが明らかになり積層配線化や Cu など添加、層間絶縁膜形成プロセスの低温化などを経て、これらの問題は、今や全く発生しなくなった。これらの多くの研究によってゲート酸化膜リークによる初期故障モードの発生率は低下し、1960年から約50年間で不良率は ppm オーダーまで改善され、SM や EM、TDDB の様な摩耗故障の発生すらなくなった。また、製造工程の改善、異物の低減活動、モニタリング技術の向上などにより高歩留生産が可能になったことで、偶発故障の発生率も大きく低下し、半導体デバイスの故障発生率は、10~100 FIT レベルまで低下している。即ち、ゲート酸化膜リーク、SM、EM、TDDB

などの様な単独モードによる不良や故障に対しては、多くの研究が行われた結果、故障原因、故障メカニズムが明らかになったことで、上流の設計段階での信頼性の作り込みを可能にし、製造プロセスの改善、製造装置の改良と合わせて半導体デバイスの信頼性は向上し、車載や医療機器分野でも十分使用できる信頼を勝ち得、成熟期に入っている。

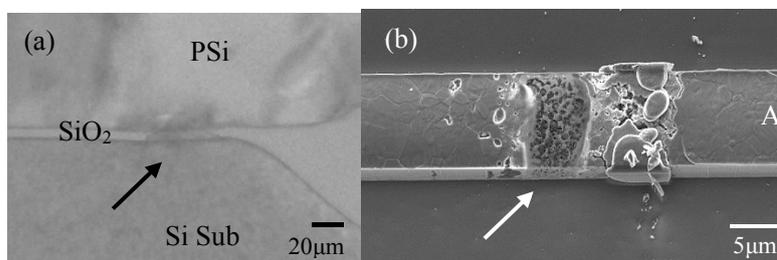


Fig. 1-5. Cross-sectional TEM image and top-view SEM image of (a) Gate SiO<sub>2</sub> thin film leakage and (b) EM of AlSiCu metal line.

しかし、この様な多くの故障解析や故障メカニズムの研究が存在するにもかかわらず、残念ながら実際の市場においては、半導体デバイスの故障により電子機器が正常に機能しない問題は、皆無では無い。特に、時間の経過とともに発生数が減少する様な初期故障モード、偶発故障モードではなく、時間とともに故障数が増加する摩耗故障モード的な故障が予想以上の短い市場稼動時間で発生する様なケースが、今も実際に見られる。これらは、従来の単独故障モードによる故障ではなく、いくつかの故障要因が重なることによって短時間で故障が発生し、摩耗故障の様に振舞う特徴を持つ。即ち、この複合要因による摩耗故障モードは、いくつかの故障要因が同時に起きることで、本来なら長い時間を掛けて故障に至る摩耗故障が、外部因子ではなく内部に存在する別要因に加速され、故障が早期に発生するもので、その故障要因をひとつひとつ明らかにし相互依存を明確にすることで初めてそのメカニズムと対策改善が可能になるケースである。例えば、プラスチックパッケージのICをリフロー半田付けした後に電氣的故障を起こしたケースでは、吸湿しやすいプラスチックパッケージを防湿梱包開封後長時間保管し、更にメーカー推奨よりも高い温度プロファイルを使用していたために、リフロー熱でIC内部の水蒸気圧が上がり、パッケージ剥離を起こしてチップが破損し電氣的故障に到ったものである。吸湿しやすいパッケージを大気中で長期保管し、高温の温度プロファイルで処理した、3つの複合的な原因により故障したと言える。この問題に対しては3つの原因の全てに対策を打たなければ、再発の危険性が残る。この様に、複合的要因による摩耗故障は、デバイス構造、製造条件、プロセス条件、設計など多くの工程に関連するため、各半導体デバイスメーカー固有の問題として扱われ、必ずしも全ての半導体デバイスに共通した問題ではない。また、ノウハウ的な側面も持つことから、多くの具体的な研究事例があるにもかかわらず、公表されているものは少ない。しかしながら、故障の発生は、その原因がユーザー側、半導体デバイスメーカー側のいずれにあつたにせよ、双方にとって大きな痛みを負うことになる。それ以上に最も被害を被るのは、その製品を使用しているユーザーである。

更にこれらの複合要因による故障においては、単独要因の故障とは異なり、1工程に絞

り込んだ故障解析ができず、TEG による故障モードの検証も難しい。そのため、実際に故障したデバイスを用いた多工程を意識した多面的な故障解析手法を準備する必要がある。特にバックエンドプロセスにおいては、各半導体デバイスの規模や用途によって AI 配線レイアウト、配線構造、層間絶縁膜の種類、平坦化手法などの選択の自由度が大きい反面、その組合せによる信頼性の確認することを怠ると故障に至る原因を潜在的に含んだ半導体デバイスが生産されてしまう可能性がある。しかし、プロセスバラツキを考慮すると、実際に将来故障が起る潜在的な欠陥の全ての検出は困難であり、複合的な要因による故障モードではなおさら難しくなっている。

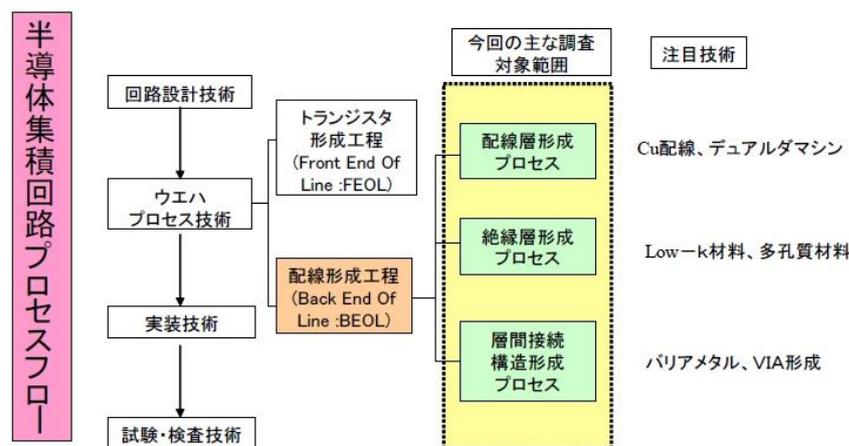


Fig.1- 6. Positioning of Back- end of line (BEOL) metallization process  
 (出典：平成 15 年特許出願技術動向調査報告、LSI の多層配線技術 (要約版)、平成 16 年 3 月、pp.1、  
[https://www.jpo.go.jp/shiryoku/pdf/gidou-houkoku/lsi\\_tech.pdf](https://www.jpo.go.jp/shiryoku/pdf/gidou-houkoku/lsi_tech.pdf))

## 1-2. 半導体デバイスの故障解析

### 1-2-1. 故障解析の定義

故障解析の定義については、MIL-STD-883 METHOD5003では、Fig. 1-7に示す様に「Failure analysis is a post mortem examination of failed devices employing, as required, electrical measurements and many of the advanced analytical techniques of physics, metallurgy, and chemistry to verify the reported failure and identify the mode or mechanism of failure as applicable. The failure analysis procedure (as indicated by test condition letter) shall be sufficient to yield adequate conclusions, for determination of cause or relevancy of failure or for initiation of corrective action in production processing, device design, test or application to eliminate the cause or prevent recurrence of the failure mode or mechanism reported.」と記載されており、JIS-Z8115 AN1には、Fig. 1-8に示す様に「故障メカニズム、故障原因および故障が引き起こす結果を識別し解明するために行う故障したアイテムの論理的かつ体系的な調査検討」とある。この様に故障解析の目的は、

「故障メカニズム、故障原因および故障が引き起こす結果を識別し、解析する」ことであり、その手段としてAN2には、「アイテムの論理的、かつ、体系的な調査検討」を行うと記載されており、本論文においても、これらの定義に基づいて故障解析を行った[1-3]。

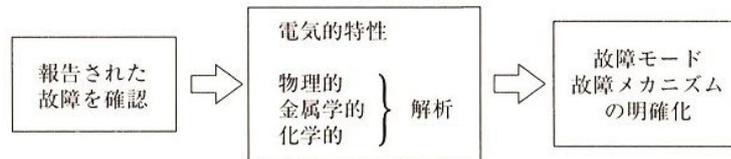


Fig. 1-7. The MIL STD-883 definition of failure analysis [3] p.28, 図 2.1

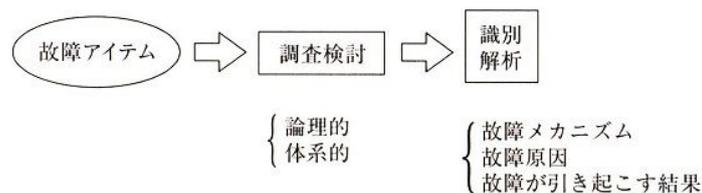


Fig. 1-8. The JIS-Z8115 definition of failure analysis [3] p.29, 図 2.2

### 1-2-2. 故障解析の役割と目的

故障解析は、製品の故障発生の防止や製造工程での不良発生のために、故障や不良の原因を明らかにすることを目的として実施される。故障解析では、発生している現象の把握から故障に至る物理・化学的機構（故障メカニズム）、故障物理の解明まで行われる。高い信頼性を持つ製品を実現するためには、設計段階での不良や故障要因の除去、マージン（余裕）のある設計、即ち、上流での信頼性の作り込みが重要となる。高マージンの製品設計には、製造プロセスや製造材料、デバイス構造やそのサイズ、そして回路設計などが十分に考慮される。但し、製品設計で十分な製品設計を行っても、実際には製造装置パラメータの経時的変動や突発的の事象による製造ラインの変動によって製造工程途中で予期せぬ故障、不良要因が混入し、故障要因を内在した製品が市場に出ってしまう危険性がある。そこで、製品設計段階で不良/故障要因の除去、高マージンデバイス設計を行い、製造段階では、極めて細かなモニタリングと製造コントロールにより不良を作らない高歩留まり生産と故障要因を作り込まない高信頼性の実現が図られている。そしてこの最も根幹になるのが、故障解析である。故障解析によって得られた知見は、これらの手法のいずれにも重要な指針を与える。故障物理が解明されて始めて、除去すべき要因、デバイス構造上または回路上で対策すべき対象項目、モニターすべきパラメータならびに、その許容範囲などが明らかになる。

即ち、故障解析の結果を通じて、研究開発促進、歩留向上、信頼性向上、顧客満足度向上につながるための改善・改良のフィードバックがあって初めて、故障解析の結果が活きる。故障解析の結果は、その不良、故障が発生した工程に直接フィードバックされるだけでなく、Fig. 1-9 に示す様に、発生工程の上流にもフィードバックされる。例えば、試作時の信頼性

試験で発生した故障製品の解析結果は、試作工程の条件や信頼性試験の条件にフィードバックされるだけでなく、試作時の回路設計、レイアウト設計にもフィードバックされる。研究開発段階での不良・故障品の故障解析結果は研究開発の促進に寄与し、試作段階での故障解析結果は短納期でのユーザーへの試作製品の提供などに役立つ。また量産段階での信頼性試験での故障製品の解析結果は歩留向上に役立つだけでなく、市場での信頼性予測などにも役立つ。市場で発生した故障品の故障解析結果は全ての工程にフィードバックされるだけでなく、ユーザーにおける実装条件や使用条件にもフィードバックされる[3]、[5]。

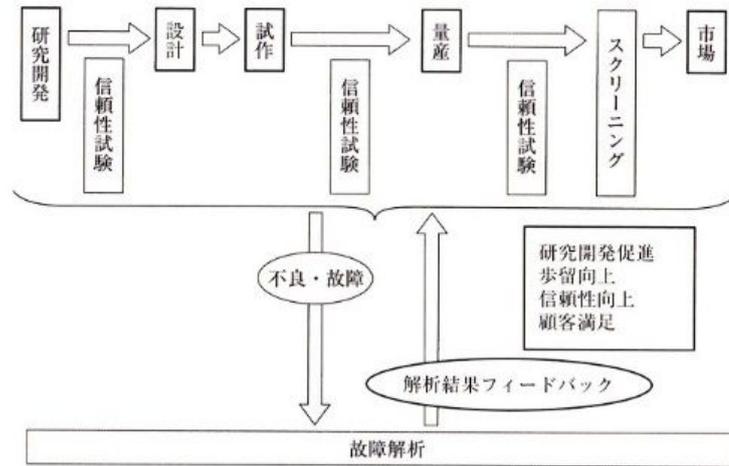


Fig. 1-9. The purpose of a failure analyses [3] p. 30, 図 2.3

### 1-2-3. 故障物理

故障物理とは、故障を引き起こすメカニズムを明らかにすることで、製品で故障が発生した時に行う故障解析が故障物理の片輪になる。故障解析においては、多くの材料・部品による複雑な構造を持った製品のどの部分がどのように劣化しているのかが、明確にされる。しかし、故障解析の結果だけでは、具体的な改善策は見えてこないし、残った部品が今後どのように劣化していくのか分からないため対策がとれない。故障物理のもう1つの車輪は、単純化したサンプルを用いた信頼性試験で徐々に進行する劣化プロセスを明らかにすることで、種々のストレスの下での劣化率（変化率）がモデル化（数値化）される。しかし、製品では任意の箇所に自由にストレスを印加することができず、ストレスによっては予想外の箇所が故障する場合もある。一方、TEG の場合は、観測しようとする材料、構造の劣化が直接観測でき、ストレスも自由に変更できる。この様に、故障物理は故障解析と TEG などを用いた基礎データ収集を両輪として進められる。そして、それらの基礎にはもちろん物性論がある。故障物理の確立によって、製品の品質・信頼性が高まり、加速評価技術により製品開発が短期化でき、かつ製品の信頼性予測の精度が上がる (Fig. 1-10)。

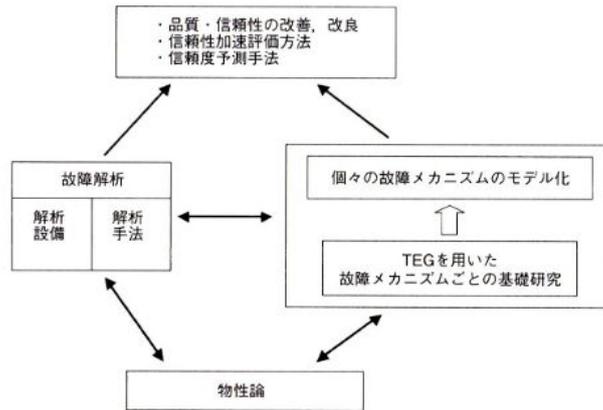


Fig. 1-10. Procedure and effect of failure physics [5] p.48, 図 5.1

この故障に至るモデル化を考える場合に、大きく2つのケースに分けることができる。1つはストレスがある限界を超えると破壊が起る「限界モデル」で、もう1つはストレスによる何らかの反応が進み、反応による変化量がある限界値を超えると故障が発生する「反応論モデル」である。「限界モデル」には、ストレスがある限界値以下で、ある時間が経つと故障すると考える「耐久モデル」が含まれ、強度以上のストレスが印加された場合のみ故障が発生するという「ストレス-強度モデル」とは、同じである。即ち、脆性破壊の様に瞬時破壊から疲労破壊、摩耗、クリープ現象、応力腐食割れのような経時破壊、絶縁破壊、静電気現象による破壊などが含まれる。「反応論モデル」では、反応が時間に比例して進むと考えると寿命は反応速度に反比例する。今、変化量(劣化量)を $\chi$ とすると反応速度  $K$  は、時間  $t$  として  $K=d\chi/dt$  で表される。反応は 時間に比例して進むと考えると

$$\chi = Kt$$

となり、 $\chi$  が  $\chi_m$  に達した時に故障が起きると考えると、寿命 TTF は、

$$TTF = \chi_m / K$$

となり、寿命は反応速度に反比例することになる。

故障物理の目的の1つに、故障メカニズム毎に反応速度  $K$  の各種ストレス依存性を明らかにすることがある。反応(変化)のためにはエネルギーが必要であり、このエネルギー源となるのは、温度や電圧・電流と言うストレスである。故障メカニズムによって、反応速度に大きく影響を与えるストレスが異なるが、特殊な例外を除き、ほぼ全ての故障メカニズムで温度の効果は同じであり、アレニウスの関係式で表される。

先に述べた様に、反応(変化)のためにはエネルギーが必要で、Fig. 1-11 に活性化エネルギー ( $E_a$ ) の模式図を示す。一定の温度では、電子や原子は熱エネルギーを持つが、その値は一定ではなく確率分布しており、一般的にボルツマン分布でよく近似できる。 $E_a$  を超えるエネルギーを持つものが変化を起すと考えると反応速度  $K$  に対して以下の式が得られ、

これをアレニウスの関係式という。

$$K=A \cdot \exp (-E_a/kT)$$

ここで、A は定数、k はボルツマン定数、T は絶対温度である[5]。

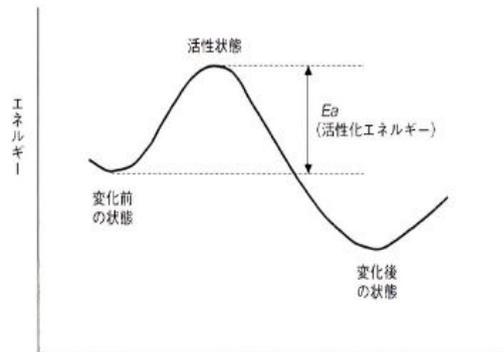


Fig. 1-11. Energy state diagram [5] p. 55, 図 5.7

### 1-3. 半導体デバイスの故障

#### 1-3-1. 半導体デバイスの故障の特徴

半導体デバイスやその他の部品、装置、システムの故障率は、時間と共に変化し、その変化の形状がバスタブに似ていることよりバスタブ曲線と呼ばれる (Fig. 1-12)。使用開始直後は故障率が大きく、徐々に小さくなり、その後はほぼ一定の期間が続く。最後の期間は故障率が上昇し始める。それぞれの期間を、初期故障期間、偶発故障期間、摩耗故障期間と呼ぶ。半導体デバイスは SOC と呼ばれる様に複雑さの面からシステムとみて良いものが多いが、通常の大規模システムとは異なり、修理などの保全は行われない。

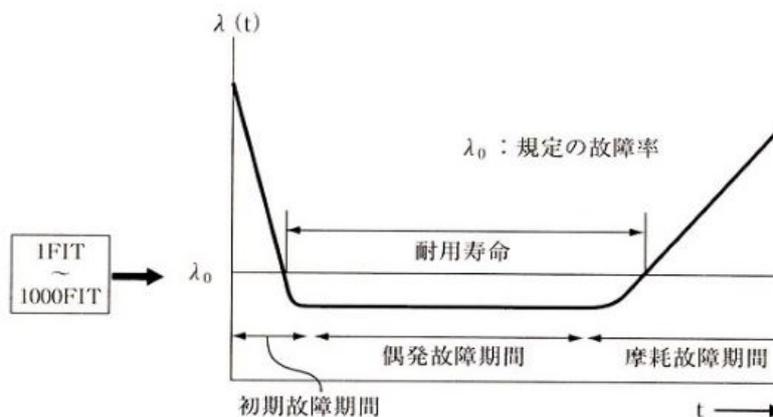


Fig. 1-12. The bathtub curve [3] p.11, 図 1.9

また、冗長系を持たない直列系であるため、直列系では構成要素が1つでも故障すると系全体が故障する。このため、系全体の信頼度（故障しない確率  $R$ ）は、構成要素の信頼度の積で表せるため、系全体の故障率は構成要素の故障率で表され信頼性設計の際、ボトルネックになる構成要素があれば、その構成要素の故障率で LSI チップ全体の故障率がほぼ規定される（Fig. 1-13, 1-14） [3]。

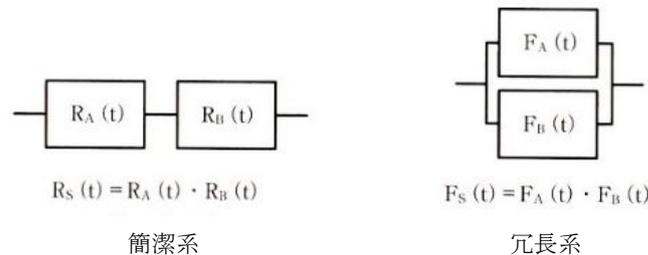


Fig. 1-13. Reliability block diagram of series system and parallel system. [3] p.11, 図 1.10

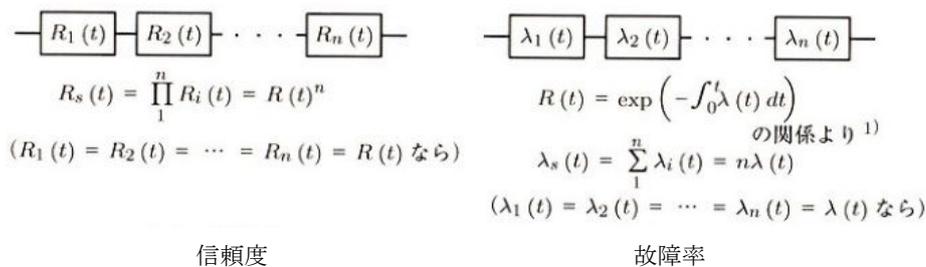


Fig. 1-14. Reliability and failure rate of series system. [3] p. p.12, 図 1.11

### 1-3-2. 半導体デバイスの故障メカニズムと故障モード

半導体デバイスの故障は、原子や分子レベルまでの変化を考える必要がある。化学的、物理的变化のメカニズムとして拡散、酸化、吸着、転位、電解、腐食、クラックなどがある。先に述べた様に、温度ストレスによる反応速度の依存性はアレニウスの関係式の「反応論モデル」で代表され、半導体デバイスに強度以上のストレス（応力、負荷）が加わった時に故障するモデルは「ストレス-強度モデル」で初期の段階での余裕設計が時間経過とともに強度の劣化を起し、故障に至る。半導体デバイスの故障モードには、チップ内部で起きたオープン、高抵抗、ショート、リーク電流増大等があるが、それらの現象が機能不良や遅延不良となる場合もある（Fig. 1-15）。バックエンドプロセスに関連した故障原因としては、配線部分では、EM、SM、腐食、溶断、段差部断線などがあり、層間絶縁膜、パッシベーション関連では TDDB、層間絶縁膜リーク、クラック、吸湿、汚染、密着性（剥離）問題、膜応力問題や膜密度の問題などがある。

先に述べた様に、半導体デバイスの各種故障は、化学反応、腐食、および機械的疲労によって発生する。そこで、それぞれの故障モードに応じて温度、電圧、相対湿度、温度差によるストレスを印加し加速試験を行い、試験時間を短縮し故障を再現させる。但し、故障モー

ドが変化しない範囲内でストレスを印加する必要がある。半導体デバイスの信頼性評価に用いられる信頼性試験条件が、どのような故障原因に対する故障メカニズムを加速するのに有効であるかを事前に確認しておく必要がある。バックエンドプロセスにおける故障要因を加速する試験条件としては、AI配線のEMに対しては高温動作試験、腐食に関してはTHB試験やHAST試験、高温高湿保存などが有効である。層間絶縁膜のクラックに対しては、熱衝撃試験や温度サイクル試験、THBなどが有効である[3-5]。

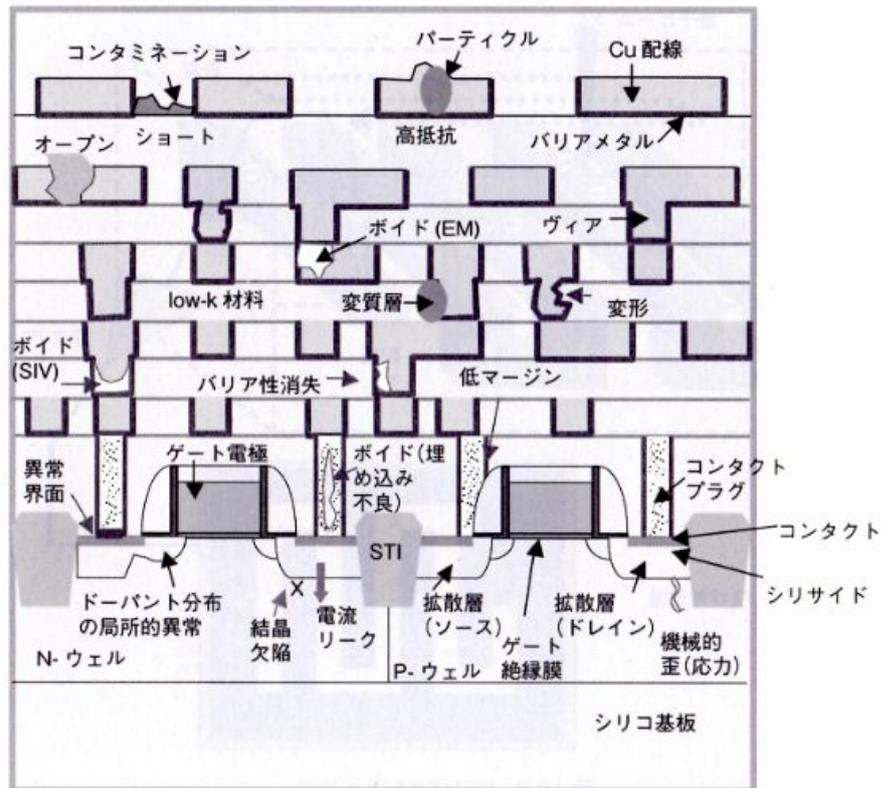


Fig. 1-15. Cross sectional view of LSI device and failure mode. [5] p.124, 図 10.9

### 1-3-3. 故障解析技術の分類

故障解析技術を基本的な機能から分類すると、電気的評価法、異常シグナル・異常応答利用法、組成分析法、形態構造観察法、加工法などに分類される。

電気的評価法には、リードやボンディング PAD などへの探針を通して電気的特性の評価を行うもので、半導体パラメータアナライザ、カーブトレーサ、LSI テスタ、オシロスコープ、SPM などが該当する。それ以外にも SEM や FIB を利用した方法として、2 次電子や電荷の帯電を利用した電位コントラストを観測することで電位を観測する方法、電子ビームによる電流注入を利用して吸収電流や金属配線に流れ込む電流を観測することで注入電流の分岐状態 (抵抗値の分布) を観測する方法などがある。EBT は電位コントラスト法を進化させたもので静的な電位だけでなくストロボ法を利用した動的な電位観測も可能で

ある。更に電流経路可視化する IR-OBIRCH 法では、サブミクロンの分解能で DC 的な電流経路を視化することができる (Table 1-1)。

Table 1-1. Electrical analysis and electric signal utilization method. [3] p. 48, 表 2.2

手法または装置		機能	物理的手段		
			LSIへの入力	観測対象	LSIからの出力
PKG端子、パッドを通した電氣的測定	カーブトレーサ	電流・電圧特性測定	電氣信号	電位・電流	電氣信号
	LSIテスタ	広範な電氣的特性測定			
	オシロスコープ	電流・電圧の時間的变化測定			
	スペクトルアナライザ	信号の周波数成分の解析			
個体探針	微細金属探針	微小部位の電氣的特性測定用探針			
	SPM				
電位コントラストなど	SEM	電位観測(電位コントラスト利用)	電氣信号・電子ビーム	電位	2次電子
		電氣的導通性観測(電流注入、吸収電流など利用)	電子ビーム	抵抗値	電流・電圧変化
		微細金属探針の位置制御用観測		形状・電位	2次電子
	FIB	電位観測(電位コントラスト利用)、帯電防止	電氣信号・イオンビーム	電位	
EBT	電位観測(電位コントラスト利用)、動的観測も可	電氣信号・電子ビーム			
電流経路観測	IR-OBIRCH	DC的電流経路観測	電氣信号・レーザービーム	電流	電流・電圧変化
	走査SQUID顕微鏡*	電流経路観測	電流		磁場
外部からの電氣的接触不要	走査レーザーSQUID顕微鏡*	電氣的導通性など観測	レーザービーム	光電流	THz電磁波
	レーザーテラヘルツ放射顕微鏡*		フェムト秒レーザービーム		

次に、異常シグナル利用法には、PEM を用いた発光を利用した方法がある。PEM 解析では酸化膜リーク部や pn 接合部などでの発光を観測することでリーク箇所を特定する。更に MOS トランジスタのドレイン部分からの発光を動的に観測することで信号伝播の動的な観測が可能である。異常発熱をシグナルとして観測する方法には 3 つの方法があり、液晶塗布法は LSI チップ上に塗布した液晶の温度相転位を偏光顕微鏡で観察することで異常発熱箇所を特定する。あとの 2 は赤外線を観察する方法で、赤外線顕微鏡を用いる方法と PEM を用いる方法がある。異常応答を利用する方法には、OBIRCH、IR-OBIRCH、SDL などの様に光加熱に対する応答を利用する方法と OBIC、LADA などの様に光電流に対する応答を利用する方法がある。前者では、光電流が発生しない波長 1.3  $\mu\text{m}$  の光が用いられ、後者では光電流が発生する 1.03  $\mu\text{m}$  の波長の光が用いられている。これらの異常シグナル・異常応答利用法では、配線中のボイドの存在、配線、トランジスタ、回路の温度特性異常、配線断線、配線の高抵抗、金属配線と Si 基板間のショートなどが検出できる (Table 1-2)。

Table 1-2. Abnormal signal and response evaluation method. [3] p. 50, 表 2.3

利用する異常シグナル・異常応答		手法または装置	検出可能な欠陥	物理的手段				
				LSIへの入力	観測対象	LSIからの出力		
異常シグナル	発光	静的	PEM	酸化膜リークなど	電気信号	キャリア再結合などでの発光	光	
		動的	TREM	タイミングに関わる各種欠陥	動的電気信号	ドレイン部の発光		
	電流経路		OBIRCH	IDDQ異常の原因欠陥など	電気信号・レーザービーム	2端子間の電流経路	電流/電圧変化	
	電気信号		EBテスター	電気信号異常を起こすすべての欠陥	電気信号・電子ビーム	配線電位	2次電子	
	発熱		液晶塗布法	ショートなど	電気信号・偏光	液晶の温度相転移	偏光	
赤外熱顕微鏡			電気信号		熱放射	赤外光		
異常応答	チップ	静的	熱伝導異常	OBIRCH(含IR-OBIRCH)	ボイドなど	電圧/電流・レーザービーム(波長633, 1.3 μmなど)	異常温度上昇	電流/電圧変動
			配線		高抵抗・ショートなど		抵抗値の温度係数	
			温度特性異常	IR-OBIRCH	ショートなど	電圧/電流・レーザービーム(波長1.3 μm)	トランジスタの温度特性	
		トランジスタ回路	断線・高抵抗など		回路の温度特性			
		熱起電力異常	ショートなど		熱起電力			
		ショットキー障壁異常			内部光電効果			
	電界異常	OBIC	ショート・断線など	電圧/電流・レーザービーム(波長1.06 μmなど)	光電流			
	動的	温度に対するマージナル不良	SDL	ボイド、ソフトリークなど	電圧/電流・レーザービーム(波長1.3 μm)	温度変化耐性	電気信号	
		光電流に対するマージナル不良	LADA	マージナルな不良に影響する欠陥	電圧/電流・レーザービーム(波長1.06 μm)	光電流耐性		
	PKG	PKG内壁への異物衝突による超音波発生		PIND	中空PKG内異物	振動	衝突による超音波発生	超音波
断線/ショートによる反射		TDR	PKG系断線	高周波	高周波の反射	高周波		

次に、組成分析法とは、各種分析装置を用いて元素組成、分子組成を測定するもので SEM や TEM 用いた EDX が最もよく使われている。EDX 法は、電子ビームを入射した際に発生する特性 X 線のスペクトルをエネルギー分散方法で取得して元素固有のピークから元素組成が分かる。その他に EELS は、透過電子のエネルギー損失をスペクトルとしてみることで元素同定ができるだけでなく状態分析も可能である。AES は電子ビームを照射した際に発生するオージェ電子のスペクトルから元素同定を行い、SIMS はイオンビームを照射した際に弾き出される 2 次イオンのスペクトルを解析することにより元素や分子の同定が可能である。両者は、極表面の分析だけでなく Ar イオンなどでスパッタリングしながら深さ方向の分析もできる。更に顕微 FT-IR は赤外光の分子での吸収を利用して分子同定を行う。これらの空間分解能は、顕微 FT-IR 以外では nm レベルの空間分解能を持ち、検出感度も分析方法で異なる。EDX や AES では数 wt%以上の検出が限界であるが SIMS では ppm オーダーの微量でも検出可能である (Table 1-3)。

Table 1-3. Materials and chemical analysis method. [3] p. 52, 表 2.4

手法または装置	ベースになる装置	機能	物理的手段			最高空間分解能 (目安)
			試料への入力	観測対象	試料からの出力	
EDX (EDS)	SEM、TEM、STEM	元素同定	電子ビーム	原子組成	特性 X 線	~ nm
EELS	TEM、STEM	元素同定、状態分析		原子組成・化学結合状態	非弾性散乱電子	~ nm
AES	専用機	元素同定：極表面		原子組成	オージェ電子	~ 100nm
SIMS	専用機	元素、分子同定：極表面、深さ方向	イオンビーム	原子組成・分子組成	2 次イオン	~ 100nm
3D-AP	専用機	元素同定：3次元	電界・レーザー	原子組成	電界蒸発イオン	~ nm
顕微 FTIR	専用機	分子同定	赤外光	分子組成	吸収光	~ μm

形態・構造観察法には、可視光を利用する実体顕微鏡、金属顕微鏡などがあり、更に分解を高めるために可視レーザーを利用した LSM がある。可視光以外の赤外光を利用した共焦点赤外レーザー走査顕微鏡は、シリコン基板裏側からの観察が可能である。この共焦点赤外レーザー走査顕微鏡は、IR-OBIRCH 法のベースになる装置である。更に光以外では電子ビームを照射して形状や構造を観察する SEM、STEM、TEM などがある。SEM は電子ビーム走査時に発生する 2 次電子を検出して像を得るもので、表面形状が観察できる。TEM や STEM は透過電子を利用するもので、細く絞った電子ビームを利用するので回折による情報を含まない形状や組成を反映した像が得られる。EBSP は、これらの電子ビーム照射時に反射電子から得られる情報を元に照射点毎の結晶方位を同定しマッピングする方法で、結晶サイズや結晶配向性などの情報を得ることができる。SIM 像は、FIB 装置の観測機能でイオンビームを照射した際に発生する 2 次電子や 2 次イオンの走査像を得る。電子ビーム像に比べて結晶構造や物質差を反映した強いコントラストが得られる特徴がある (Table 1-4)。

Table 1-4. Physical observation for surface morphology and structure Observation method. [3] p. 54, 表 2.5

手法または装置	機能	物理的手段		
		試料への入力	観測対象	試料からの出力
実体顕微鏡	PKG 部の観察	可視光	形状・色	可視光
金属顕微鏡	チップ部の観察			
共焦点レーザー走査顕微鏡			可視レーザー	
赤外顕微鏡	チップ裏面からの観察	赤外光	形状	赤外光
共焦点赤外レーザー走査顕微鏡		赤外レーザー		
SEM	PKG・チップ部の観察	電子ビーム	結晶構造	反射電子
EBSP	結晶構造観察 (SEM ベース)			
TEM	チップ部の観察		形状・結晶構造	透過電子
STEM		形状		
SIM		イオンビーム	形状・結晶構造	2 次電子
ナノレベル X 線 CT*	チップ内部の非破壊観察	X 線	形状	透過 X 線
X 線透視法	PKG 内部の非破壊観察			
X 線 CT				
超音波探傷法				

最後に加工法であるが、パッケージ状態の故障サンプルのチップ部分を観察するために封止樹脂パッケージの部分的な開封を行う。この際には発煙硝酸や熱濃硫酸などが用いられるが、ワイヤーの種類に応じてレーザーを用いた開封方法を併用する場合もある。チップの加工方法としては、平面研磨、イオンミリング、ウエットエッチ、RIE、FIB などがある。チップ全体を加工したい場合には、エッチング法や研磨法、イオンミリングが用いられるが、研磨法やイオンミリング法では、材料の選択性が無く、エッチング法では使用する化学薬品や反応ガスの選択によって材料の選択性が確保できる。一方、FIB 法では、任意の箇所の選択的加工が可能であり、ミリング作用だけでなく各種アシストガスにより金属膜や絶縁膜が堆積できる (Table 1-5) [3]。

Table 1-5. Physical failure analysis method. [3] p. 56, 表 2.6

機能	手法または装置	使用薬品材料など	利用する現象
PKG の切断・研磨	切断機・マニュアル研磨	研磨剤など	機械的研磨など
樹脂封止 PKG の開封	マニュアル開封・自動開封	発煙硝酸など	化学的分解など
気密封止 PKG の開封	マニュアル開封・自動開封	ニッパー・グラインダーなど	機械的変形・研磨など
チップの(平面・断面)研削・研磨	マニュアル・研削/研磨機	研磨剤など	機械的研磨など
	FIB	Ga イオン源など	イオンスパッタリングなど
ダメージ層除去	低加速 FIB/Ar ビーム	Ga イオン源など	イオンスパッタリングなど
チップ上の絶縁膜除去	RIE	SF <sub>6</sub> など	物理化学的プラズマエッチング
チップ上回路修正	FIB	アシストガスなど	金属・絶縁膜デポ

#### 1-4. 本研究の目的

故障メカニズムも単独故障モードから複合的な故障モードと多様化し、プロセス・設計間の相互に関連した問題から、プロセス内の複数工程が関係した複合的な要因による故障モードも存在し、これらの複合的な要因による故障に対して、半導体デバイスの信頼性を維持確保するためにも、従来技術の改良・改善や新規な故障解析技術の開発は必須である。複合要因的な摩耗故障モードに対する考え方、扱い方、更に故障解析の対応の仕方については、全ての半導体デバイスの故障解析部門において共通するものであり、複合要因的な摩耗故障モードのメカニズムを、故障解析を通じて明らかにしていくことは、半導体デバイスの更なる信頼性向上のためには不可欠であり、今や半導体デバイスメーカーが積極的に公表し、相互に活用していく時代である。以上のことに鑑み本論文では、半導体デバイスの AI 材料を用いたメタル配線以降のバックエンド プロセス (Fig. 1-6) における複合的な摩耗故障モードについて、故障解析結果からその原因とメカニズムを明らかにし、設計、プロセス、製造、レイアウトの具体的な関連性を示しながら、今後の半導体デバイスの信頼性での作り

込みにおける重要な点を示唆することを目的とする。また、新たな故障解析技術も合わせて示すことで、半導体デバイスの故障解析の精度向上を目的とする。

即ち、本論文では、今度の半導体デバイスの設計やプロセス改善、製造条件変更を行う際に、注意しなければならない工程やプロセスを具体的に示すことで、少なくとも幾つかの潜在的な故障要因を事前に取り除くことができ、今後の半導体デバイスの信頼性向上に寄与するものである。

本稿の第2章、第3章は、故障解析の新技術として、第2章では、今後、主流となる小型パッケージの WLCSP タイプの n 型 Si デバイスを搭載したモジュール製品の開封技術と電気化学ストップ法を組み合わせた物理解析手法の有効性を示す。更に第3章では、OBPFを用いて PEM 顕微鏡による発光スペクトル解析を行い故障モードの推定ができることを示す。また、任意箇所の Si 基板薄膜化技術を開発し、Si 基盤裏面からの可視光領域の発光スペクトル分析を可能にする物理解析手法も併せて示す[5、6]。

第4章～第6章までは、複合要因故障の故障解析事例と対策として、第4章では、TiN/Al-1%Si-0.5% Cu/ARC-TiN の積層構造における Al 膜中ボイド形成のメカニズムを示し、第5章では TEOS 酸化膜/SOG/TEOS 酸化膜の3層層間膜構造の内部 Al 配線腐食や ARC-TiN 膜の腐食の原因となる SOG 膜クラックや TEOS 酸化膜クラックの発生メカニズムを示す。6章では、via の高抵抗化で故障に至ったケースについて、セルの設計レイアウトとプロセスばらつきが相互の関係した故障メカニズムを示す[7-10]。

第7章では、ソフトウェアを用いた故障解析技術として故障診断技術の故障箇所特定精度を従来技術の PEM 解析や OBIRCH 解析と比較しながら評価した結果を示す[11]。最後の第8章では、各章のまとめを行い、半導体デバイスの今後として最先端デバイスにおける故障解析、既存デバイスにおける故障解析、半導体故障解析技術者に必要な技術について述べる。

## 参考資料

- [1] MIL STD-883C METHOD 2000, 20 November 1969, pp. 1-8.
- [2] JIS-Z8115, 3.定義、i) 故障、2000、p. 26.
- [3] 二川清、新版 LSI 故障解析、日科技連、2011
- [4] 二川清 編著、塩野登、横川慎二、福田保裕、三井泰裕著、LSI の信頼性、日科技連、2010
- [5] 松本平八、松本雅俊、多田哲生、益子洋治、山田国裕著、未来でつなぐデジタルシリーズ 4、品質・信頼性技術、共立出版、2011
- [6] Takuya Naoe and Hirotaka Komoda, *Microelectronics Reliability* 52, (12), 2012, pp. 3017-3021.
- [7] Takuya Naoe, et al., *Microelectronics Reliability* 53 (12), 2013, pp. 1829-1840.
- [8] Takuya Naoe, et al., *Microelectronics Reliability* 52 (12), 2012, pp. 2975-2981.
- [9] Takuya Naoe, *Microelectronics Reliability*, 55 (2), 2015, pp. 411-417.
- [10] Takuya Naoe, et al., *The 2016 International Meeting for Future of Electron Devices, Kansai, IEEE EDS*, 2016.
- [11] Takuya Naoe, et al., *Microelectronics Reliability* 54 (6-7), 2014, pp. 1433-1442.

## 第2章 故障解析のためのモジュールデバイスのパッケージ開封技術

### 2-1. 背景

モバイル機器などの電子部品の小型化要求からモジュールデバイスが成長している。モジュールデバイスは、ガラス・エポキシ樹脂基板に搭載された Si デバイス、抵抗器、コンデンサーおよび MOSFET の様な多くの電子部品から構成されている。現在、更なるダウンサイジングの要求から、従来の QFP パッケージや Dip タイプのパッケージに代わり WLCSP の Si デバイスの使用が増加している。モジュールデバイスの故障解析の開封作業では、これら全ての電子部品の機能を維持しながら各部品を露出させる必要があるが、発煙硝酸などの酸性溶液を使用する従来の開封方法をポッティング・エポキシ樹脂に適用するとガラス・エポキシ樹脂基板が腐食し、故障解析が不可能になるが、モジュールデバイスのポッティング・エポキシ樹脂に使用されている酸無水物系硬化エポキシ樹脂は、アルカリ性水溶液にも容易にエッチングされる[1-3]。一方で、KOH や TMAH の様なアルカリ性水溶液は、Si のエッチング液として広く知られている。本章では、新たに開発した電気化学的エッチング技術を用いる WLCSP n 型 Si デバイス搭載モジュールデバイスの酸無水物系硬化エポキシ樹脂のエッチング技術（開封技術）について述べる[4-8]。

### 2-2. 実験方法

実験には、リチウムイオン/ポリマー保護モジュールデバイスを用いた。4 層アミン硬化ガラス・エポキシ樹脂基板上に WLCSP n 型 Si デバイス、抵抗器、コンデンサー、バイポーラ・トランジスタおよび、パワーMOSFET が実装されている (Fig. 2-1 (a))。これらの全ての電子部品は酸無水物系硬化ポッティング・エポキシ樹脂によって封止されている。このポッティング・エポキシ樹脂のエッチングに 4 種類 (24% KOH、48% KOH、25% TMAH、25% NaOH) のアルカリ性水溶液と酸性水溶液の発煙硝酸を 65°C または 85°C のエッチング温度で用いた。モジュールデバイスをマスク無しで各水溶液に浸漬しエッチングを行かない、電気的特性は IC テスタを用いて測定し、各電子部品の外観は光学顕微鏡を用いて観察した。n 型 Si デバイスの Si 基板のエッチング ダメージに対する DC 電圧依存性の実験には KOH 水溶液を用いた。

### 2-3. アルカリ水溶液によるモールド樹脂開封の特性

モジュールデバイスに用いられている材料に対するアルカリ性水溶液（表中には参考として酸性水溶液の結果を含む）のエッチング特性を、Table 2-1 に示す。24% TMAH 水溶液を除く、全てのアルカリ性水溶液はガラス・エポキシ樹脂基板をエッチングすること無くポッティング・エポキシ樹脂をエッチングした。また、これらのアルカリ性水溶液によりガラス・エポキシ基板の最表面のソルダーレジストはエッチングされたが、Cu 配線層はエッチングされず、ガラス・エポキシ樹脂基板の電気的特性は維持される。更にエッチング温度は、ポッティング・エポキシ樹脂のエッチレートに大きく影響し、65°Cから 85°Cに上げることでエッチングレートは約 4 倍になった。尚、Table 2-1 に示す様に NaOH 水溶液では、全ての電子部品がエッチングされること無く電気的特性のテストをパスしたが、エッチングレートが非常に低く実際の故障解析には適用できない。一方、KOH 水溶液を用いるとエッチング速度は倍増し、85°Cの 48% KOH 水溶液では 13.2  $\mu\text{m}/\text{min}$  のエッチングレートを達成し、全ての電子部品を露出させるのに約 40 分程度と実用的な時間となった。

Table 2-1. Etching characteristics of alkali solutions (including an acid solution for reference) for materials used in module devices. Etching time for each solution is 20 min.

Solutions	Bath temp.	Anhydride cured potting epoxy resin (etch rate: $\mu\text{m}/\text{min}$ )	Amine cured glass epoxy resin	Solder resist	Cu layer	Bipolar transistor, FET, capacitor, resistor	WLCSP n type Si device	Tester check
24%KOH	65°C	dissolved (1.2)	not-corroded	corroded	not-corroded	not-corroded	etched	pass
25%TMAH	65°C	Not-dissolved (no data)	not-corroded	corroded	not-corroded	not-corroded	etched	pass
25%NaOH	65°C	dissolved (0.6)	not-corroded	corroded	not-corroded	not-corroded	not-etched	pass
24%KOH	85°C	dissolved (1.8)	not-corroded	corroded	not-corroded	not-corroded	etched	pass
48%KOH	85°C	dissolved (13.2)	not-corroded	corroded	not-corroded	not-corroded	etched	pass
25%NaOH	85°C	dissolved (2.6)	not-corroded	corroded	not-corroded	not-corroded	not-etched	pass
conc HNO <sub>3</sub>	85°C	dissolved (no data)	corroded	corroded	corroded	not-corroded	not-etched	fail

85°Cの 48% KOH 水溶液中でのモジュールデバイスのエッチング前後の光学顕微鏡写真を Fig. 2-1 に示す。Fig. 2-1 (b)、(c) のエッチング時間は、それぞれ 20 分および 40 分である。85°Cの 48% KOH 水溶液で 40 分間、ポッティング・エポキシ樹脂をエッチングしても基板上の電子部品はダメージを受けなかった。一方、従来法の 85°Cの HNO<sub>3</sub> に浸漬した後のモジュールデバイスの光学顕微鏡写真を Fig. 2-2 に示す。HNO<sub>3</sub> 水溶液でエッチングした場合は、Cu 配線層およびガラス・エポキシ樹脂基板がともにエッチングされ、電気的特性を維持することができなかった。但し、85°Cの 48% KOH 水溶液中でのモジュールデバイスのエッチングでは、Fig. 2-1 (c) に示す様に WLCSP タイプの Si デバイスが実装基板から外れる問題が発生した。

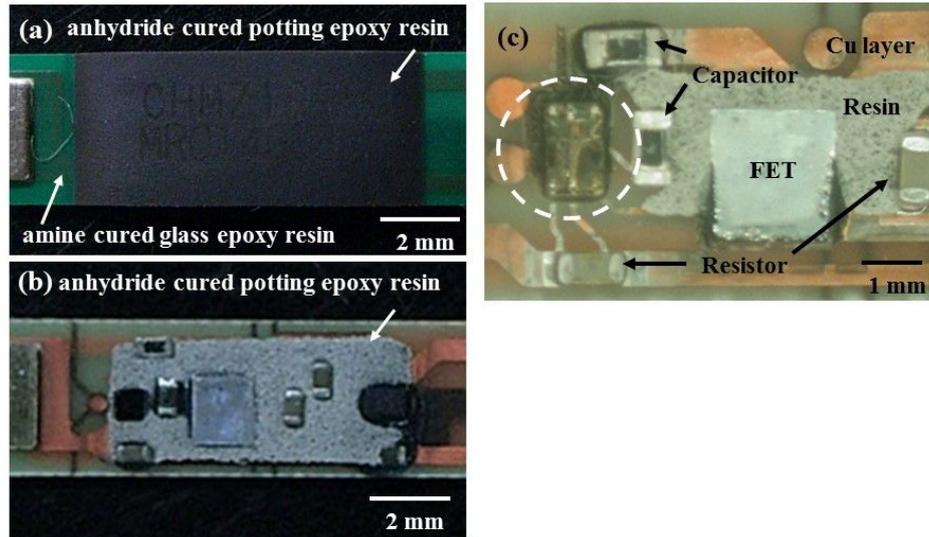


Fig. 2-1. Top views of Li ion/polymer protector module device. Before (a) and after (b) decapsulation of hydride cured epoxy resin in 48 % KOH at 85 °C for 20 min. (c) Lost WLCSP Si device after 40 min decapsulation. White dot circle indicates the WLCSP mounted position.



Fig. 2-2. After dipping in conc. HNO<sub>3</sub> at 85 °C.

モジュールデバイス上に WLCSP タイプの Si デバイスが存在する場合、KOH 水溶液では、この問題がありこれには2つの原因が考えられる。1つは、アルカリ性の KOH 水溶液が Si 基板をエッチングすることで、2つめは半田ボールと Al ボンディングパッドのエッチングである。ソルダーレジストがエッチングされるとガラエポキシ基板とポッティング・エポキシ樹脂間に隙間が発生し KOH 水溶液がその隙間から侵入し、WLCSP タイプの Si デバイスの半田ボール部分に到達する。半田ボールおよびボンディング Al パッドは両性金属であるため、アルカリ性の KOH 水溶液で容易にエッチングされ水洗時の超音波洗浄工程等でガラス・エポキシ基板から外れる。Fig. 2-3 (a) に示す様に WLCSP タイプの Si デバイスがモジュールの端部に位置する場合、後者の原因が特に顕著になる。これを防ぐため、Fig. 2-3 (b) に示す様に、耐アルカリ性樹脂によるコーティングを行った。KOH 水溶液でのエッチングの前にガラス・エポキシ基板のエッジ部分にアルカリ水溶液に耐性のある樹脂 (Three Bond 社製 2082E など) を塗布し 100°C 1 時間のベークを行い硬化させた。前者の Si 基板のエッチング対策については次節で述べる。

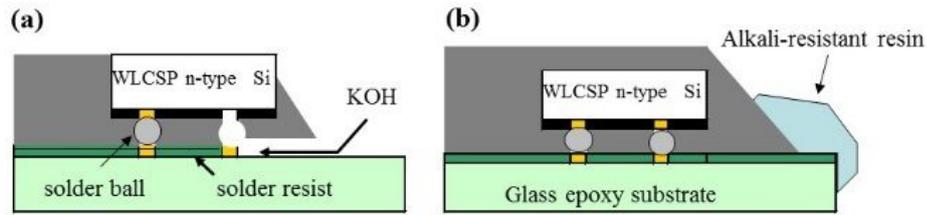


Fig. 2-3. Solder ball corrosion of WLCSP device in KOH solution. (a) Penetration route of KOH and (b) preventive method of KOH penetration.

## 2-4. WLCSP の Si 基板のエッチング防止法

### 2-4-1. アルカリ水溶液による Si 基板のエッチング理論

Si 基板は、次の化学反応によりアルカリ性水溶液でエッチングされる[5、6]。Si 基板と水酸基イオンが反応し、 $\text{Si(OH)}_4$  および電子が生成さ、これらの発生した電子は水を分解し、式 (1)、(2) に示す様に水酸基イオンを再生成する。即ち、(1) および (2) の反応が、KOH 水溶液中で継続する。



しかし、高濃度ドーパ p 型 Si 基板やガルバニック電池構造が形成された場合、式 (3) に示す様に Si 酸化膜が形成される。KOH 水溶液中で Si 基板と水酸基イオンが反応し、Si 基板最表面に薄い Si 酸化膜が形成され Si と水酸基のイオン間の反応が阻害される。



更に KOH 水溶液による Si 基板のエッチングレートは、Si 基板のタイプに依存する。p 型の Si 基板の多数キャリアである正孔は、式(1)で発生した電子と再結合するか、式 (3) より Si 酸化膜の形成反応に寄与する[7-10]。従って、p 型 Si 基板のエッチングレートは n 型 Si 基板よりも低い。例えば、高濃度ドーパド p 型 Si 基板はアルカリ性水溶液でエッチングされず、これは「 $\text{p}^{++}$  エッチングストップ」として知られている[6、9-10]。

### 2-4-2. Si 基板エッチングの電気化学エッチストップ法

WLCSP タイプ Si デバイス搭載モジュールデバイスの故障解析においては、n 型 Si 基板が KOH 水溶液に容易にエッチングされるため、n 型 Si デバイスは、p 型 Si デバイスより故障解析が困難になる。この問題を解決するためには n 型 Si 基板中の正孔の数を増加させる

か、あるいは KOH 水溶液の浴温度を低下させることで n 型 Si 基板のエッチングレートを低下させる必要がある。n 型 Si 基板中の正孔の数を増加させる方法には 2 つの方法が考えられ、1 つは、1.02eV 以上のエネルギーの光によって電子-正孔対を発生させる方法で、他方は DC 電圧を印加することで外部から正孔を供給する方法である[11]。しかし、前者の方法では、光源の方向やパワーを制御することが難しい。他方で、KOH 水溶液の浴温を低下させることは、ポッティング・エポキシ樹脂のエッチレートを低下し、エッチング時間が長くなり故障解析の実用性に欠ける。従って、DC 電圧を印加し外部から正孔を供給することが、最も実現可能な方法と考えられる。初めに p 型 Si 基板に対して 85°C の 25 % TMAH 水溶液を用いてこの方法を試みた。25 % TMAH の Si 酸化膜のエッチング速度は、1nm/min 以下で KOH 水溶液よりもかなり遅いため、TMAH 水溶液による Si 酸化膜のエッチングを除外でき、式 (3) の DC 電圧の影響を正しく評価することができる。Fig. 2-4 は、p 型 Si 基板を負極とし正極の Au 電極間の DC 電流を示す。先に述べた様に、p 型 Si 基板表面では、(1) 式で発生した電子が、Si 基板内の伝導帯に一旦取り込まれるが、その際、価電子帯の正孔と再結合するため、TMAH 水溶液への再移動量が減少することで、(2) 式の反応が低下し (1) 式へと繋がるサイクルが抑制される。そこで、負電圧を印加し電子を注入すると Si 基板表面には電子が蓄積され、正孔は Si 基板内部側に移動する。Si 基板表面の正孔数が減少することで、式(2)の反応が進む。Fig. 2-4 は、印加電圧に比例して電流量が増加することから式 (2) の反応を DC 電圧で制御できる事を示している。これらの結果から、DC 電圧で Si 基板のアルカリ性水溶液によるエッチングをコントロールできることが分かった。

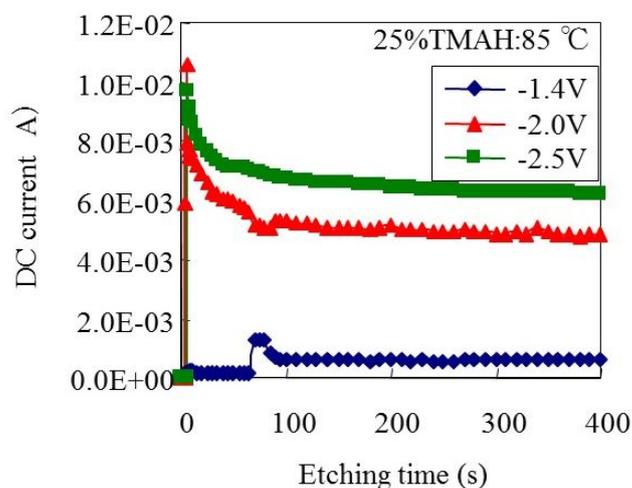


Fig. 2-4. DC current between p-type Si substrate and Au electrode in 25 % TMAH bath.

次に WLCSP タイプの n 型 Si デバイスを搭載したモジュールデバイスの電気化学エッチストップ法を確立するため、85°C の KOH 水溶液を用いて n 型 Si デバイスのエッチングに対する DC 電圧依存性を調査した[6-8]。Fig. 2-5 に示す様に、DC 電源をモジュールデバイスに接続した。Vdd 端子はモジュールの正電極端子を経て n 型の Si 基板と接続され、Vss 端子はモジュールの負電極端子を経て Au 電極と接続した。Vdd 電極の電圧は、Vss 端子 (=GND) に対して -1.1V ~ +2.1V まで変化させた。

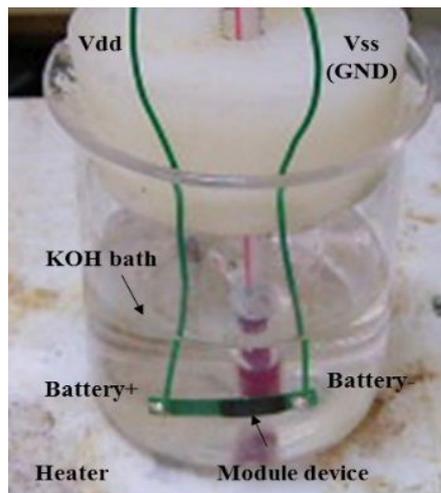


Fig. 2-5. Module device connected and to DC power supply in KOH bath.

KOH 水溶液にモジュールデバイスを 40 分間浸漬した後、WLCSP タイプの n 型 Si 基板の表面状態とモジュールデバイスの電気的特性を測定した。WLCSP タイプの n 型 Si 基板の表面に形成された Si 酸化膜の厚さは干渉型分光膜厚測定器を使用して測定した（大日本スクリーン社製ラムダ エース）。これらの実験結果を Table 2-2 にまとめる。DC 電圧が 0.5 V 以下では、WLCSP タイプの n 型 Si 基板がエッチングされ電気的特性でも不良と判定された。しかし、DC 電圧が 1.1 V 以上になると WLCSP タイプの n 型 Si 基板のエッチングは止まり、電気的特性も良品と判定された。Fig. 2-6 は、エッチング後の WLCSP タイプの n 型 Si 基板の裏面状態を示している。DC 電圧が 0.5V の場合、WLCSP タイプの n 型 Si 基板は裏面側だけでなく 4 側面からもエッチングされており、基板サイズが小さくなった。DC 電圧が 0.9 V になると WLCSP タイプの n 型 Si 基板裏面のエッチングは観察されたが、基板サイズの変化は無くなり、更に DC 電圧が 1.3 V になると WLCSP タイプの n 型 Si 基板は、初期の基板サイズと表面状態を維持した。

Table 2-2. Dependences of supply voltage applied to WLCSP n-type Si device on its substrate surface condition and on testing result.

Supply voltage	N-type Si substrate surface condition	SiO <sub>2</sub> film thickness	Testing result
-1.1V	NG (etched)	< 2 nm	fail : pin contact test fail
0V	NG (etched)	< 2 nm	fail : pin contact test fail
0.5V	NG (etched)	< 2 nm	fail : pin contact test fail
0.9V	NG (etched)	< 2 nm	pass
1.1V	OK (smooth)	< 2 nm	pass
1.3V	OK (smooth)	< 2 nm	pass
2.1V	OK (smooth)	< 2 nm	pass

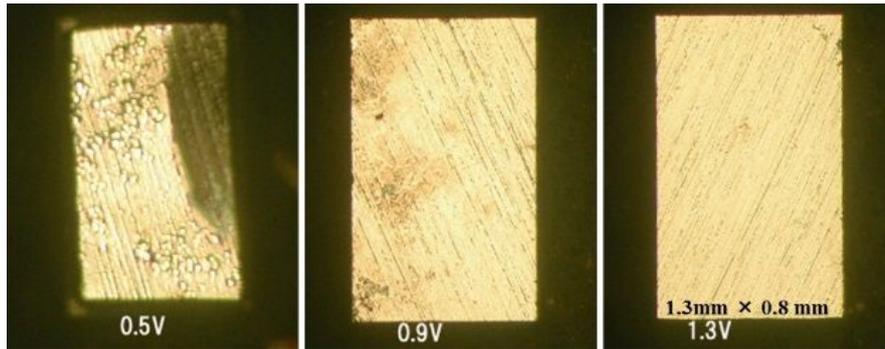


Fig. 2-6. Optical micrographs showing Si substrate of WLCSP n-type Si device after etching in 48 % KOH at 85 °C with DC bias voltage at 0.5 V, 0.9 V and 1.3 V applied to the device for over 40 min.

更に Fig. 2-7 には印加電圧 1.1 V でエッチングした WLCSP タイプの n 型 Si デバイスの IR 画像を示す。WLCSP タイプの n 型 Si の基板厚さは 250  $\mu\text{m}$  である。メタル配線が Si 基板裏面側から観察できた。DC 電圧は、DC 電圧の印加による Si 酸化膜形成速度と KOH 水溶液中でのエッチングレートの関係から閾値を持っていることが分かった。外部電極から Al ボンディング PAD を通して Si 基板に正孔を直接注入すると式 (3) に示す様に、KOH 水溶液と Si 基板との界面で水溶液中の OH 基と注入した正孔によって  $\text{SiO}_2$  膜が形成される。しかし、KOH 水溶液は  $\text{SiO}_2$  膜をエッチング (118 nm/min. @85°C) するため印加電圧による正孔の供給量による Si 基板表面の  $\text{SiO}_2$  膜形成速度が KOH による  $\text{SiO}_2$  膜のエッチレートを上回った時に安定した  $\text{SiO}_2$  膜が形成されことで Si 基板のエッチングが防止され、そのためには約 1.1V 以上の電圧印加が必要であった。48%の KOH 水溶液中での電気化学的エッチストップ法により形成された  $\text{SiO}_2$  膜の厚さの測定を試みたが  $\text{SiO}_2$  膜の厚さは DC 電圧にかかわらず測定装置の測定限界以下であった (Table 2-2)。尚、モジュールデバイスに搭載されたパワー MOSFET が同じ n 型 Si デバイスにもかかわらず KOH 水溶液中でエッチングされなかったのは、Si 基板表裏面上に Ti/Ni/Ag 膜が成膜されており KOH エッチングから Si 基板を保護したためである。

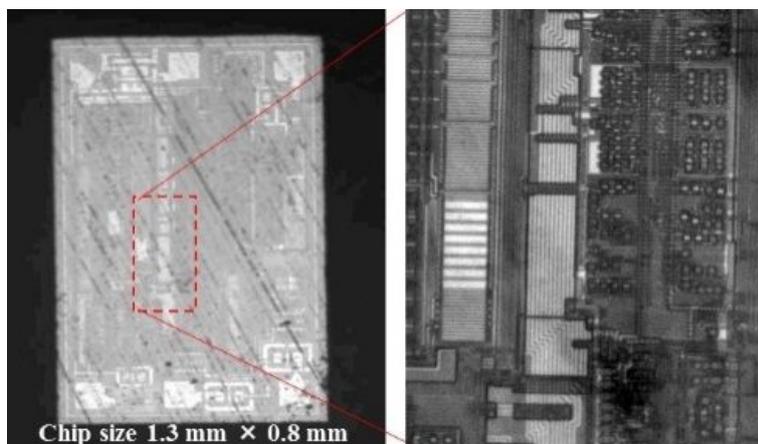


Fig. 2-7. IR images of WLCSP n-type Si device from backside after etching in 48 % KOH at 85 °C with DC bias voltage at 1.1 V applied to the device for over 40 min.

## 2-5. 電気化学的エッチストップ法を用いたモジュール製品の故障解析事例

pn 接合リークによって故障に至ったモジュールデバイスの故障解析に本電気化学的エッチストップ技術を適用した。Fig. 2-8 に、電気化学的エッチストップ技術を用いて 48% KOH 水溶液でポッティング・エポキシ樹脂をエッチングした後に WLCSP タイプの n 型 Si の裏面 PEM 解析結果を示す。pn 接合リーク電流による発光が Si 基板の裏面側から観察できた。Fig. 2-9 に電子部品をすべて露出した後のその他のモジュール搭載電子部品の光学顕微鏡写真を示す。全ての電子部品および、半田接続部分は全くダメージを受けおらず、電氣的・物理的な故障解析を行うことができる。Table 2-3 に表面被覆樹脂除去後の各実装電子部品の故障モードとそれに対する故障解析方法をまとめた。

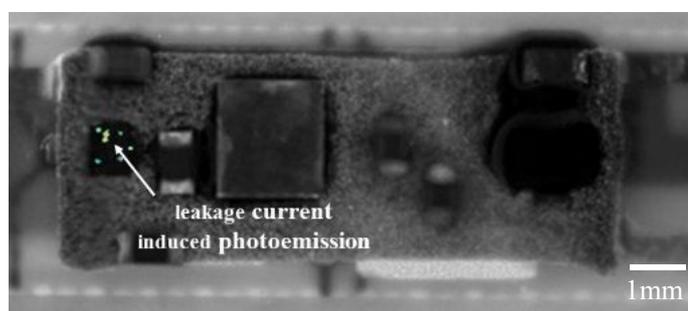


Fig. 2-8. PEM analysis result of leakage current failure module after 48 % KOH etching with electrical-etch-stop method.

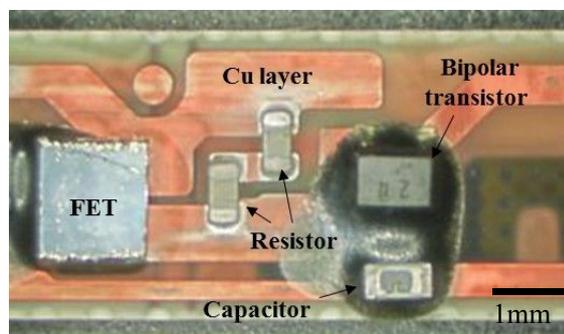


Fig. 2-9. Optical micrograph of module device after 48 % KOH etching with electrical-etch-stop method.

Table 2-3. Failure modes and analysis methods for electronic components of module devices after decapsulating over coated resin.

Parts on module	Analysis methods	Failure mode
<b>WLCSPSi device</b>	I/V measurement, Backside EMS and/or IR-OBIRCH	ESD, EOS, leakage, open or short
<b>FET</b>	I/V measurement, Backside EMS and/or IR-OBIRCH (need polishing)	ESD, EOS, leakage, open or short
<b>Bipolar transistor</b>	I/V measurement, Topside EMS and/or OBIRCH (need package opening) OM and/or SEM observation	ESD, EOS, leakage, open or short
<b>Resistor, Capacitor</b>	I/V measurement, OM and/or SEM observation	Abnormal resistance, crack of solder junction

## 2-6. 結論

WLCSP タイプの n 型 Si デバイスを搭載したモジュールデバイスの故障解析に対して、電気化学的エッチストップ法による樹脂開封技術を開発した。Li イオン/ポリマー保護モジュールデバイスを用いてモジュールデバイスに搭載されている電子部品のアルカリ性水溶液に対するエッチング特性を調査し、85℃の 48 % KOH 水溶液により酸無水物系硬化ポッティング・エポキシ樹脂を効率的にエッチングできることを示した。更に電気化学的エッチストップ法を用いて露出した Si 基板のアルカリ性の KOH 水溶液によるエッチング問題に対して、1.1V 以上の DC 電圧を印加することで KOH 水溶液による n 型 Si 基板のエッチングを防止し、故障解析を可能にした。電気化学的エッチング技術の使用によって、モジュールデバイスに搭載された全ての電子部品が破壊されることなく、KOH 水溶液により酸無水物系硬化ポッティング・エポキシ樹脂から露出することができた。本手法を用いることにより、モジュールデバイスの故障解析が可能になるだけでなく、故障解析時間の短縮が可能になった。

## 参考文献

- [1] K. Tsuda, et al., Proc. 10<sup>th</sup> Intern. Conf. Composite Material, Whistler, B.C., Canada, August 1995, pp. 215-222.
- [2] K. Tsuda, et al., ACS, Div. Proc. Polymeric Materials: Science and Engineering, Vol. 153, 1985, pp. 475-479.
- [3] K. Kubouchi, et al., J. The Society of Materials Science, Japan, Vol. 49, No. 5, May 2000, pp. 488-493.
- [4] G. T. A. Kovacs, et al., Proc. of the IEEE, Vol. 86, No. 8, August 1998, pp. 1536-1551.
- [5] S. D. Colins, J. Electrochemical Society, Vol. 144, No. 6, June 1997, pp. 2242-2261.
- [6] L. C. Chen and M. Chen, J. Electrochemical Society, Vol. 142, No. 1, January 1995, pp. 170-176.
- [7] C. M. A. Ashruf and P. J. French, Part of the SPICE Conference on Micromachining and Microfabrication Process Technology 5 Santa clara, California, September 1998, pp. 82-87.
- [8] C. M. A. Ashruf and P. J. French, Sensors and Actuators A66 (1998) pp. 284-291.
- [9] C. A. Desmond, et al., J. Electrochemical Society, Vol. 141, No 1, January 1994, pp. 178-184.
- [10] E. Steinsland, et al., The international Conference of Solid-state Sensors and Actuators, and Euro Sensors 6 Stockholm, Sweden, June 25-29, 1995, 190-193.
- [11] X. H. Xia, et al., American Chemical Society, Chem. Mater., Vol. 12, No. 6, 2000, 1671-1678.

## 第3章 故障解析のための故障モード推定技術と Si 基板裏面加工技術

### 3-1. 背景

PEM 顕微鏡を用いた発光解析は、LSI デバイスの故障箇所特定に非常に有効なツールであり、分光器を用いたその発光スペクトル解析は、故障モードの推定に使用されている[1]。近年、LSI デバイスの多層配線化により、デバイス表面からの発光解析から Si 基板裏面からの発光解析が主流になっている。一方、Si 基板裏面からの発光スペクトル解析の評価も継続されているが、Si 基板の厚さや電源電圧の低下により、分光器を用いた発光スペクトル解析は困難になりつつある[2、3]。従って、Si 基板の薄膜化技術が必要になり、近年、FIB による Si 基板裏面からの回路修正のための薄膜化技術や LVP 解析のための薄膜化技術が報告されているが、更にデバイスに対してダメージの無い Si 基板裏面からの故障箇所の観察手法が必要になる[4、5]。

本章では、弱い発光でもスペクトル解析が可能な OBPF を用いた発光スペクトル解析手法を中心に述べる[6、7]。併せて、Si 基板裏面からの発光スペクトル取得のため、レーザーアブレーション加工とアルカリ性水溶液によるウェットエッチング技術を組み合わせた Si 基板の任意箇所をダメージ無く薄膜化する技術についても述べる。

### 3-2. 実験方法

PEM 発光解析には、イメージ増倍管検出器（波長 600～1000 nm の量子効率が 60%以上）搭載の PEM 解析装置（浜松ホトニクス社製 Phemos 200）、および InGaAs アレイ検出器（波長 900～1600 nm の量子効率が 60%以上）を搭載した PEM 解析装置（浜松ホトニクス社製 Phemos1000）を用いた。発光スペクトル解析には、半値幅が 46.3 nm～80.3 nm で最大透過率 84.5%～90%の OBPF を用いた。500～900 nm の波長に対して 8 枚の OBPF を使い、OBPF は故障デバイスと検出器の間に挿入した。8 枚の OBPF でテスト用 TEG サンプルから放出された一定面積での光子数をカウントした後（Fig. 3-1 (a)、(b)）、各 OBPF 透過率、対物レンズ透過率、各波長の検出器感度、および半値幅の違い考慮し、次式で光子数を補正した。

$$\text{Correction factor} = \text{Half bandwidth correction factor} / (\text{BPF transmissivity} \times \text{Object lens transmissivity} \times \text{Detector sensitivity rate}) \text{ ----- (1)}$$

式(1)から求めた各波長の補正値を Table 3-1 および Fig. 3-1 (c) に示す。補正光子数は初期の光子数に補正値を掛けて算出し、印加電圧と発光取得時間の影響を考慮し補正数を再計算した。最後に光子数の最大値を1と定義し、Fig. 3-1 (d) に示す様に光子数を相対化し、再スペクトル化した。ダメージの無い Si 基板薄膜技術には、Nd : TAG レーザーの第4高調

(波長 266 nm) のパルスレーザー装置(浜松ホトニクス社製 L7270)とSi基板のエッチレートが早い24% KOHアルカリ性水溶液 (Si エッチレートは80°Cで2.3  $\mu\text{m}/\text{min}$ 、Si酸化膜のエッチレートは、85°Cで0.047  $\mu\text{m}/\text{min}$ ) を組み合わせた。レーザーパルス幅は5 nmで、最大エネルギー密度は30 J/cm<sup>2</sup>である。次に、薄膜化したSi基板厚測定には、光学顕微鏡、赤外線 (IR) 顕微鏡およびHe - Neレーザー顕微鏡での等圧干渉縞のデータとSEMの各加速電圧によるSi 基板中の1次電子進入深さの各画像を組み合わせた。各故障モードの発光 スペクトルの構築には、0.13  $\mu\text{m}$ 、0.35  $\mu\text{m}$ のプロセスノードのTEGデバイスを用い、故障解析への実験には0.18  $\mu\text{m}$ 、0.35  $\mu\text{m}$ プロセスノードの故障デバイスを用いた。

Table 3-1. Correction factor of each Spectrum range.

Center wavelength (half bandwidth) (nm)	OBPF transmissivity (%)	Object lens transmissivity (%)	Detector sensitivity rate (%)	Half bandwidth correction factor (900nm=1)	Correction factor (*)
500 (72.3)	84.5	71.3	53.3	1.16	3.61
600 (51.9)	86.1	74.3	70.0	1.61	3.59
700 (63.2)	86.5	71.4	98.9	1.33	2.18
750 (38.1)	86.0	70.0	100.0	2.20	3.65
800 (73.8)	87.7	69.4	94.4	1.14	1.98
850 (46.5)	90.0	68.0	83.3	1.80	3.53
900 (83.8)	87.4	66.7	75.6	1.00	2.27
950 (50.0)	88.0	66.0	50.0	1.68	5.79

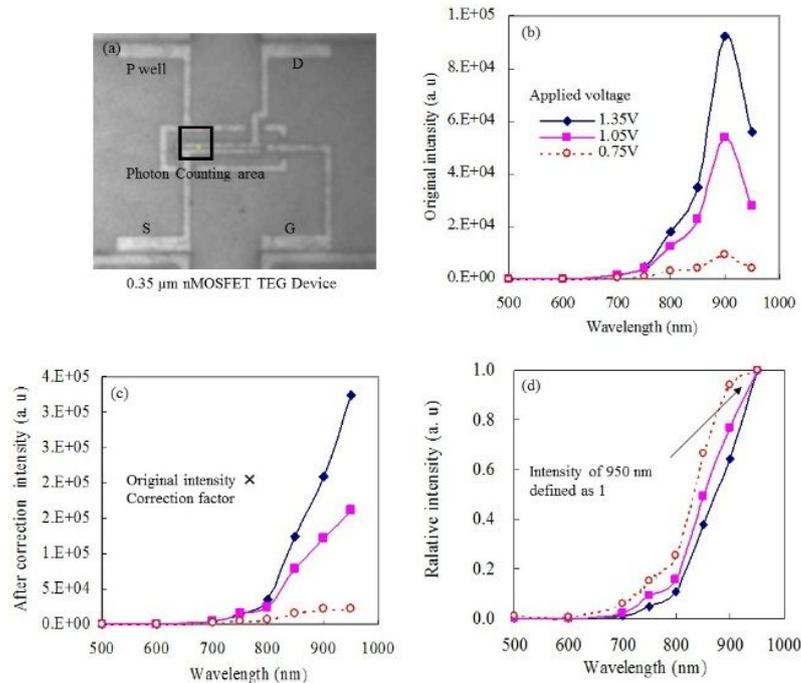


Fig. 3-1. Re-calculation procedure for emission spectra using OBPF: (a) Photon counting area of 0.35  $\mu\text{m}$  process node N-ch MOSFET TEG device image, (b) Original spectra, (c) After correction spectra, and d) Re-calculation spectra.

### 3-3. 発光解析による故障モードの推定

#### 3-3-1. 発光スペクトル解析による故障モードの推定

最初に pn 結合リーク発光、ゲート酸化膜リーク発光、ゲート電極のフローティングを仮定したホットキャリア（ドレインアバランシェホットキャリア）発光（N-ch MOSFET Idsat 電流発光）、メタル配線間短絡発光の 4 つの代表的な半導体故障モードの発光スペクトルの強度分布を測定した。pn 接合リーク発光は、単体の N-ch MOSFET Tr. の TEG を用いて、pn 接合に逆バイスを印加し、pn 接合が破壊しない様に電流制限下で一定電流のアバランシェ電流を発生させ、その発光を取得した。ゲート酸化膜リーク発光は、FN トンネル電流と区別するために、ゲート酸化膜に高電圧を印加し、ゲート酸化膜破壊を発生させた後、そのリーク電流による発光を取得した。一方、ゲート電極のフローティングを仮定したホットキャリア（ドレインアバランシェホットキャリア）発光は、単体の N-ch MOSFET Tr. のゲート電圧をドレイン電圧の 1/2 に設定し、ドレインアバランシェホットキャリアが発生し易い状態で発光を取得した。可視光範囲から赤外光範囲（600 nm～1600 nm）は、イメージ増倍管検出器および InGaAs アレイ検出器を用いて評価した。600 nm～900 nm の可視光領域の発光数を 1 と規定し、近赤外の 900 nm～1300 nm、1300 nm～1600 nm での発光数の増減を比較した。Fig. 3-2 に示す様に、ゲート酸化膜リーク発光と N-ch MOSFET Idsat 電流によるホットキャリア発光は、900 nm～1300 nm で 2 倍以上に増加したが、pn 接合リーク発光は 1/4 以下に減少し、すべての 3 つの故障モードの発光数の比率は、1300 nm～1600 nm の範囲で更に減少した。pn 接合リークモード、ゲート酸化膜リークモードと N-ch MOSFET Idsat モードは、デバイスに電圧を印加した際に、高電界がリーク箇所やゲート/ドレインのエッジ部分に掛かるため、比較的高エネルギーの光子が生成され、短い波長側の発光が増加したと考えられる。一方、メタル配線間短絡モードは 900 nm～1300 nm の範囲で増大し、1300 nm 以上では可視光線範囲の 400 倍に達した。メタル配線間短絡モードの発光は、主にメタル配線の電流により生じるジュール発熱による発光であるため、低エネルギーの光子が生成され長波長側で増加した[8、9]。これらの結果から、pn 接合リークモード、ゲート酸化膜リークモード、および N-ch MOSFET Idsat 電流によるホットキャリア発光モードの推定には 1300 nm 以下の波長を分光分析することが効果的である。一方、1300 nm を超える波長はメタル配線間短絡モードの推定に効果的である。従って、検出範囲が長波長側の InGaAs アレイ検出器は、メタル配線間短絡モードの推定に適しており、先に述べた 3 つの故障モードを推定するためには短波長側の検出感度が高いイメージ増倍管検出器や CCD 検出器が適している。

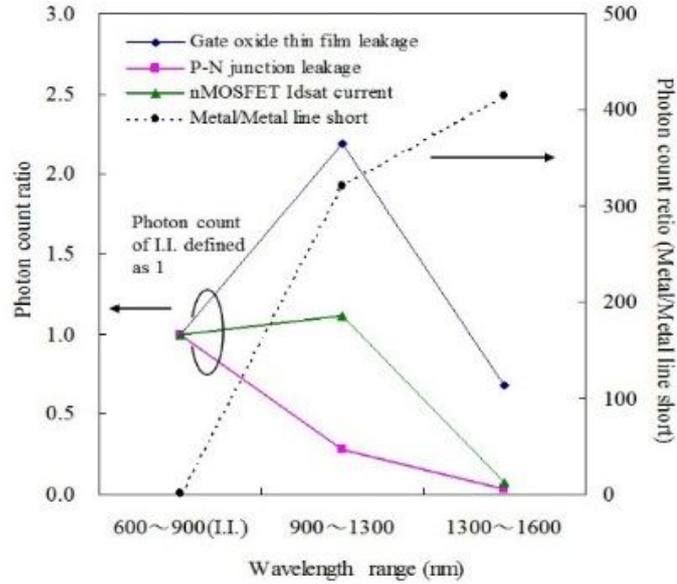


Fig. 3-2. The number of photon distribution of four representative semiconductor failure mode emissions at visible light range (600 - 900 nm) and infrared range (900 - 1600 nm).

次に Fig. 3-3 にイメージ増倍管検出器 (900 nm~1000 nm) と OBPF を用いた  $L=0.35 \mu\text{m}$  および  $0.13 \mu\text{m}$  の N-ch MOSFET TEG の発光スペクトルを示す。プロセスノードについては Al メタル配線プロセス ( $0.35 \mu\text{m}$ ) と Cu メタル配線プロセス ( $0.13 \mu\text{m}$ ) のデバイスを区別した。先に述べた 3 の故障モードの発光スペクトル解析を実施したところ、pn 接合の逆バイアス印加によるアバランシェ電流のスペクトルは、より短い波長範囲の発光を示した。ゲート酸化膜リークの発光スペクトルは pn 接合リークの発光に比べて長い波長側にシフトし、約 900 nm 付近でピークが観察された。N-ch MOSFET Idsat 電流によるホットキャリア発光の発光スペクトルも長波長側にシフトしたが、ゲート酸化膜薄膜リークの発光の様なピークは観察されなかった。

pn 接合の逆バイスによるアバランシェ電流による発光は、印加電圧により空乏層間に大きな電界が形成され、高エネルギーを得たキャリアの電子は伝道帯の高い位置まで分布し、価電子帯の正孔との再結合によりバンドギャップ以上のエネルギーに相当する発光やバンドギャップ内のエネルギーに相当する発光が同時に観察され 500 nm の短波長側から 1400 nm の長波長に至るブロードなスペクトルが得られ、電圧依存が強い特徴がある。一方、ゲート電極のフローティングを仮定したホットキャリア (ドレインアバランシェホットキャリア) 発光は、pn 接合の逆バイス発光と同じく、電子-正孔対の再結合に伴う発光であるため、pn 接合逆バイス発光と近似したスペクトルが得られると考えられるが、電子-正孔対は、ドレイン近傍のピンチ・オフ領域で発生し、電界強度がゲート電圧とドレイン電圧の関係で変化する。ゲート電圧がドレイン電圧の  $1/2$  付近で電界は最大となり、ドレイン電圧に依存しないため、pn 接合逆バイス発光の様な短波長側に延びたブロードなスペクトルにならず、近赤外付近をピークとした長い波長側の発光が得られる特徴がある。また、ゲート酸化膜リークの発光に関しては、ゲート酸化膜の破壊の程度に依存する。リーク電流が少ない軽微な破壊の場合は、印加電圧が大きくなると電界が大きくなるため、発光は短波長側

に移行し、800 nm 付近でピークを持つスペクトルになるが、大きな破壊に至った後のスペクトルは pn 接合順方向バイアスの発光に近似し、近赤外付近をピークとしたスペクトルになる特徴がある。この様に OBPF を使用した発光スペクトル解析は、分光器を用いた発光スペクトル解析と同じ傾向を示した。また、3 タイプの故障モードで独自の発光スペクトルがあり、プロセスノードによる差異は観察されなかった。pn 結合リーク発光、ゲート酸化膜リーク発光、N-ch MOSFET  $I_{dsat}$  電流によるホットキャリア発光に関しては、プロセスノードによって発光原理に違いが無いためである[10]。

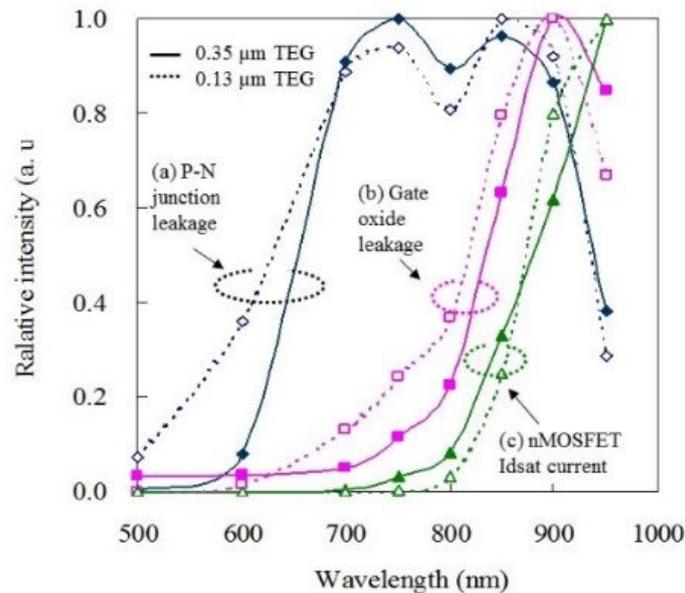


Fig. 3-3. Emission spectra from failure mode using OBPF; (a) pn junction leakage, (b) gate oxide thin film leakage, and (c) N-ch MOSFET  $I_{dsat}$  current of 0.35  $\mu\text{m}$  and 0.13  $\mu\text{m}$  process node TEG devices.

次に故障デバイスの表面側からの OBPF を用いた発光スペクトル解析と物理解析結果を示す。Fig. 3-4 では、3 つ発光 (左図 a、b、c) が観察さ、これらのスペクトルは同じ傾向を示し、N-ch MOSFET  $I_{dsat}$  電流によるホットキャリア発光スペクトルに酷似していた。レイアウト解析と物理解析結果から、これら 3 つの発光したトランジスタのゲートの共通ネット上に via オープン故障が発生していた。3 つの PEM 発光は、via オープンが原因でゲート電極がフローティングとなったことによる N-ch MOSFET の貫通電流によるホットキャリア発光であった。

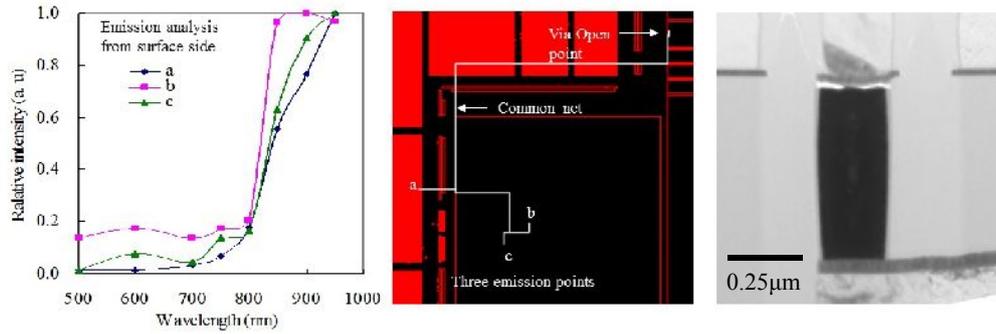


Fig. 3-4. Three emissions spectra and via open failure of 0.18  $\mu\text{m}$  process node device from the surface-side analysis.

次に、Fig. 3-5 では、OBPF による発光スペクトルはゲート酸化膜リークモードを示し、平面研磨法と KOH 水溶液によるポリシリコンエッチング後に PEM 発光箇所にてゲート酸化膜欠陥の存在が観察された。この様に OBPF を用いた発光スペクトル解析が半導体デバイスの故障モード推定に非常に有効である。

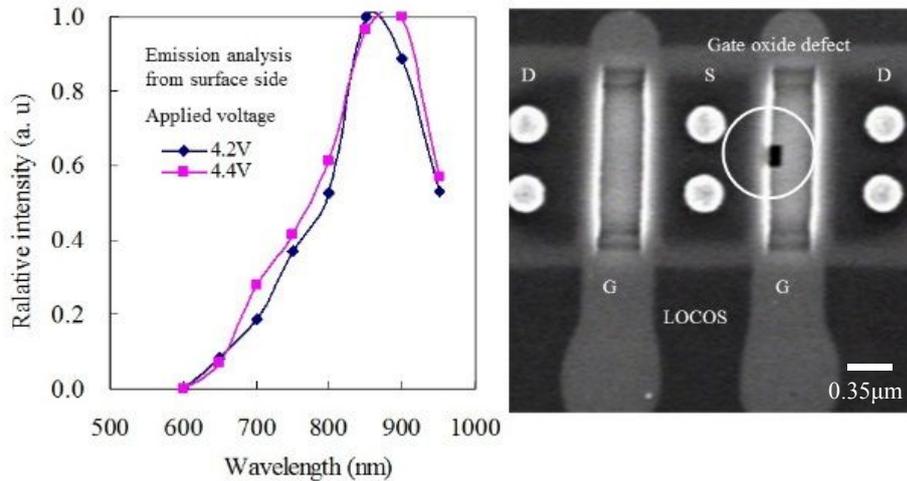


Fig. 3-5. Two emission spectrum and SEM observation image of gate oxide defect after polishing and removal Poly-Si with KOH wet etching of 0.35  $\mu\text{m}$  process node device from the surface-side analysis.

### 3-3-2. フォトンカウント数の累乗近似法による故障モードの推定

PEM 発光を観察す際、より明確な発光を取得するために印加電圧を上げ発光数(光子数)を増加させる。Fig. 3-6 にイメージ増倍管検出器での印加電圧による故障モード毎の発光数の増加を示す。Fig. 3-1 (a)で示した一定面積での印加電圧の増加に伴う発光数の増加は、累乗近似曲線 ( $Y = aX^b$ ) に対して良い一致性を示した。その際、傾き  $b$  が故障モード毎に異なる傾向があった。pn 接合リークでは、傾き  $b$  は 10~20 を示し、ゲート酸化膜リークでは、15~19 を示した。メタル配線間短絡では 19~26 で、高い値となった。一方、N-ch MOSFET  $I_{\text{dsat}}$  電流によるホットキャリア発光は 10 未満であり、他の故障モードより低い値を示した。印加電圧は pn 接合リーク箇所、ゲート酸化膜リーク箇所およびメタル配線短絡箇所の

電界を上げるため、電子-正孔対の発生に対して直接作用する。一方、N-ch MOSFET  $I_{dsat}$  電流によるホットキャリア発光に関しては、ゲート電圧がドレイン電圧の半分程度で N-ch MOSFET のドレインアバランシェホットキャリアが極大値となるため、他の3つの故障モードの様な直線関係は N-ch MOSFET  $I_{dsat}$  によるホットキャリアモードには観られないことが原因と考えられる。一方、メタル配線間短絡では、ジュール熱による低エネルギーの発光が高エネルギーの発光よりも容易に起るため、低エネルギーの発光が効率良く増加したため、大きな値となった。この様に、前述の OBPF を用いた発光スペクトル解析とこの累乗近似係数  $b$  を用いることで、故障モードの推定精度を向上させることができる。

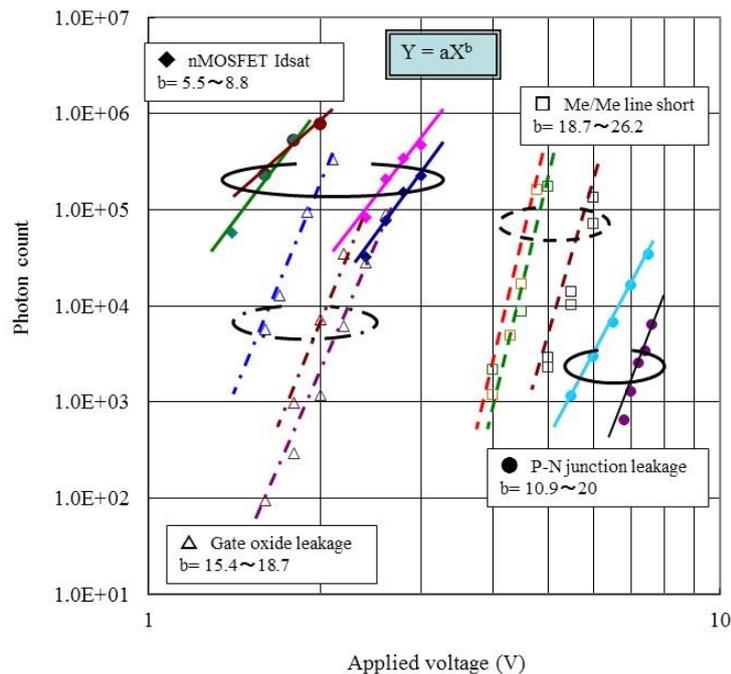


Fig. 3-6. Applied voltage ( $V_{cc}$ ) dependency of the number of photons at each failure mode.  $b$  is coefficient of power approximation curve ( $Y = aX^b$ ).

### 3-4. 裏面発光解析のための Si 基板薄膜化技術

可視光領域の検出器であるイメージ増倍管検出器での Si 基板裏面からの発光スペクトル解析を可能にするため、Si 基板裏面から特定された故障箇所に対してダメージ無しで Si 基板を薄膜化し Si 基板裏面からの発光スペクトル解析を可能にする技術と Si 基板裏面からの発光スペクトル解析のために  $2.3 \mu\text{m}$  (波長  $600 \text{ nm}$  の Si の吸収深さが  $2.3 \mu\text{m}$ ) 以下の Si 基板の非破壊での厚さ測定技術を開発した。この2つの技術を以下に述べる。

### 3-4-1. 任意箇所ダメージレス Si 基板薄膜化手法

未加工の Si 基板厚の状態では Si 基板裏面から PEM 発光解析を用いて故障箇所を特定した後、特定した故障箇所の Si 基板裏面部分に当たる箇所にレーザー加工を実施した。半導体故障解析では、デバイスの故障状態を変化させない必要があり、故障解析工程で故障デバイスに新たなダメージを与えないことが極めて重要である。レーザー波長がより短くなると、Si の吸収深さは浅くなり故障デバイスへの新たな加熱ダメージが減少するため、短波長レーザーは故障解析に適している。今回用いた DUV 紫外線パルスレーザーによる Si 基板の加工原理は、熱による熔融加工ではなく、非加熱の蒸発加工のアブレーション加工になる。アブレーション加工は、Si の表面結合エネルギー (Si の表面結合エネルギー 2.32 eV、53.2 kcal/モル) よりも高いエネルギー (光子エネルギー 4.66 eV、107 kcal/モル) を Si 原子または分子に与え、分子間結合、原子間結合を切断しながら掘り進める物理的な加工である[11]。レーザー加工装置には光学式顕微鏡が付随しているため、最大 1000 倍の倍率で観察しながら Si 表面の加工箇所を狙うことができる。Si 表面に光学式顕微鏡の焦点を合わせた後、XY スリットで加工範囲を調整し、レーザーエネルギー密度をセットする。本レーザー加工機ではレーザーエネルギー密度 1.1 J/cm<sup>2</sup> 以上で Si 基板を加工できた。各エネルギー密度でのレーザー加工後の Si 基板表面 SEM 観察画像を Fig. 3-7 に示す。加工領域は 30×30 μm<sup>2</sup> で、レーザーのショット回数は 10 回である。エネルギー密度が高くなると加工部分が広く深くなり加工部の周囲に飛散する Si 量が増加した。

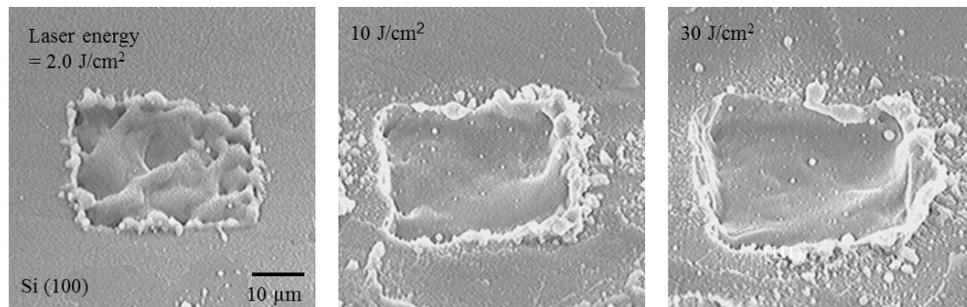


Fig. 3-7. SEM observation image of the laser irradiation point on Si substrate at 2.0 J/cm<sup>2</sup>, 10 J/cm<sup>2</sup>, and 30 J/cm<sup>2</sup>.

次に、Fig. 3-8 にレーザー照射回数と加工深さ ( $\Delta t$  Si) の関係を示す。レーザーエネルギー密度は 30 J/cm<sup>2</sup> で、加工面積は 30×30 μm<sup>2</sup> である。加工深さはレーザー照射回数 100 回で約 55 μm にまで達した。266 nm レーザー波長の Si の吸収深さは、理論上 0.01 μm 未満であるがレーザーエネルギー密度が高いと Si の理論的な吸収深さを越えて加工できる。レーザーエネルギー密度 30 J/cm<sup>2</sup> での加工レートは、100 回のレーザーショット数までは、約 0.5 μm/ショットであったが、100 回以上のレーザー照射回数では、加工深さの変化でレーザー焦点がずれるため (加工中には焦点の補正が行われない)、加工レートは、約 0.4~0.3 μm/ショットに低下した。

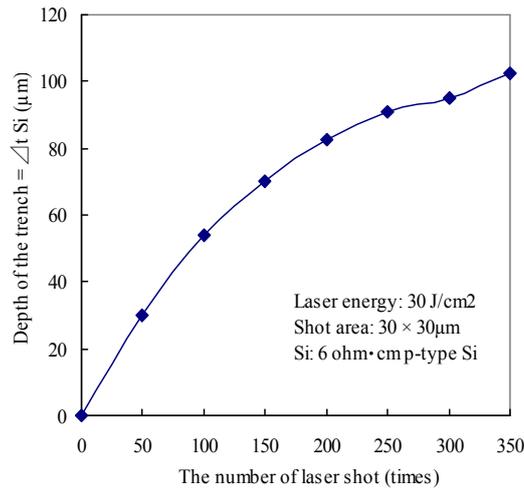


Fig. 3-8. Relation between the number of lasers shots and trench depth of Si substrate.

次に、Well とソース/ドレイン間の pn 接合の逆バイアスリーク電流量測定によるデバイスに対するレーザー加工のダメージ評価結果を Fig. 3-9 に示す。初めに Si 基板を約 40 μm 厚さまで平面研磨し、20 J/cm<sup>2</sup> レーザー密度でレーザー加工を実施した。デバイス面からレーザー加工を行ったが、n<sup>+</sup>/Pwell 接合、p<sup>+</sup>/Nwell 接合のどちらもソフトリークによる電流量の増加は観られず、レーザー加工が pn 接合部に至った時点でハードリークとなった。更に Si 基板加工について FIB 加工装置 (SII 社製 SIM2040FIB) と比較した。最大の Si 基板加工レートを得るため、FIB 加工では XeF<sub>2</sub> ガスと最大のビーム電流 (12 nA) を選択した。Fig. 3-10 に、FIB 加工とレーザー加工の断面 SEM 画像を示す。30 × 30 μm<sup>2</sup> の加工領域で 80 μm の深さを加工するためにはレーザーでは 200 回照射が必要であったが、加工時間は 2 分程度であった。一方、FIB 加工では約 20 分程度を要し 10 倍の時間が必要であった。また、加工箇所のアスペクト比は、レーザー加工では 1.7 で FIB 装置加工では 0.85 と半減した。FIB 加工のアスペクト比が低い理由は、XeF<sub>2</sub> ガスを用いるため、垂直の方向だけではなく側部方向にも Si 基板との化学反応が起きるためである。デバイスへのダメージに関しては、FIB 加工においても Ga イオン衝突による物理的なエッチングではなく Si 基板とフッ素元素による化学反応であるため、差異は無かった。これらの結果から、レーザー加工が高加工レート、高アスペクト比、低ダメージという長所を持つことが分かった。

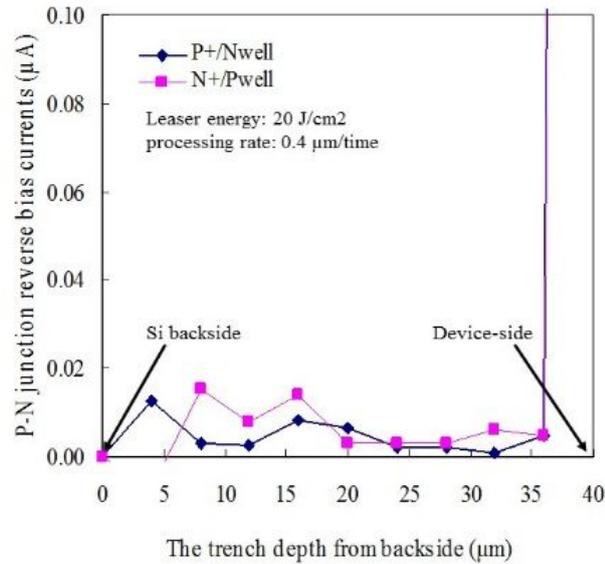


Fig. 3-9. The pn junction reverse bias currents shift after laser shots from Si substrate backside.

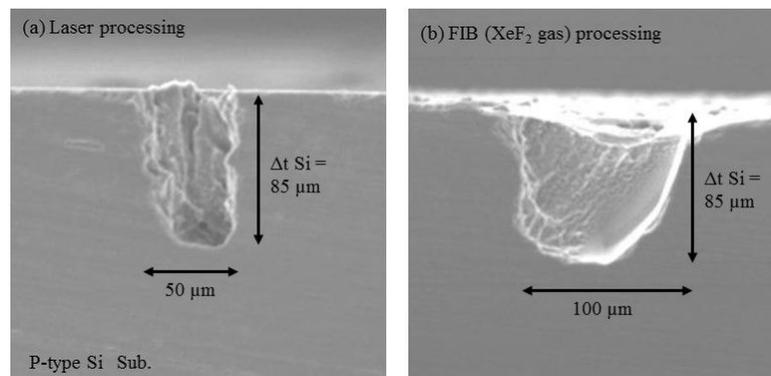


Fig. 3-10. Cross sectional SEM observation image of the trench at Si substrate, (a) laser processing and (b) FIB Xe F<sub>2</sub> gas processing.

次にレーザー加工と組み合わせた 24 % KOH 水溶液による結晶異方性ウェットエッチングのレーザー加工部の進行を Fig. 3-11 に示す。用いた Si 基板は、6Ω の p 型 Si である。初めに、 $30 \times 30 \mu\text{m}^2$  の加工領域に対して  $25 \text{ J/cm}^2$  レーザーエネルギー密度で 50 ショットの加工を実施した。ガラスビーカーに  $85^\circ\text{C}$  に温度調整した 24 % KOH アルカリ性水溶液を 50 ml 程度準備し、レーザー加工行った Si 基板を KOH 水溶液中に浸漬した。尚、 $85^\circ\text{C}$  24 % KOH 水溶液の Si 酸化膜のエッチングレートは約  $0.047 \mu\text{m/min}$  程度あるため、事前に Si 基板の自然酸化膜の除去処理は行っていない。特にレーザー加工部分は Si 表面へダメージを与えるため、自然酸化膜が成長し難い。従って、レーザー照射後の Si 基板表面の Si 酸化膜は、容易に  $85^\circ\text{C}$  の 24 % KOH 水溶液でエッチングされる。レーザー加工面は、レーザーアブレーションにより Si の結晶性が低下し、様々な結晶面や非晶質面が露出している。この状態で KOH 水溶液によるウェットエッチングを始めるとアブレーション加工によるダメージ層をエッチングしながら結晶異方性エッチングは、新たに露出した個々の結晶面で始まる (Fig. 3-11 の 0.5 分~1.5 分)。同時に、Si 基板表面付近では Si (211) 結晶面の結晶異方

性エッチングが優先的に始まり、早いエッチング速度で横方向に広がる (Fig. 3-11 の 3.0 分)。更に KOH 水溶液によるウェットエッチングが進むと、加工部分の結晶面は均一な Si (111) 結晶面になり、結晶異方性は、逆のピラミッド構造になって深さ方向へのエッチングが完了する。しかし、表面付近の露出した Si (211) 結晶面では Si (111) 結晶面のピーリングエッチングが進み、Si 表面領域は横方向に広がり続けることで底部の平面領域が形成し始め、Fig. 3-11 に示す様に最初の  $30 \times 30 \mu\text{m}^2$  の加工領域が約  $280 \times 280 \mu\text{m}^2$  (薄膜部分は約  $100 \times 100 \mu\text{m}^2$ ) まで拡大し、20 分のエッチングでダメージの無い平坦な Si 基盤の薄膜化が可能になった[12, 13]。この技術では、レーザー加工領域のみ結晶異方性エッチングが発生するため、マスクレスで箇所特定した場所に絞って Si 基板の薄膜化が可能になる。更にレーザー加工と KOH 水溶液によるウェットエッチングを使ったこの組合せ技術は、p 型 Si 基板だけではなく n 型 Si 基板および高ドーズの p 型 Si 基板にも効果的である。

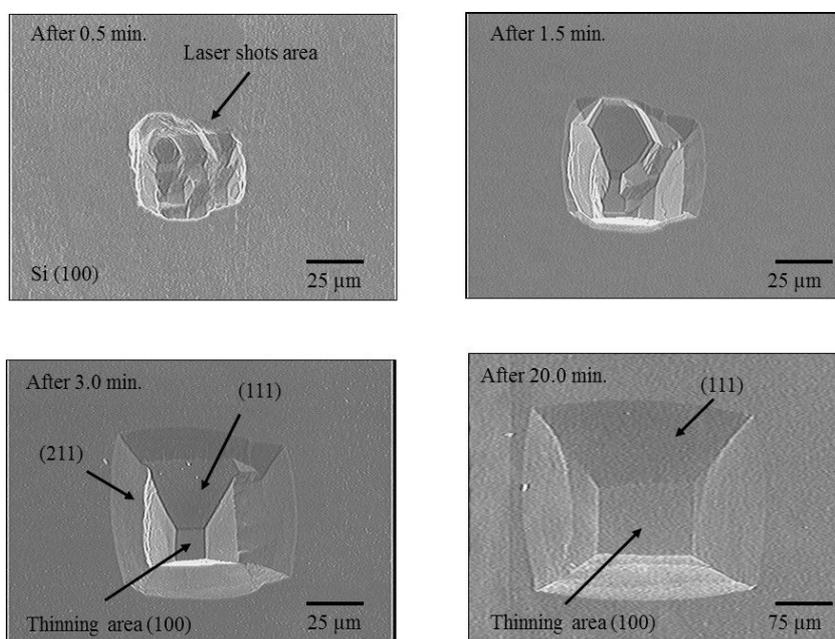


Fig. 3-11. SEM observation image of KOH crystal isotropic wet etching progress at laser irradiation area on p-type Si substrate after 0.5 minutes, 1.5 minutes, 3.0 minutes, and 20.0 minutes.

KOH 水溶液によるウェットエッチングでは、レーザー加工した箇所だけでなく、未加工部も同時にエッチングされるため、薄膜膜化が完了した時点においてもデバイス強度を維持するためには、十分な Si 基板の厚さが必要になる。レーザー加工で薄膜化する領域と非レーザー加工領域の Si 基板厚さの差異を  $\Delta t$  Si とし、 $\Delta t$  Si に対する KOH 水溶液によるウェットエッチング時間とレーザーショット回数の関係を調査した。レーザーエネルギー密度は  $25 \text{ J/cm}^2$  であり、加工領域は  $30 \times 30 \mu\text{m}^2$  である。Figs. 3-12、3-13 に KOH 水溶液によるウェットエッチング温度が  $75^\circ\text{C}$  の場合を示す。Fig. 3-12 (a)、(b) に示す様に、 $\Delta t$  Si はレーザーショット回数に依存し、非レーザー加工領域も KOH 水溶液によるウェットエッチングが同時に進行するため、エッチング時間には依存しない。Si 基板強度を維持するための  $50 \mu\text{m}$  の  $\Delta t$  Si を得るためには 150 回以上のレーザーショットが必要になるが、Fig. 3-13 (b)

に示す様にレーザーショット数が増加すると Si 基板の薄膜領域が小さくなる傾向があった。即ち、Si 基板強度を維持するために  $\Delta t$  Si を大きくすると、逆に薄膜化領域が小さくなる。しかし、Fig. 3-13 (a)に示す様に KOH 水溶液によるエッチング時間と薄膜化領域の面積に着目すると、レーザーショット回数 100 回では レーザーショット回数 150 回や 200 回と異なる傾向を示し、レーザーショット回数 100 回のみエッチング時間に対して薄膜化領域の面積が大きくなる傾向があった。少ないレーザーショット回数で薄膜化領域が拡大する理由は、レーザー加工深さが浅いために Si (111) 結晶面に沿った結晶異方性エッチングによる逆ピラミッド構造が短時間で形成され、深さ方向のエッチングから横方向へのピーリングエッチへの切り替わりが早く起るためと考えられる。ピーリングエッチが支配的になると、加工領域の側部の拡張がより増大する。

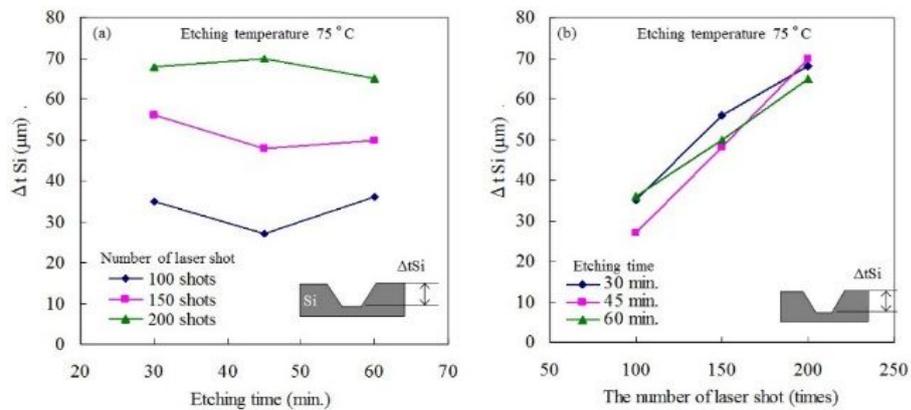


Fig. 3-12. Etching time and laser shot time dependencies of  $\Delta t$  Si at 24 % KOH wet etching at 75 °C of p-type Si substrate.

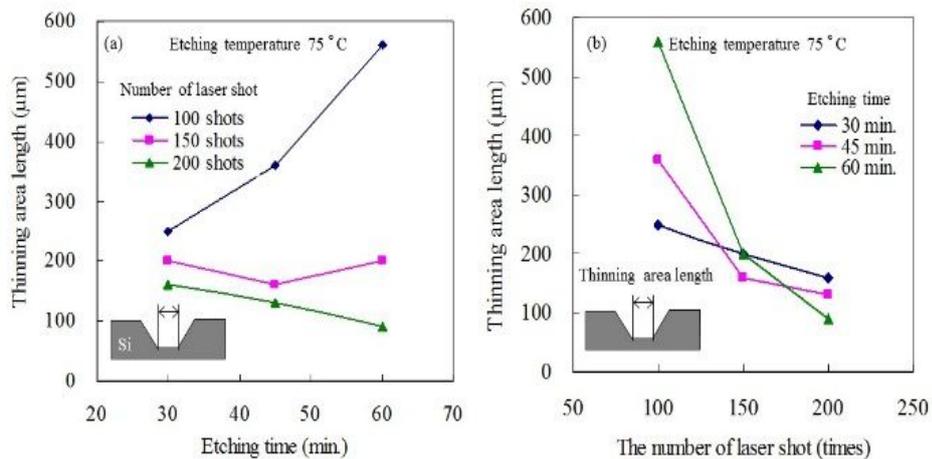


Fig. 3-13. Etching time and laser shot time dependencies of thinning area length at 24 % KOH wet etching at 75 °C of p-type Si substrate.

次に、KOH 水溶液によるウェットエッチング温度を 75 °C から 85 °C に変更し、温度の影響を調査した (Fig. 3-14)。薄膜領域の面積は、全てのレーザーショット回数で 75 °C に比べて拡大する傾向があった。KOH 水溶液によるウェットエッチ温度を上げることでレーザーシ

ショット回数 100 回の照射後、エッチング時間 60 分で  $2560 \times 2560 \mu\text{m}^2$  の大きな薄膜化領域が得られた。Fig. 3-14 に示す様に、Si 基板裏面側からの発光解析を行うための Si 基板薄膜化の条件（高アスペクトと大面積化）は、レーザーエネルギー密度は  $25 \text{ J/cm}^2$ 、加工領域は  $30 \times 30 \mu\text{m}^2$ 、レーザーショット回数 150 回、エッチング温度  $85^\circ\text{C}$ 、エッチング時間 60 分である。

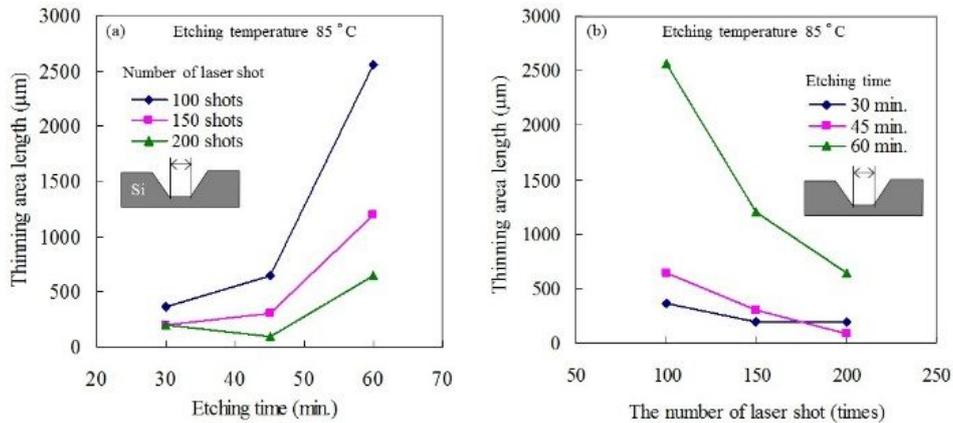


Fig. 3-14. Etching times and laser shot times dependencies of thinning area length at 24 % KOH wet etching at  $85^\circ\text{C}$  of p-type Si substrate.

Fig. 3-15 に裏面 PEM 解析で故障箇所を特定した後から Si 基板裏面側から故障箇所を観察するまでの手順を示す。裏面側から故障箇所を特定した後、レーザー加工を行う (Fig. 3-15 (1)、(2))。KOH による結晶異方性エッチングを始めると、Si (111) 結晶面が 1 点に集合すると深さ方向のエッチングが終了する (Fig. 3-15 (3))。更に結晶異方性エッチングを継続すると Si 基板面で Si (211) 結晶面に沿ったピーリングエッチが進み、加工領域が広がりながら底部に Si (100) 結晶面が現れる (Fig. 3-15 (4))。この状態で、発光スペクトル解析ができるまで Si 基板が薄くなれば、発光スペクトル解析を行い、故障モードの推定を行う (Fig. 3-15 (5))。最後に、KOH によるエッチングを継続するとデバイス面が露出し、故障箇所を直接観察できる Fig. 3-15 (6)。デバイス側の露出面は、酸化膜であるため、KOH ではエッチングされない。また、Fig. 3-16 に実際の解析サンプルの状態を示す。160 pin QFP のパッケージの裏面側を開封し、ダイパッドを取り外して Si 基板を露出させている。Fig. 3-15 の全体の手順は、Fig. 3-16 の様にパッケージ状態で Si 基板裏面から実施するため、デバイスの表面側は モールド樹脂で保護されており 24 % KOH 水溶液によるウェットエッチング処理は、デバイスには影響しない。

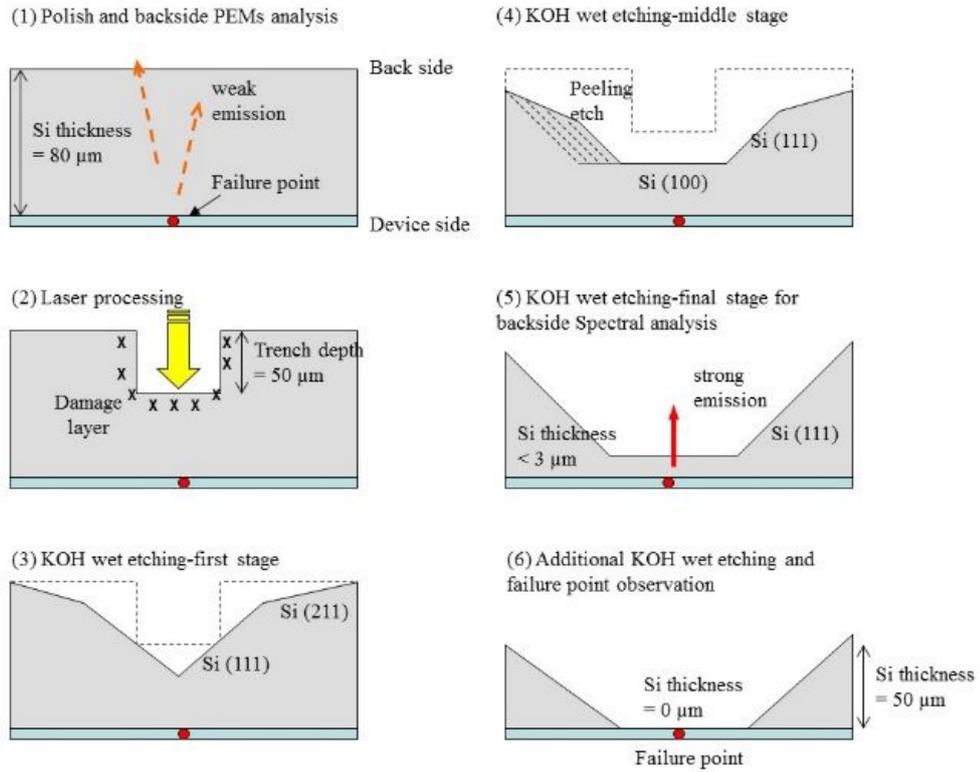


Fig. 3-15. Illustrations of these techniques and how they flow step by step from failure point isolation with PEMS to the failure point observation.

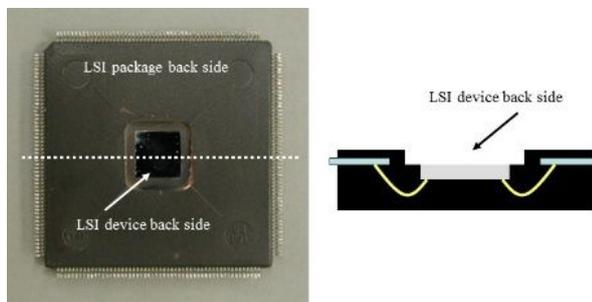


Fig. 3-16. Sample condition in the steps.

### 3-4-2. 2 $\mu\text{m}$ 以下の Si 基板厚さの非破壊推定手法

Fig. 3-17 にレーザー加工および 85  $^{\circ}\text{C}$  の 24% KOH 水溶液による結晶異方性ウェットエッチング後の薄膜領域の断面形状を示す。Fig. 3-15 で述べた様に、KOH による結晶異方性ウェットエッチングは中央から四方に広がるため、薄膜化した領域の底部は完全な平坦ではなく中心付近が周囲より薄くなる円弧描き、中央部分と 50  $\mu\text{m}$  離れた箇所では約 2  $\mu\text{m}$  の差異が存在する。そこで、この円弧形状を利用して非破壊の Si 基板厚さ測定方法を検討した。即ち、光学式顕微鏡、IR 顕微鏡、および He-Ne レーザー顕微鏡を用いた等厚干渉縞観察による方法であり、その他は SEM 観察時における加速電圧による 1 次電子の進入深さを利用するものである。

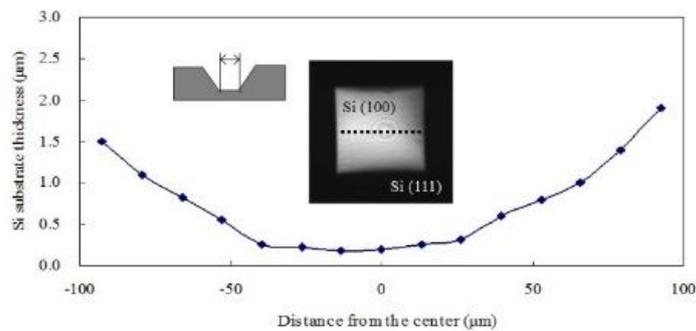


Fig. 3-17. Curvature structure of the trench bottom after KOH crystal isotropic wet etching of p-type Si substrate.

Fig. 3-18 に Si 基板の薄膜化領域でのそれぞれの観察結果を示す。IR 顕微鏡では等厚干渉縞の明暗間隔が Si 基板の厚さによって変化した。IR 顕微鏡を用いた等厚干渉縞は、Si 基板厚が約 4  $\mu\text{m}$  以下になると観察され始め約 4  $\mu\text{m}$  以上の厚さでは観察されない (Fig. 3-18 上)。次に、SEM 観察では加速電圧によって Si 基板への 1 次電子の進入深さが変わることを利用した。加速電圧 30 KeV で Si 基板厚さ 2.1  $\mu\text{m}$  厚以下でデバイス側のコンタクトホールディングステン金属が観察でき、20 keV (Fig. 3-18 中) では 1.0  $\mu\text{m}$  厚以下で、更に 10 keV では 0.3  $\mu\text{m}$  以下で観察できた。この結果は Si 中の 1 次電子拡散のモンテカルロシミュレーションとほぼ一致した。最後にハロゲンランプの光学顕微鏡では、Si 基板厚が約 0.6  $\mu\text{m}$  以下になるとデバイスパターン構造が観察できた (Fig. 3-18 下)。

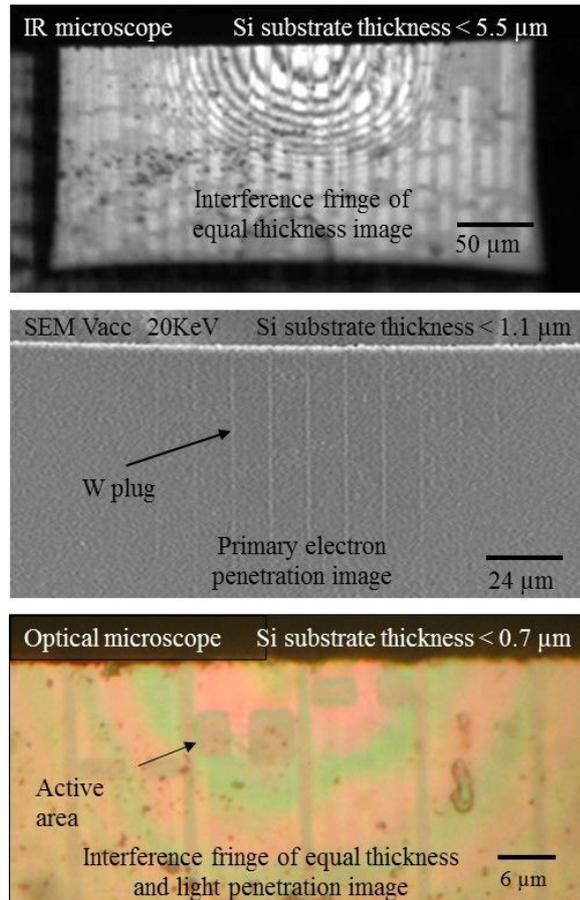


Fig. 3-18. Observation image from backside of the thin p-type Si substrate by each method; upper is the IR microscope, middle is the SEM, and lower is the optical microscope.

Fig. 3-19 に光学観察機器での等厚干渉縞が観察できる Si 基板厚と SEM の加速電圧の違いによる進入深さを組み合わせた Si 基板厚の推定方法についてまとめる。例えば、KOH 水溶液によるウェットエッチング後に、He - Ne レーザー顕微鏡と IR 顕微鏡の両方で Si 基板の等厚干渉縞を観察した場合、He - Ne レーザー顕微鏡でのみ等厚干渉縞が観察された場合は、Si 基板の厚さは約  $4.5\ \mu\text{m}$  ~  $8.5\ \mu\text{m}$  と推定される。KOH 水溶液によるウェットエッチングを追加した後、再度 He - Ne レーザー顕微鏡と IR 顕微鏡の両方で Si 基板の等厚干渉縞を観察し、両方の機器で観察された場合は、Si 基板の厚さが  $4.5\ \mu\text{m}$  以下に薄膜化されたことが分かる。更に加速電圧 30 KeV で SEM 観察し、タングステンプラグなどのパターンが観察できた場合は、Si 基板の厚さは  $2.2\ \mu\text{m}$  以下になっていることになる。これらの観察を組み合わせることで  $2.3\ \mu\text{m}$  以下 (Fig. 3-19 の点) の Si 基板厚さの推定が可能になり、Si 基板裏面から可視光を用いた発光スペクトル解析が可能になる Si 基板の厚さを推定することができる。

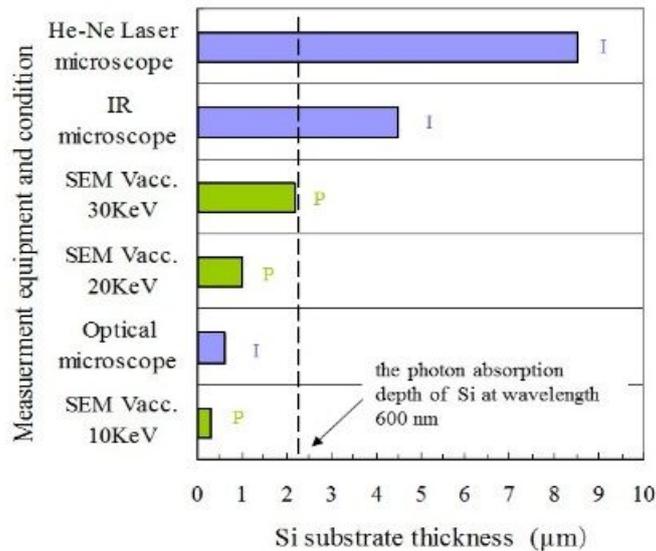


Fig. 3-19. Calculation of p-type Si substrate thickness range and measure method by each type of equipment, (I) Interference fringe of equal thickness observation method and (P) Primary electron depth measure method.

### 3-5. 実デバイスでの Si 基板裏面からの発光スペクトル解析事例

この技術を用いて Si 基板裏面からの発光スペクトル解析による故障モードの推定が可能か否か故障デバイスを用いて評価した。2つのサンプルの評価結果を示す。1つ目は、CDM 試験で故障した Dip タイプパッケージの  $0.35 \mu\text{m}$  プロセスノードの LOGIC 製品で、他方は、 $0.18 \mu\text{m}$  プロセスノードの LOGIC 製品でウェハーテストでの不良品である。後者の不良品は、PEM 発光解析を容易にするため、QFP パッケージに再実装した。ともに高温の発煙硝酸を用いてプラスチックパッケージの裏面側を除去し、ダイパッドを外して Si 基板を露出させた。故障箇所を特定するため、裏面発光解析を行い、故障箇所を絞り込んだ。更に詳細な故障箇所情報を得るために平面研磨法で Si 基板厚が約  $80 \mu\text{m}$  程度になるまで研磨し、再度裏面発光解析を行った [14-16]。次に、発光箇所に対して Si 基板裏面からレーザー加工を実施した。レーザー加工条件は、先に決定したエネルギー密度  $25 \text{ J/cm}^2$ 、レーザーショット回数 150 回であり、処理エリアは  $30 \times 30 \mu\text{m}^2$  とした。この場合、レーザー加工時間は、1箇所当たり 3分程度である。最後に、 $85^\circ\text{C}$  の 24% KOH 水溶液で結晶異方性ウェットエッチングを行った。事前に Si 基板を  $80 \mu\text{m}$  まで薄膜化していたため、KOH 水溶液によるウェットエッチング時間は、Si 基板厚さ測定も含めて約 30 分で完了した。Fig. 3-20 (a)、(b) に CDM 試験により消費電流増加によって故障となったサンプルの Si 基板厚  $80 \mu\text{m}$  での Si 基板裏面発光と  $1 \mu\text{m}$  以下に Si 基板を薄膜化した後の Si 基板裏面発光と光学顕微鏡画像を示す。Fig. 3-20 (c) に示す様に薄膜化領域ではデバイス面のメタル配線パターンが Si 基板を通して光学顕微鏡で観察でき、Si 基板の厚さが  $1 \mu\text{m}$  以下であることが分る (Fig.3-19)。その結果、OBPF を用いた発光スペクトル解析から  $900 \text{ nm}$  波長の付近にピークを持つゲート酸化膜リークモードの発光スペクトルパターンを得た。追加の KOH 水溶液によるウェットエッチングで Si 基板を完全除去したところ、Fig. 3-21 に示す様にデバイスのパターン領域にゲ

ート酸化膜欠陥が観察された。今回、用いた検出器はイメージ増倍管検出器で OBPF を用いて分光する波長幅が 500 nm~950 nm であり、Si 基板の厚さが 1 $\mu$ m 以下であっても Si 基板での吸収により短波長側の発光強度は低下する。Fig. 3-5 の表面からのゲート酸化膜リークモードの発光スペクトルと比較しても 700 nm~800 nm の短波長側ほど発光強度が弱くなっているのが確認できる。しかし、900 nm で発光スペクトルがピークを持つ長波長側での特徴は変化しなかったため、Si 基板による発光の吸収を考慮した再度の補正は行なわなかった。この様に、物理解析結果と Si 基板裏面からの発光スペクトル解析から推定した故障モードが一致した。尚、KOH 水溶液によるウェットエッチングでは、Si 酸化膜をエッチングしないため、デバイスのパターンがエッチングされず、故障箇所が維持されている。

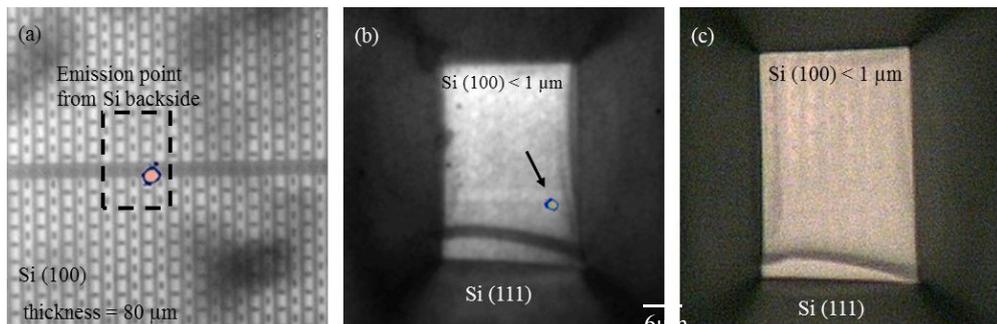


Fig. 3-20. Failure analysis results from backside of Si using local Si substrate thinning and spectral analysis of the 0.35  $\mu$ m process node device: (a) backside emission image at 80  $\mu$ m thickness Si substrate, magnification of 100, (b) backside emission image after thinning under 1  $\mu$ m thin thickness, magnification of 100 and (c) optical microscope observation image at thinning point, magnification of 100.

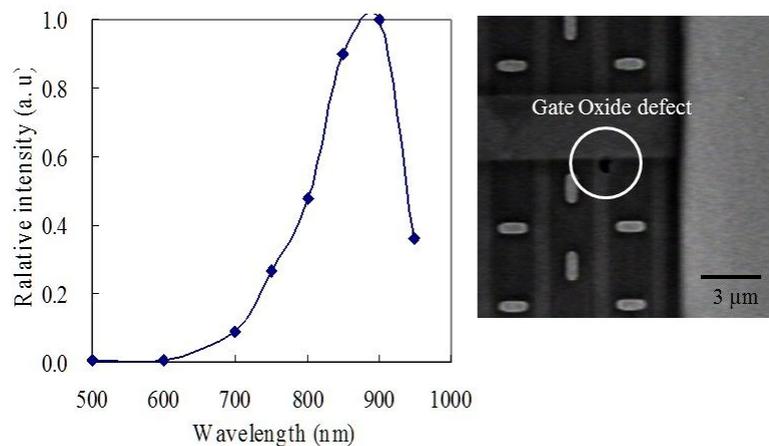


Fig. 3-21. Emission spectrum from backside of Si with OBPF and SEM observation image of gate oxide defect after Si substrate removal with additional KOH wet etching.

次に、ウェハーテストにおいて消費電流不良を示していたサンプルの解析結果を示す。Fig. 3-22 に示す様にいくつかの発光が観察されたため、2 箇所の強い発光箇所 (A) と (B) に対して Si 基板の薄膜化と Si 基板裏面発光スペクトル解析を行った。Fig. 3-23 に示す様に発光箇所 A は、900 nm 付近にピークを持たない N-ch MOSFET Idsat 電流によるホットキャリア発光のスペクトルパターンを示し、発光箇所 B は、約 900 nm の波長でピークを持つゲ

ート酸化膜リークのスpekトルパターンを示した。KOH 水溶液によるウェットエッチングを追加し、露出したパターン面を観察したところ、発光箇所 A では、NOR 回路の P-ch MOSFET と N-ch MOSFET 間の貫通力電流によるダメージが、発光箇所 B ではゲート酸化膜欠陥が観察された。この解析例においても、短波長側での Si 基板の吸収による発光強度の低下が観察されたが、長波長側で見られるゲート酸化膜リークモードとゲート電極のフローティングモードによる N-ch MOSFET  $I_{dsat}$  電流によるホットキャリア発光スペクトルの特長は、変化しなかった。先の故障解析結果と同様に OBPF を用いた Si 基板裏面からの発光スペクトル解析から推定した故障モードと一致した。この様に Si 基板薄膜化技術により Fig. 3-3 で示した発光スペクトル解析が Si 基板裏面から可能になった。

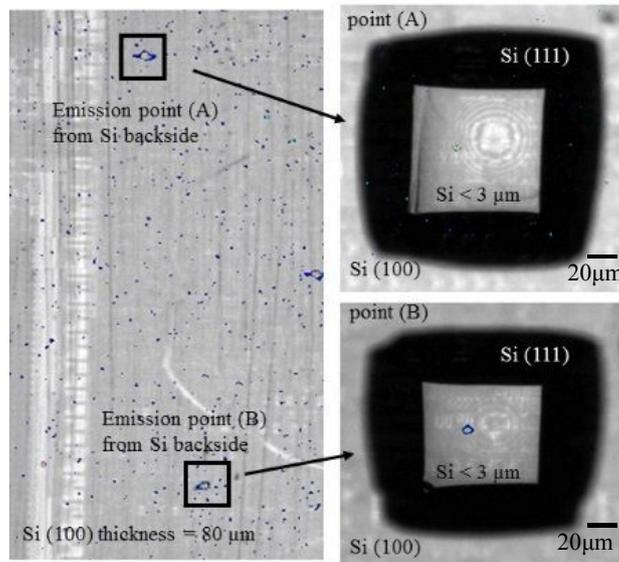


Fig. 3-22. Failure analysis results from backside of Si using local Si substrate thinning of the 0.18  $\mu\text{m}$  process node device: Backside emission analysis result of points (A) and (B) from 80  $\mu\text{m}$  and less than 3  $\mu\text{m}$  p-type Si substrate thickness. Lens magnification of 5 and 20.

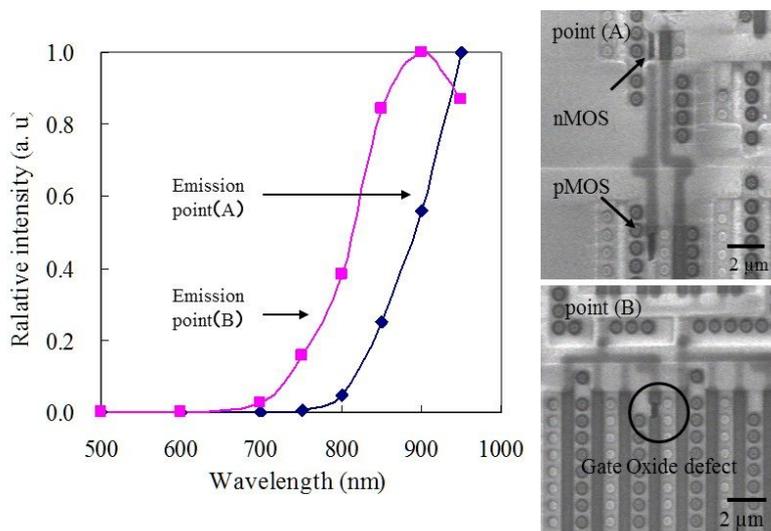


Fig. 3-23. Emission spectrum from backside of Si with OBPF and SEM observation image after Si substrate removal with additional KOH wet etching of emission points (A) and (B).

### 3-6. 結論

OBPF を用いた発光スペクトル解析は、半導体デバイスの故障モード推定に有効であった。pn 接合の逆バイアス電流のスペクトルは、600 nm～1000 nm の範囲でブロードな発光スペクトルを示し、ゲート酸化膜リークの発光スペクトルは 700 nm 以上で強くなり 900 nm 付近でピークを持つスペクトルとなった。また、N-ch MOSFET  $I_{dsat}$  電流によるホットキャリア発光もゲート酸化膜リークのスペクトル同様に 800 nm 以上で強くなるが、ゲート薄膜リークの発光スペクトルに見られたピークは観察されなかった。この OBPF を用いた発光スペクトルは、分光器を用いたスペクトルと同じ傾向を示した。更に PEM 観察時の印加電圧を上げた際に増加する発光数（光子数）は累乗近似曲線で近似され ( $Y = aX^b$ ) その傾き  $b$  は、個々の故障モード特有であることが分かった。pn 接合リークの場合、傾き  $b$  は 10～20 を示し、ゲート酸化膜リークの場合は約 15～19、メタル配線間の短絡の場合は少し高く 19～26 を示した。一方、N-ch MOSFET  $I_{dsat}$  電流によるホットキャリア発光は 10 未満であった。これらの 2 つ技術は、半導体デバイスの代表的な故障モードの推定に有効である。次に、Si 基板裏面発光スペクトル解析のための広範囲でダメージの無い任意箇所の Si 基板薄膜化技術を開発した。この技術は、266 nm DUV パルスレーザーアブレーション加工と KOH アルカリ性水溶液による Si 基板の結晶異方性ウエットエッチを組み合わせたもので、約  $2.6 \times 2.6 \text{ mm}^2$  のダメージの無い薄膜領域を得ることができた。更に光学顕微鏡による等厚干渉縞形成と SEM の 1 次電子貫通深さの組合せにより、厚さ  $2.3 \text{ }\mu\text{m}$  以下の Si 基板の非破壊膜厚推定方法を提案した。これらの技術を用いて、故障デバイスの Si 基板裏面からの発光スペクトル解析によって故障モードを推定することに成功した。

## 参考文献

- [1] J.M. Tao, et al., IRPS, 1996, pp. 360-365.
- [2] Silke Liebert, *Microelectronics Reliability*, 41, 2001, pp. 1193-2101.
- [3] SL Tan, et al., Proc. 33<sup>rd</sup> ISTFA, 2007, pp 81-85.
- [4] Arkadiusz Glowacki, et al., Proc. 36<sup>th</sup> ISTFA, 2010, pp. 176-180.
- [5] Mario Paniccia, et al., *Microelectronic Engineering*, 46, 1999, pp. 27-34.
- [6] Charles F. Hawkins, et al., Proc. 16<sup>th</sup> ISTFA, 1990, pp. 55-65.
- [7] T. Wallinger, Proc. 17<sup>th</sup> ISTFA, 1991, pp. 325-334.
- [8] Len WB, et al., Proc. 29<sup>th</sup> ISTFA, 2003, pp. 311-316.
- [9] Daniel L. Barton, et al., Proc. 25<sup>th</sup> ISTFA, 1999, pp. 57-67.
- [10] EDFAS Desk Reference Committee, ed. Desk Reference Fifth Edition, ASM International, 2004, pp. 347-377.
- [11] F. Beaudin, et al., Proc. 30<sup>th</sup> ISTFA, 2004, pp. 552-557.
- [12] H. Schroder, et al., *Journal of Micro mechanics and Micro engineering*, vol. 9, Number 2, 1999, pp. 139-146.
- [13] H. Schroder, E. Obermeier, Degeneration of convex corners at misaligned etch mask edges”, 2<sup>nd</sup> Workshop on Physical Chemistry of Wet Chemical Etching of Silicon, May 2000, pp. 15-16.
- [14] Silke Liebert, Proc. 26<sup>th</sup> ISTFA, 2000, pp. 177-185.
- [15] Frank Zachariasse, Proc. 27<sup>th</sup> ISTFA, 2001, pp. 237-241.
- [16] Seth Prejean, et al, Proc. 28<sup>th</sup> ISTFA, 2002, pp. 317-323.

## 第4章 下層バリア TiN 膜と上層 TEOS 酸化膜の複合要因による Al 膜中ボイド故障メカニズム

### 4-1. 背景

半導体製造工程における SM による Al 配線中のボイド形成は、LSI デバイスの信頼性において主要な問題の 1 つである。これまで多くの研究によりこの問題が調査され、その現象や原因が明確化されてきた[1、2]。その調査は、150～175℃の低い温度の保存試験でのボイド発生メカニズムと広い温度範囲、特に > 300℃ の高い温度における発生メカニズムである。Al 配線が CVD 酸化膜により被膜する時、CVD 酸化膜は 300℃ 以上の高温で成膜され室温に戻る。Al 配線の熱膨張係数は CVD 酸化膜の熱膨張係数よりも高いため、冷却過程でこの大きな熱膨張係数のミスマッチから大きな熱応力が発生する。即ち、Al 配線のボイドは CVD 酸化膜のウェハープロセス条件に依存する。しかし、SM は、Ti や W などの高融点金属膜による多層膜化や少量の銅の Al 中への添加により抑制できる[3-4]。更に CVD 酸化膜の成膜温度の低温化や成膜時間を短くすることで残留応力を低減させることも SM 対策の 1 つになる。

本章では、5 $\mu$ m 以上の幅の広い Al 配線での高温プロセス (> 300℃) 工程で発生する SM による新たなボイド発生メカニズムを明らかにする[5]。

### 4-2. 実験方法

Al 配線のボイドは、Al 膜の成膜条件、下層バリア膜、上層 CVD 酸化膜に依存することが知られており、今回は Table 4-1 に示す評価サンプルを作成した。6 インチ Si 基板上に NSG/BPSG 膜を成膜した後、Al 膜を成膜しパターンニングを行った。Al 配線構造は下層から TiN/Al-1% Si-0.5% Cu/ARC-TiN の積層構造で、膜厚はそれぞれ 40 nm/660 nm/30 nm である。Al 配線の下層バリア層の Ti 膜は、Si 基板とのコンタクト部分の低抵抗化の目的で窒素雰囲気中で RTA 処理 30 秒を行ったため、Ti 膜は TiN 化している。Al 膜は、スパッタ方式により 150℃ の低温プロセスで成膜した。上層の ARC-TiN 膜は反応性スパッタ法で成膜し、その上層には、PE-TEOS 法により 500 nm の TEOS 酸化膜を成膜した。評価サンプルは、RTA 処理の有無、RTA 処理温度 (760℃ と 810℃)、PE-TEOS 膜成膜温度 (330℃ と 390℃) などを組合せ、全部で 6 サンプルを作成した。Al ボイドの形成と観察は顕微鏡型加熱装置(ジャパンハイテック社製 10016)を用いた。直径 10mm のサンプル加熱用カップを光学顕微鏡ステージに設置する事で追加の熱処理を行いながら最大 1000 倍の倍率でボイドの形成過程を観察できる。詳細なボイド形状等については、上層膜を RIE 装置(日本サイエンテフィック社製 ES317)でエッチングした後 SEM(日本電子社製 JSM7800)観察等を行った。Al 膜の結晶性やグレインサイズ、Si ノジュールの測定には、SEM-EBSD 法(TSL ソリ

ューションズ社製 OIM) や FIB (SII 社製 SMI8002) 観察を用い、下層 TiN 膜評価には XRD 法 (リガク社 Smart Lab) を用いた。膜応力測定には薄膜応力測定装置 (KLA Tencor 社製 FLX-2320-S) を用いた。

Table 4-1. Evaluation sample condition and void observation results.

Sample	sample condition		void observation results (after 450°C 15min.)		
	Ti barrier film RTA temp.(°C)	PE-TEOS SiO <sub>2</sub> deposition temp.(°C)	A-type void (number /440 × 28μm <sup>2</sup> )	B-type void (number /440 × 28μm <sup>2</sup> )	C-type-void (number /936μm length)
1	No	390	0	0	0
2	760	390	2	0	42
3	760	No	0	0	0
4	810	390	0	0	10
5	No	330	0	0	0
6	760	330	8	3	176

#### 4-3. Al 膜中ボイドの特徴

一般的な SM による細い Al 配線エッジ部に発生するノッチ型ボイドを Fig. 4-1 に示す。ノッチ型ボイドは、熱応力緩和のため Al の結晶粒界に沿って発生している。

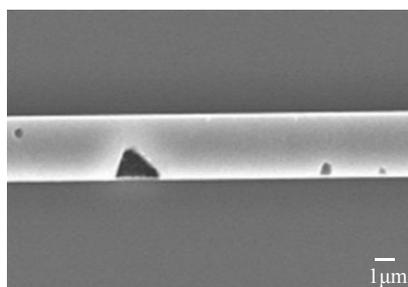


Fig. 4-1. Notch type void at narrow Al metal line by low temperature mode stress migration.

一方、今回、発生メカニズムを調査した Al 配線内部やエッジ部に見られたボイド例を Fig. 4-2-1 に示す。ボイドは、5 μm 以上の幅の広い Al 配線でのみ発生し、Al 結晶粒界に沿ったスリット状では無く、その大きさは様々であり、大きいものでは、直径が 3 μm 程度に至るものも存在した。更に Si ノジュールがボイド内に存在する特徴がある。次に別のタイプのボイドを Fig. 4-2-2 に示す。このボイドは Fig. 4-2-1 のボイドとは異なり、大きさが更に大きくなり 5 μm 以上に達するものもある。その形状から複数の Al グレインが関係していることと Al 膜表面が変化していることが特徴である。SEM-EDX 分析からこのボイド内にも Si ノジュールの存在が確認できた。最後に Fig. 4-2-3 にエッジ部に発生したボイドを示す。

スリット状ボイドや配線内部に伸びる様なボイド等も観察されているが、エッジ部のボイドではSi ノジュールは、観察されなかった。Fig. 4-2-4 にはボイドの断面 SEM 写真を示す。ボイドの大きさは約 2  $\mu\text{m}$  と大きく、ボイド中心付近に Si ノジュールが存在している。尚、今後、Fig. 4-2-1 に示した多角形型のボイドで Al 表面の変化を伴わないボイドを A タイプボイドと呼び、Fig. 4-2-2 に示した Al 表面の変化を伴うボイドを B タイプボイドと呼ぶ。Fig. 4-2-3 の配線のエッジ部に発生するボイドは C タイプボイドと呼ぶ。

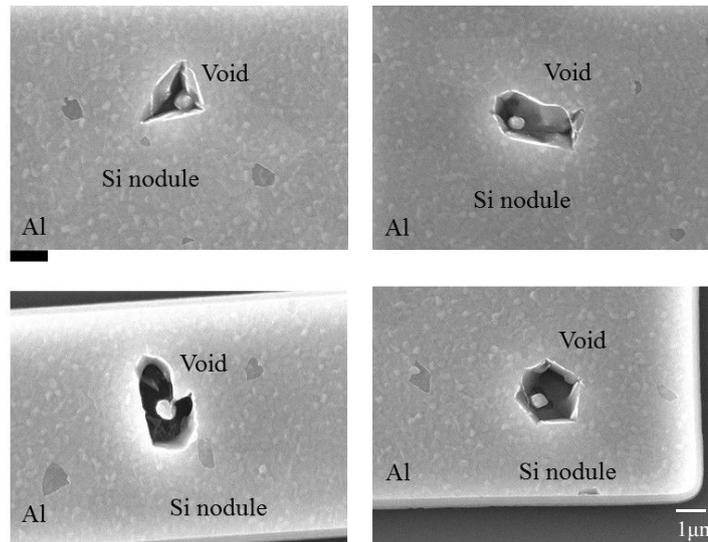


Fig. 4-2-1. Polygon type void without the surface deformation (It will be referred to as the A-type void).

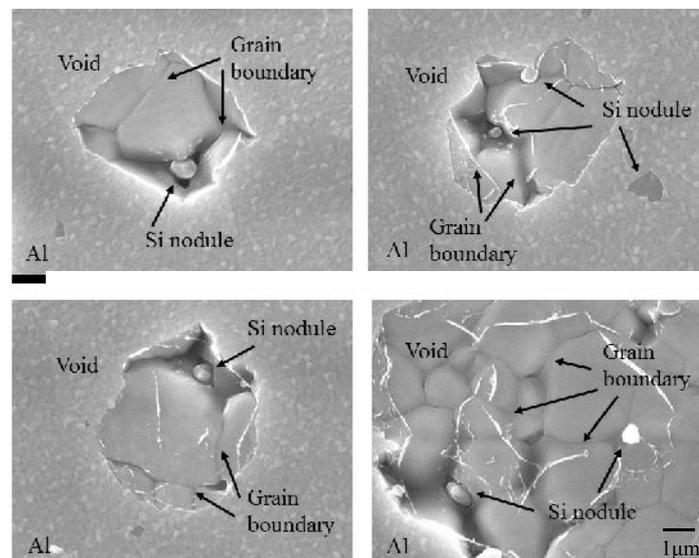


Fig. 4-2-2. Void accompanied with deforming the surface of Al (It will be referred to as the B-type void).

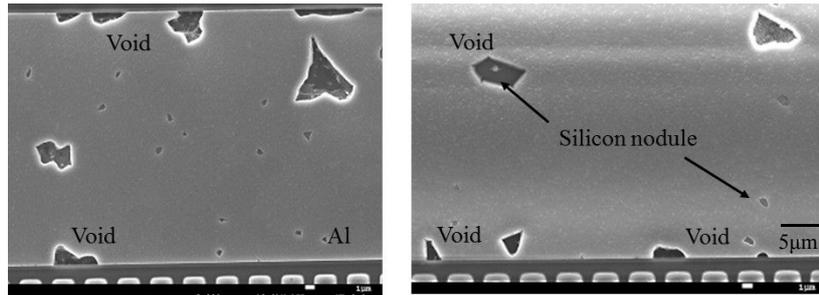


Fig. 4-2-3. The Void formed at the edge of Al line (It will be referred to as the C-type void).

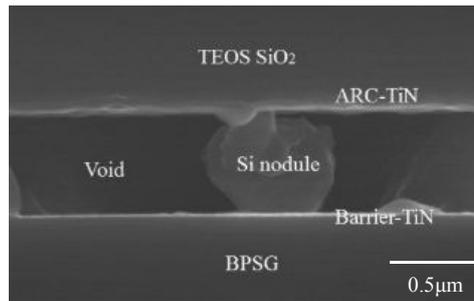


Fig. 4-2-4. Cross-sectional SEM observation result of the void

#### 4-4. Al 膜中ボイドの観察

450°C 15 分の追加熱処理後のボイド観察結果を Fig. 4-3 に示す。ボイドは昇温時には発生せず、450°Cに達した直後にボイド形成が始まり、降温時にもボイドの増加や減少は見られなかった。Fig. 4-3 に示す様にボイドはサンプル 2、4、6 のみ発生した。A タイプボイド、B タイプボイド、C タイプボイドの全てのボイドが、上層 TEOS 酸化膜成膜温度 330°C のサンプル 6 で最も多く発生し、次に上層 TEOS 成膜温度が 390°C で下層バリア Ti 膜の RTA 処理温度が 760°C のサンプル 2 で多く、RTA 処理温度が 810°C のサンプル 4 ではボイドの発生は少なくなった。この様に、A タイプボイド、B タイプボイド、C タイプボイド形成には上層の TEOS 酸化膜と下層バリア Ti 膜の RTA 温度が影響していた。

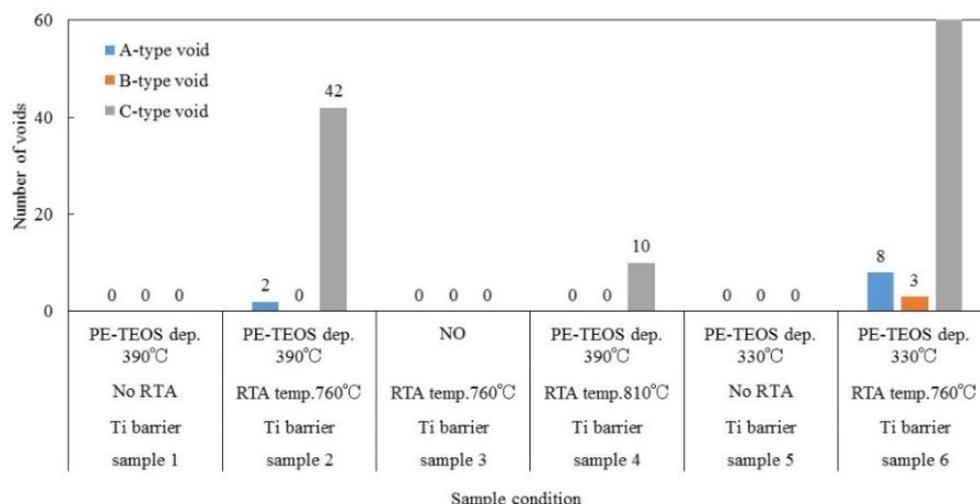


Fig. 4-3. The number of the voids of each sample condition after the additional heat treatment at 450 °C for 15 min.

次にボイドの形成が 450°C 保持状態でのみ観察されたため、サンプル 2、4、6 の追加熱処理温度とその保持時間とボイド数の変化を調査した結果を Figs. 4-4、4-5 に示す。Fig. 4-4 に示す様に、追加熱処理時間 1 分の場合、360°C ではボイドが発生せず 420°C 以上でボイドが発生しボイド数は熱処理温度に依存し増加したが、サンプル 1 では A タイプボイド、B タイプボイドともに発生しなかった。熱処理時間が 1 分であっても上層 TEOS 酸化膜成膜温度 330°C のサンプル 6 でボイドの発生が顕著であった。次に Fig. 4-5 に示す様に、追加熱処理時間を 30 分に延ばすとボイドの発生温度は 360°C まで低下し、低温でも長時間ストレスが掛かり続けるとボイドが発生し始めることからこのボイドの形成がクリープ現象の可能性があることが分かったが、ボイド数が時間に依存して増加する傾向に無く、逆に上層 TEOS 酸化膜成膜温度が 330°C のサンプル 6 ではボイド数が減少する傾向が見られた。更にサンプル 1 では、追加熱処理時間を長くしても A タイプボイド、B タイプボイドともに発生しなかった。この様に各ボイドは追加熱処理温度が安定した直後に発生し始め、時間経過とともにボイドの形状は変化するが、新たなボイドの発生は見られないことから、ボイド発生箇所は追加熱処理状態中に形成するのではなく、追加熱処理以前にボイドの起点はすでに決定されており、下層バリア Ti 膜の特性と関係しながら他のボイド形成要件が揃った箇所から順次発生するものと考えられる。Fig. 4-5 に示したサンプル 6 の熱処理温度が 480°C で各ボイド数が減少したのは、Al の熱膨張により一部の箇所でボイドの形成が抑制されたものと考えられ、サンプル 6 はボイドが成長するための起点となる要因が他のサンプルに比べ揃い易いと考えられる。

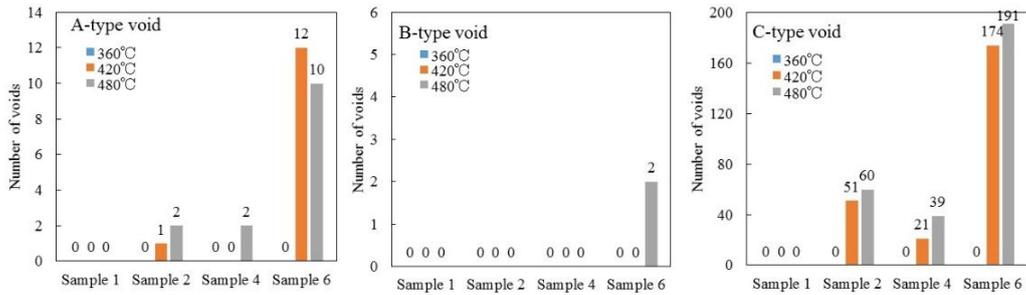


Fig. 4-4. The relationship between the additional heat treatment and the number of voids with samples 1, 2, 4, and 6 (additional heat treatment time of 1 min).

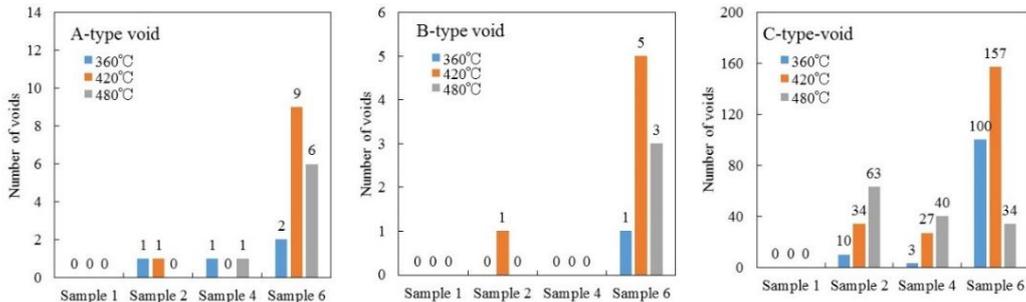


Fig. 4-5. The relationship between additional heat and number of voids with samples 1, 2, 4, and 6 (additional heat treatment time of 30 min).

## 4-5. Al 膜の特性

### 4-5-1. Al 膜中の Si ノジュールと Al 膜のグレイン

A タイプポイド、B タイプポイドが Si ノジュールを核として形成されており、ポイドの起点が追加熱処理以前に決定されている可能性を考えると、追加熱処理での Al 膜中の核となる Si ノジュールの変化が影響していると考えられる。Si ノジュールは Al 膜に対して過飽和な Si が膜界面や粒界に析出するもので、Al に対して Si の固溶度は常温で 0.25 wt% 以下であるため、Al-1%Si-0.5%Cu の Al 膜では常温では過飽和な状態になっている。Si ノジュール数は、TEOS 酸化膜と ARC-TiN 膜を RIE 法で除去した後、Al 表面に露出している Si ノジュール数を FIB の SIM 像から計測した。SIM 像は導体と不導体のコントラストが大きいため、導体の Al 膜中の Si が明確に観察できる。一方、グレインサイズの測定には、FIB のチャネリング法を用いた。Fig. 4-6、Table 4-2 に示す様に下層バリア Ti 膜の RTA 処理をしていないサンプル 1、5 では表面 Si ノジュールは全く観察されず、これらのサンプルでは、ポイドも発生していない。一方、ポイドが発生したサンプル 2、4、6 では、ポイドの核と成り得る Si ノジュールが追加熱処理前後で存在している。サンプル 2、4 とサンプル 6 を比較すると上層 TEOS 酸化膜成膜温度が Si ノジュールの減少率に影響していることが分かる。

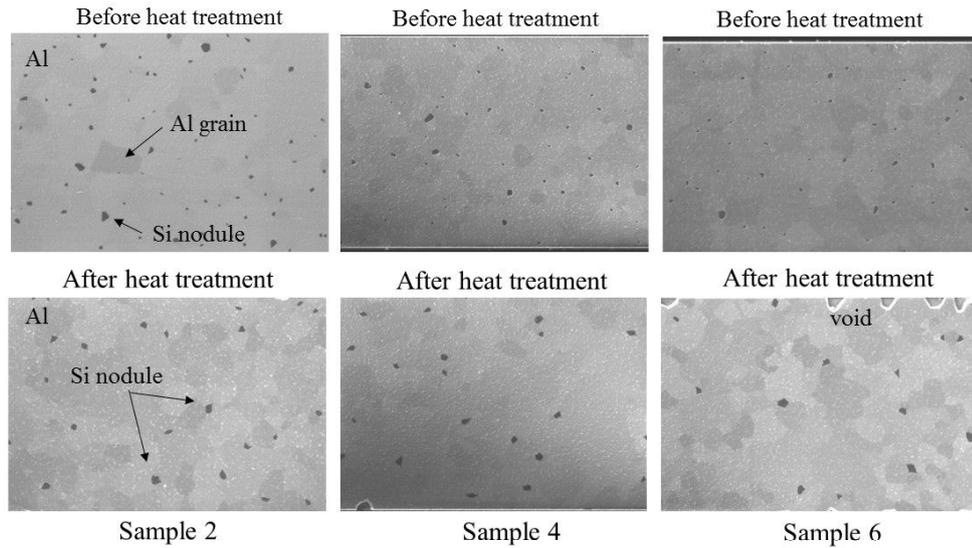


Fig. 4- 6. FIB observation results of Si nodules before and after the additional heat treatment at 450°C for 30 min with samples 2, 4, and 6.

Table 4-2. The Change of the number of Si nodules before and after the additional heat treatment for 30 min at 450°C.

Sample	Si nodule (number/100 $\mu\text{m}^2$ )		
	Before heat treatment	After heat treatment	Decrease rate (%)
1	0.0	0.0	0.0
2	6.0	1.8	71.0
3	5.6	1.6	71.1
4	6.2	1.9	69.8
5	0.0	0.0	0.0
6	6.4	1.4	77.9

ここで、追加熱処理前後の Si ノジュール減少率と A タイプボイド数、B タイプボイド数の関係を Fig. 4-7 に示す。追加熱処理後の Si ノジュール数と A タイプボイド数、Si ノジュール減少率と A タイプボイド数、B タイプボイド数には相間が見られ、ボイド形成には Si ノジュールが関与していることが分かった。

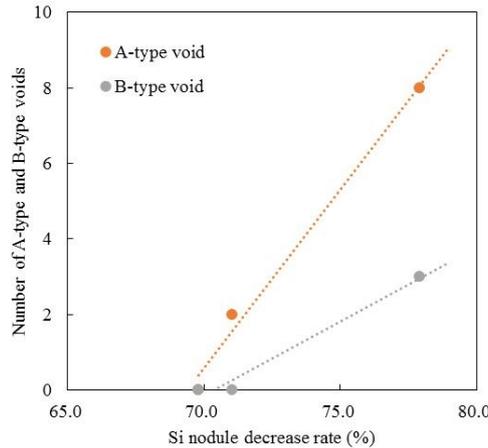


Fig. 4-7. The relationship between the Si nodule decrease rate after the additional heat treatment and the number of A-type and B-type voids.

従って、Si ノジュールの固溶や再析出が下層バリア TiN 膜や上層 TEOS 酸化膜の成膜温度の影響を受けることから、ボイドの形成条件として下層バリア Ti が窒化されることと上層 TEOS 酸化膜の成膜温度が低いことが考えられる。顕微鏡加熱装置でのボイドの形成過程の観察からボイドは、450°Cの高温保持状態で発生するため、この高温状態での Si の状態を考える。過飽和 Si が完全に固溶するか否かは熱処理前の Si ノジュールのサイズと加熱温度に依存する。小さな Si ノジュールは、高温で完全固溶した後、降温時に完全固溶しなかった比較的大きな Si ノジュールを核として再析出するため、熱処理後に大きく成長している Si ノジュールは、高温時に固溶しなかった Si ノジュールと見なせ、Fig. 4-6 のサンプル 2、4、6 の追加熱処理後には成長した Si ノジュールが見られることから、サンプル 2、6 では、450°Cの高温状態でも Si ノジュールが存在していたと考えられるが、その数はサンプル 2、4、6 で大差は無い (Fig. 4-6)。先の Figs. 4-4、4-5 で示した様に、追加熱処理前にボイドの発生起点が決まっていると述べたが、その発生起点は 450°Cの状態が存在する Si ノジュールだと考えられるとしても、サンプル 6 のみボイドが多く発生する現象は、Si ノジュール数からだけでは説明できない。但し、Table 4-2 のサンプル 3 を見るとサンプル 2 と同程度 Si ノジュール数が減少している。即ち、Si ノジュールの形成には下層バリア TiN 膜の膜質が影響しており、下層バリア TiN 膜がボイド形成に必要な Si ノジュールの形成に関与していると考えられる。次に、ボイドの核となる Si ノジュールが観察されなかったサンプル 1、5 について下層バリア Ti (N) 膜と Al 膜層との界面について 450°C 30 分の追加熱処理後の TEOS 酸化膜、ARC-TiN 膜除去後の FIB による SIM 観察結果と Al 膜を 1% NaOH 水溶液でエッチングした後の下層バリア Ti (N) 膜表面の SEM 観察を行った。Fig. 4-8 に示す様に、RTA 処理により TiN 化を行っていないサンプル 1 では、下層バリア Ti 膜と Al 膜間の合金化が進み、Al 粒界に沿って Ti 膜表面全面に薄い合金層が形成されている。これらは Ti-Al-Si の 3 元系合金である可能性が高く、この合金の形成によりボイドの形成の核となる単独の Si ノジュールが形成されず、ボイドの発生を抑制したものと考えられる [15]。

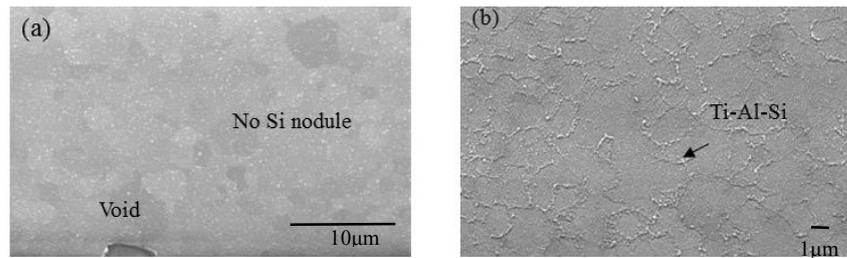


Fig. 4-8. Ti barrier surface SEM observation results of sample 1 after the additional heat treatment at 450 °C for 30 min.

#### 4-5-2. Al 膜の結晶方位測定

次に、RIE 法により上層 TEOS 酸化膜を除去した追加加熱処理前のサンプルについて Al 膜の結晶配向性について SEM-EBSD 法を用いて調査した[16]。尚、Al 膜は fcc 構造である。Fig. 4-9 に極点図を示す。極点図から ND 方向である [001] 方向では、ほぼ 100 % で Al は (111) 結晶配向しており、その強度を示す指数はサンプル 2 が 16.9、サンプル 4 が 16.6、サンプル 6 が 16.1 でありボイドの多いサンプルでは ND 方向の Al (111) 結晶配向性が若干弱い傾向を示した。ここまでボイド形成と Si ノジュール、Al 膜の結晶配向性の関係を比較したが、サンプル 6 に多くのボイドが発生する明白な原因は明らかにならなかった。

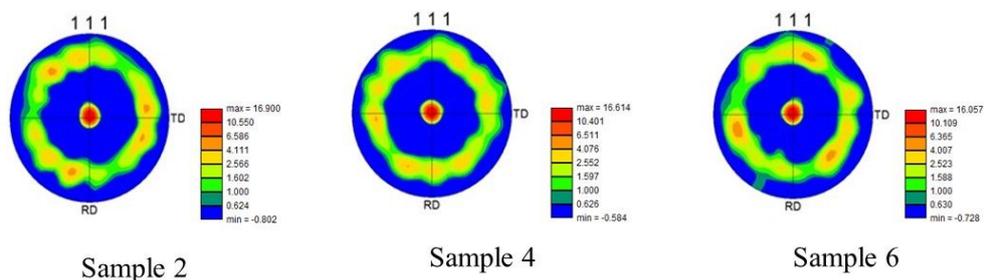


Fig. 4-9. SEM-EBSD reverse pole figure of normal direction (ND) [001] of Al with samples 2, 4 and 6

#### 4-6. 下層バリア TiN 膜の特性

##### 4-6-1. TiN 膜の結晶方位測定

下層バリア Ti 膜の TiN 化がボイドの発生条件の 1 つであることが分かり、更にサンプル 2 とサンプル 4 でボイドの発生に差異が見られることから、下層バリア Ti 膜の RTA 温度に着目して RTA 処理温度による TiN 膜の特性を比較した。100 nm 厚の SiO<sub>2</sub> 上に 40 nm 厚の Ti 膜をスパッタ法による成膜し、RTA 処理温度による TiN 膜の特性について XRD 法で確認した。Table 4-3 に示す様に熱処理前後のシート抵抗には RTA 処理温度による差異は見られませんが、積分強度から RTA 処理温度 760°C の TiN 膜の結晶化度が 1.2 倍高く、TiN (111) 結晶

配向比も 2.2 倍高い。逆に TiN (111) 結晶と TiN (200) 結晶のグレインサイズの変化率は RTA 処理温度 810°C の TiN 膜が高かった[10]。更に追加熱処理後の TiN (111) 結晶の残留ストレスも異なる。この様に、XRD 分析結果から、RTA 処理温度 760°C の TiN 膜は、結晶配向性が高いために、結晶配向性やグレインサイズ、膜ストレスの変化が起きにくい。一方、RTA 処理温度 810°C の TiN 膜は、結晶配向性が低いために再結晶化やグレイン成長が起き易く、TiN (111) 結晶の残留ストレスの低下は、これらの再結晶化やグレイン成長の結果と考えられる。更に RTA 処理温度 810°C の TiN 膜のシート抵抗が低いことは、N/Ti 比が高いことを意味する。この様に TiN 膜の結晶配向性の比較から RTA 処理温度による下層バリア TiN 膜の結晶構造の差異や追加加熱処理での結晶性やグレインの変化の差異が明らかになり、サンプル 4 とサンプル 6 のボイド発生数の差異に至ったものと考えられる。更に Al (111) 配向は下層 TiN 膜の (111) 配向に依存すると言われており、Fig. 4-9 に示す様にサンプル 2 の Al (111) 結晶配向強度がサンプル 4 や 6 に比べ高い値を示したのは、バリア TiN 膜の影響であると考えられる。但し、Al の結晶性は下層 TiN の影響を受けるが Si ノジュール生成には影響しない[11、12]。

Table 4-3. XRD measurement result of the TiN barrier film crystal characteristic before and after the additional heat treatment for 30 min at 450°C.

Heat treatment 450 °C for 30 min	Crystal orientation	Integration intensity of crystallinity			grain size (nm)			Changing of lattice spacing (%)(-:compressive)		
		Before	After	Rate of change(%)	Before	After	Rate of change(%)	Before	After	Rate of change(%)
TiN at RTA760 °C (26.5Ω/□⇒ 6.1Ω/□)	111	34.5	25.9	75	106.0	123.1	116	-0.78	-0.82	105.1
	200	24.1	25.1	104.1	104.1	97.6	93.8	-0.90	-0.80	88.9
	111/200 ratio	1.43	1.03	/	/	/	/	/	/	/
TiN at RTA810 °C (24.5Ω/□⇒ 5.5Ω/□)	111	20.9	14.2	67.9	95.1	118.9	125	-1.10	-0.57	62.7
	200	20.3	29.4	144.8	108.4	97.8	90.2	-0.80	-0.85	106.3
	111/200 ratio	1.03	0.48	/	/	/	/	/	/	/

#### 4-6-2. TiN 膜のストレス温度曲線測定

初めに TiN 単層膜の熱応力曲線を Fig. 4-10 に示す。ストレス温度曲線は窒素雰囲気中で室温から 450°C の範囲で 2 サイクルの測定を行った。尚、温度が 450°C に達した際に 30 分間保持した後、降温を開始した。膜ストレスは、ウェハの曲率半径からストーニーの式より応力を算出した。Si 基板のヤング率は  $1.9 \times 10^{11}$  Pa、ポアソン比は 0.28、Si 基板の厚さは、625 μm として計算した。測定直前の各膜応力は、シート抵抗値には大きな差異は見られないが、膜応力は RTA 処理温度によって異なり 760°C 処理の TiN 膜は高圧縮応力膜に対して 810°C 処理の TiN 膜は低引張応力膜であった。また、熱応力曲線は、Fig. 4-10 に示す様に Si 基板と TiN 膜の熱膨張係数の差異から RTA 処理温度が異なっても同じ傾きのリニアな変化であった。RTA 処理温度が 810°C の場合は低応力膜で常温の約 +0.6GPa の引張応力から約 -0.7 GPa の圧縮応力に応力方向が逆転したが 760°C の場合は常温の -1.8GPa から最大 -3.0 GPa の高圧縮応力膜となり、常に圧縮応力であった。Table 4-2 に示す様に、RTA 処理温度

810°CのTiN膜は結晶性が低く、グレインサイズも僅かではあるが小さいため、比較的膜密度が低いと考えられる。通常、熱処理温度が高い方がグレイン成長し易く、RTA処理温度760°Cに比べ、RTA処理温度810°Cの方がグレインサイズは、大きくなると考えられるが、RTAは熱処理時間が30秒と短く、温度差も50°C程度であったため、グレインサイズに大きな差異は発生しなかったと考えられる。更にスパッタ法によって成膜された金属薄膜は多くのAr原子を含有し、これらが内部圧縮応力の原因の1つと言われている。しかし、これらのAr原子は、加熱処理過程で粒界から放出される。従って、RTA処理温度810°CのTiN膜は760°C処理のTiN膜に比べ処理温度が高いために、内部残留Ar原子濃度が低いと考えられ、更にTiN膜の真性応力は、膜組成で変わりN/Ti比が1に近づくほど小さくなるという報告もある。[13、14]。

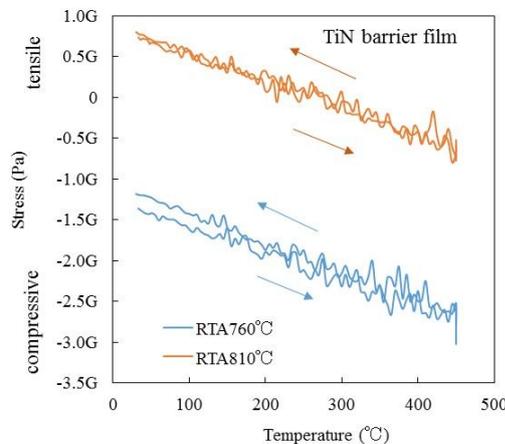


Fig. 4-10 the stress-temperature curve of single layer TiN film on SiO<sub>2</sub> film.

次に、熱応力温度曲線について詳しく比較したところ、Fig. 4-10 から RTA 処理温度 810°C の TiN 膜ではヒステリシスは見られないが、RTA 処理温度 760°C の TiN 膜ではヒステリシスを持っていた。Fig. 4-11 にボイドが形成される 450°C 保持中の下層バリア TiN 膜の応力変化を示す。450°C になった時点の熱応力値を 0 としてその後 30 分間の経時変化を示している。正の値は、初期値よりも圧縮応力が小さくなったことを、負の値は圧縮応力が大きくなったことを示している。RTA 処理温度 810°C の TiN 膜では 30 分の保持時間中、圧縮応力が増減を繰り返し 30 分経過後は、ほぼ元の圧縮応力値に戻っている。これは 450°C 保持中に大きな塑性変形を経ていないことを意味する。Table 4-3 に示す様に、450°C 30 分の追加熱処理前後の TiN 膜 XRD 分析比較から RTA 処理温度 810°C の TiN 膜では、熱処理後は TiN (111) / TiN (200) 結晶配向比が 1.03 から 0.48 に低下し結晶配向性比が変化し、同時に TiN (111) 配向の残留応力が半減した。これは未結晶部分が新たに結晶化することで膜の結晶構造を変化させたためと考えられ、平均結晶化度も僅かではあるが増加した。この様に RTA 処理温度 810°C の TiN 膜は、追加熱処理前に未結晶部分が多く存していたことより結晶配向性比が変化し易く、熱処理の応力を未結晶部が結晶化することで緩和したため、450°C 保持中の応力変化が少なく応力値が増減を繰り返したものと考えられる。一方で RTA760°C 処理の TiN 膜は、常に圧縮応力が大きくなる方向にのみ変化し、熱処理開始直後

と 15 分～18 分の間に 2 度、圧縮応力値が大きく変化し、その後 30 分までの間に少しずつ応力が元の状態に戻っている。これは熱処理開始直後と 15 分～18 分の間に 2 度の塑性変形を起した結果と考えられる。降温して常温に戻った時点では RTA 処理 760℃の TiN 膜は圧縮応力が約 11 % 大きくなった (Fig. 4-10)。Table 4-3 の 450℃熱応力測定前後の XRD 分析結果より 450℃の追加熱処理を行うことで RTA 処理 760℃の TiN 膜では TiN (111) /TiN (200) 結晶配向比が 1.43 から 1.03 に低下し TiN (111) 配向性が弱くなったが、優先配向の順には変化が無かった。RTA 処理 760℃の TiN 膜は、結晶化度が高いために結晶配向性比の変化が起き難く 450℃保持の応力緩和を塑性変形で行ったため、大きく圧縮応力値が変化したものと考えられる。この様に A タイプポイドや B タイプポイドの発生は、450℃保持の状態の下層 TiN 膜の塑性変形が起ることが原因と考えられる。

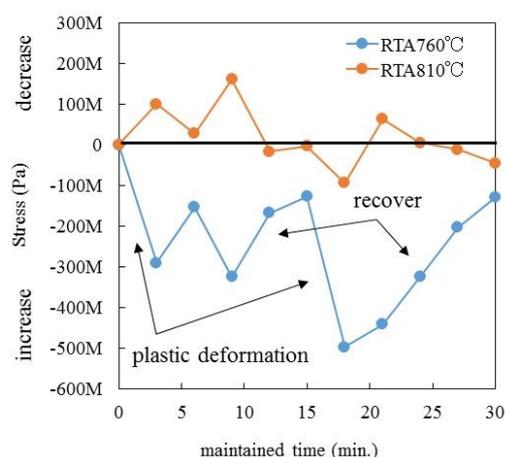


Fig. 4- 11. Change in stress during maintained temperature at 450 °C for 30 min of Single-layer TiN film.

#### 4-7. TEOS 酸化膜の特性

TEOS 酸化の熱応力温度曲線を Fig. 4-12 に示す。TEOS 酸化膜の成膜温度で大きな差異が見られた。成膜温度 390℃の TEOS 酸化膜は常に - 350 MPa ~ - 450 MPa の圧縮応力を示し、僅かな塑性変形が見られるものの熱膨張による弾性変形に近い熱応力特性であったが、成膜温度 330℃の TEOS 酸化膜は、低温時は 390℃成膜の TEOS 酸化膜と同程度の - 450 Mpa の圧縮応力曲線を示し、200℃付近で降伏点を迎え塑性変形を起した。その後、熱応力値の変化が大きくなり 450℃付近では圧縮応力が - 100 MPa まで低下し、常温に戻った時は、- 250 MPa の低圧縮応力 TEOS 酸化膜に塑性変形した。2 サイクル目では、若干の塑性変形が見られるものの弾性変形に近い熱応力曲線となり常温に戻っても応力値が 1 サイクル目の初期値である - 450 MPa に戻ることは無かった。

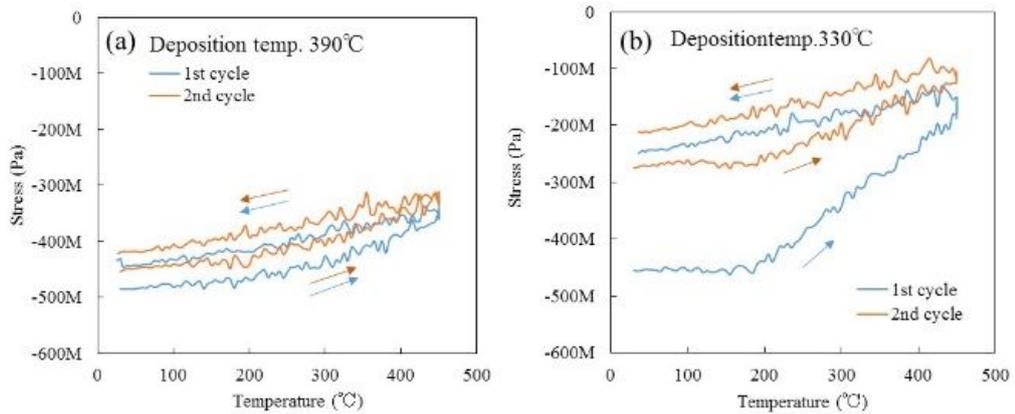


Fig. 4-12. The stress-temperature curve of PE-TEOS SiO<sub>2</sub> film with (a) deposition temperature of 390 °C and (b) deposition temperature of 330°C.

Fig. 4-13 に示す様に Al 膜の応力温度曲線と TEOS 酸化膜の応力温度曲線の関係を見ると、成膜温度 390°C の TEOS 酸化膜は常に Al 膜よりも高い圧縮応力を持つ関係にあるが、成膜温度 330°C の TEOS 酸化膜の場合、380°C 付近で Al の圧縮応力が TEOS 酸化膜の圧縮応力値を超えることが分かった。Fig. 4-13 から 2 回目以降の温度サイクルでは、250°C 付近から降温後の 400°C まで TEOS 酸化膜の圧縮応力値が低くなる関係になった。尚、A タイプポイドと B タイプポイドの発生最低温度は 360°C 付近 (Fig. 4-5) であったことから、1 サイクル目の応力の逆転現象が A タイプポイドと B タイプポイドの形成に影響していると考えられる。

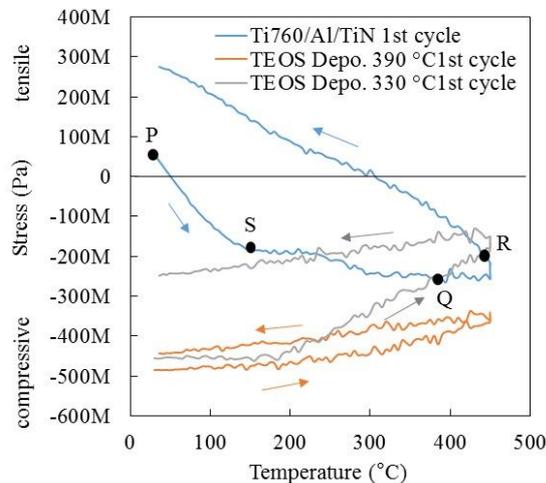


Fig. 4-13. The stress-temperature curve of PE-TEOS SiO<sub>2</sub> film and TiN/AlSiCu/ARC-TiN multilayer film.

更に上層 TEOS 酸化膜の応力変動の影響を調べるため、サンプル 2、4、6 の上層 TEOS 酸化膜を、RIE を用いてエッチングし、薄膜化しながら上層 TEOS 酸化膜の膜応力を低下させポイドの発生を調査した。Fig. 4-14 に示す様に A タイプポイドと B タイプポイドを合わせた全ポイド数は、エッチング時間によって変化することは無かったが (Fig. 4-14 (a))、B タイプポイド率が増加し A タイプポイド率が減少した。又、上層 TEOS 酸化膜が薄くなると

サンプル 2 やサンプル 4 でも B タイプポイド率がサンプル 6 と同程度になり、B タイプポイドは、より上層 TEOS 酸化膜の応力の影響を受けて形成されることが明らかになった (Fig. 4-14 (b))。

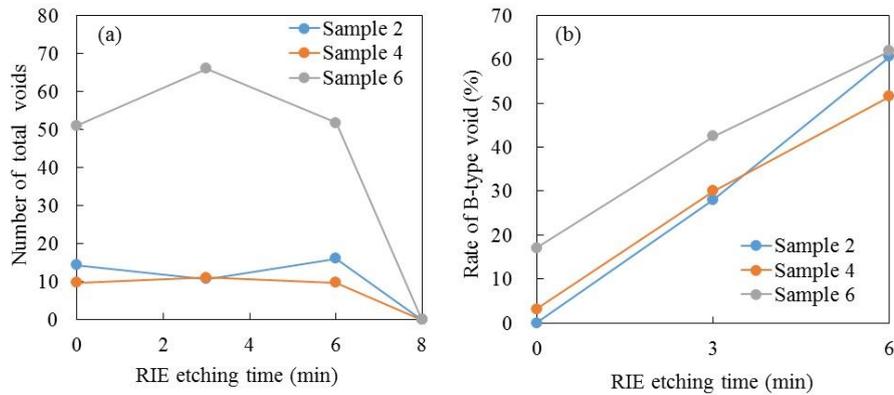


Fig. 4-14. The relationship between the PE-TEOS SiO<sub>2</sub> film stress and void formation after the upper PE-TEOS SiO<sub>2</sub> film thickness was reduced via RIE (samples 2, 4, and 6).

更に追加熱処理後の表面 SEM 観察を行うとエッチングを 6 分間行った場合には、B タイプポイドが形成される過程で Fig. 4-15 に示す様にポイド上の上層 TEOS 酸化膜が円状に剥がれる現象が起きた。ポイド上の上層 TEOS 酸化膜が剥がれる現象は、熱処理過程で Al 膜内部の空孔が粒界や粒内から拡散し Al 膜と ARC-TiN 界面に流入した結果である。更にエッチングを 8 分行うと上層 TEOS 酸化膜が無くなり ARC-TiN 膜が露出した状態になるが、この状態では A タイプポイドも B タイプポイドもともに発生しなくなった (Fig. 4-14 (a))。逆に成膜温度が 330°C の TEOS 酸化膜上に 500 nm の -350 MPa の TEOS 酸化膜を追加成膜した 2 層構造状態で追加熱処理を行うと、B タイプポイドの発生が無くなり A タイプポイドのみ発生した。この様に、A タイプポイドの発生と B タイプポイドの発生には関係があり、上層 TEOS 酸化膜の圧縮応力が低い場合は、B タイプポイドが発生し易くなり、圧縮応力が高くなると B タイプポイドが発生し難くなり A タイプポイドのみ発生するが、形成メカニズムは同じであることが分かった。この熱応力温度曲線の取得からサンプル 6 でポイドは多く発生する原因が明らかになった。

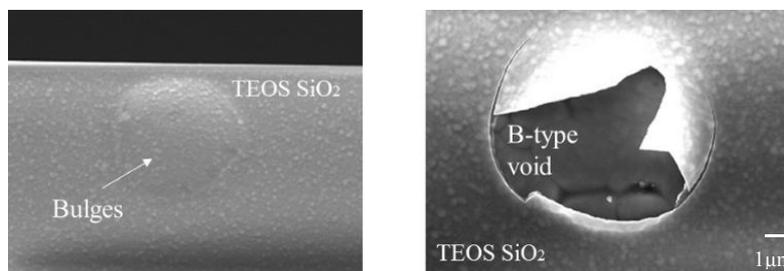


Fig. 4-15. Circular-shaped PE-TEOS SiO<sub>2</sub> film bulges after the additional heat treatment with 6 min RIE process sample.

#### 4-8. ボイド形成メカニズムの考察

熱処理サイクル中のボイドの形成メカニズムを考察するため、Al 膜中の空孔の発生について室温から 450°C に至る間と 450°C に至った後の保持時間中の空孔発生要因について考察した。Fig. 4-13 に示した様に、昇温過程で積層 Al 膜は、150°C の S 点付近で降伏点が存在し塑性変形を起こし、450°C までの間は Al 膜の応力は大きな変化をみせず、この間に再結晶化やグレイン成長による回復が起きている。従って、450°C に達した Al 膜中には塑性変形と回復に伴って発生した多量の空孔が既に存在する。次に、同じく Fig. 4-13 に示す様に成膜温度が 330°C の上層 TEOS 酸化膜の場合、積層 Al 膜は Fig. 4-13 の P 点から Q 点までは上層 TEOS 酸化膜から常に圧縮応力を受ける為、空孔の生成や拡散は抑制される (Fig. 4-16 (a))。しかし、周囲温度が Q 点を超えると上層 TEOS 酸化膜の圧縮応力が Al 膜の圧縮応力よりも小さくなり、Q 点から R 点では、逆に積層 Al 膜が上層 TEOS 酸化膜に圧縮応力を与える。即ち、上層 TEOS 酸化膜側と下層 BPSG/NSG 膜側で酸化膜の膜質や形状の差異により圧縮応力のミスマッチが発生し、その応力差により Al 膜中の Al(111) 結晶面に沿った転位層が Q 点以上の温度で発生する (Fig. 4-16 (b))。この応力差は 450°C までの間にさらに大きくなり、Al 膜中の転位層や欠陥が急激に増加する。同時に上層 TEOS 酸化膜の圧縮応力の低下により空孔の拡散も活発になる。この様に 450°C に至るまでの間に Al 膜中には多くの空孔の発生と拡散する要因が存在する。

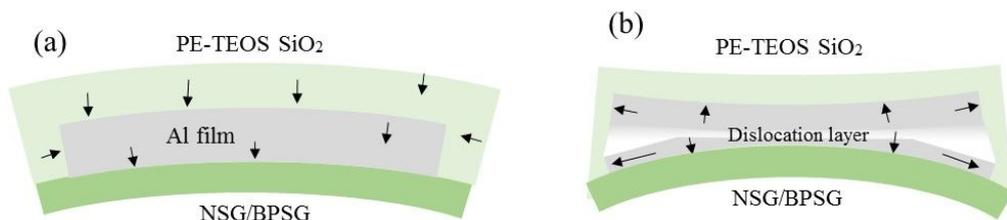


Fig. 4-16. Vacancy generation mechanism in Al film by difference PE-TEOS SiO<sub>2</sub> stress. (a) High compressive stress PE-TEOS SiO<sub>2</sub> film and (b) low compressive stress PE-TEOS SiO<sub>2</sub> film

次に、450°C に至った後保持時間中の空孔発生要因について考える。Fig. 4-11 に示した様に熱処理温度が 450°C に達すると 760°C で窒化させた下層バリア TiN 膜の場合、450°C 保持時間内に塑性変形が 2 回起きる。この塑性変形の回復過程で TiN 膜中には多くの空孔が発生し、これらが上層の Al 界面に拡散すると考えられる。Fig. 4-17 に 450°C 保持中の下層 TiN 膜の窒化処理温度による Al/TiN 膜の応力変化を示す。Fig. 4-11 と同様に、450°C に達した時点の積層 Al 膜の応力を 0 として 30 分間の応力変化を示している。ここでプラス側は圧縮応力が低下した事を示す。Fig. 4-17 に示す様に、810°C で窒化させた TiN 膜上の Al 膜の応力変化は、2 サイクル共、飽和する傾向が見られるが、760°C で窒化させた下層バリア TiN 膜上の Al 膜の圧縮応力は、2 サイクル共、時間と共に圧縮応力が減少し続ける傾向が見られた。この圧縮応力の低下傾向は、下層 TiN 膜の塑性変形とそれに伴う回復の影響と考えられる。更に、圧縮応力が低下する事は、Al 膜においても再結晶化やグレインサイズの変化などの膜構造の変化が起きており、Al 膜中においても空孔が発生している。この様に

450°C保持中においても空孔の発生要因が存在する。従って、 Fig. 4-11 の S 点から R 点に至る熱処理により、TEOS 酸化膜や下層 TiN 膜の影響を受けて通常の Al 膜の塑性変形に伴う空孔以上の空孔が Al 膜中に発生する[15]。

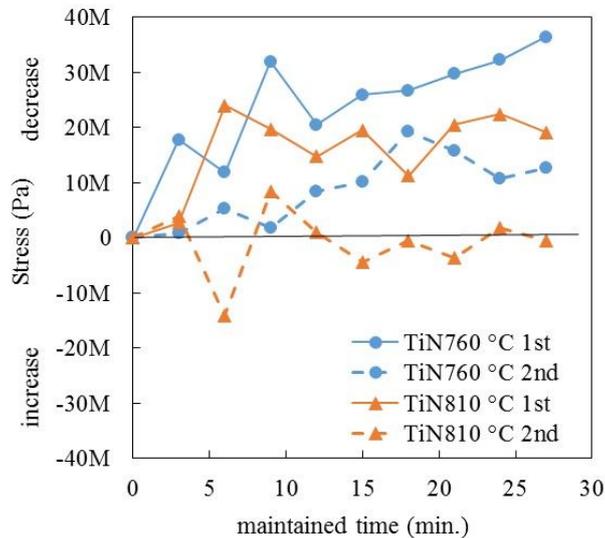


Fig. 4-17. Change in stress during maintained temperature at 450 °C for 30 min of multi-layer TiN(40nm)/ Al(660nm)film.

次に、空孔がポイドへと変化するメカニズムを考察する。Al 膜中には粒界や Si ノジュールが存在し、これらは応力勾配の原因となり高温化では Al 膜中での空孔の拡散が生じる。Al 膜中で発生した空孔は、熱処理温度の上昇に伴い増加しながら粒界や Si ノジュールによる応力勾配により拡散し粒界や Si ノジュール周囲が吸収源となって空孔が粒界や Si ノジュールの周囲に拡散し蓄積され空孔の集合体である小さな塊が形成される。この塊が更に応力勾配の原因となり、空孔の吸収源として働き、小さな塊から大きな塊へと成長するサイクルが形成され、大きなポイドへと成長する (Fig. 4-18)。A タイプポイドが Si ノジュールを中心に成長する理由は、大きな Si ノジュールが存在することで、Al 膜に対して歪が形成され、局所的な応力勾配が発生し、その応力を緩和するために空孔が優先的に蓄積されるからである [6]。また、TEOS 酸化膜の圧縮応力が低いと空孔は粒界から Al 膜と ARC-TiN 膜界面に拡散蓄積され、複数のグレインに及ぶ大きなポイドが形成される。この時、Al 原子はポイドと反対方向である Al 内部に向かって拡散し、上層のみ変形した B タイプポイド (Fig. 4-2-2) が形成される。配線エッジに発生する C タイプポイドが、Si ノジュールと無関係に発生する理由は、上層 TEOS 酸化膜の圧縮応力が低くなる事による応力ミスマッチ起因の応力勾配が配線端部で最大 (Fig. 4-16) になるためであり、多くの空孔が Al 配線側部と TEOS 膜の界面に蓄積されるためと考えられる。

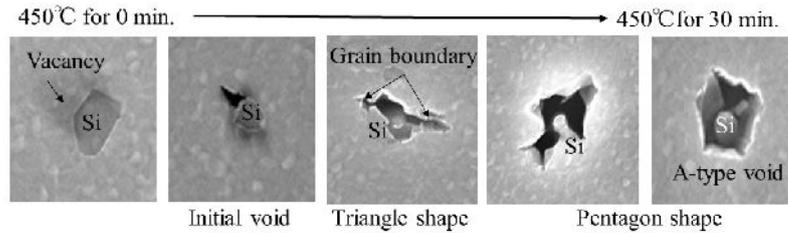


Fig. 4-18. Example of A-type void formation process during maintained temperature at 450°C for 30min (not same position).

#### 4.9. 対策

まず、バリア Ti 膜の使用目的を考えると、Si 基板とのコンタクト抵抗の低減、アルミスパイクの防止、EM、SM 耐性の向上など多くの目的が含まれている。また、バリア Ti 膜を RTA 処理で窒化処理する理由は、Al 配線形成後の TEOS 酸化膜形成の熱処理などで  $Ti_xAl_y$  合金層が形成され、メタル配線の高抵抗化を防止するためである。従って、RTA 処理温度は、得られる Si 基板とのコンタクト抵抗値で決定される。また、Table 4-2 に示した様に、RTA 処理 760°C と 810°C とでは、シート抵抗値にはほとんど差異が無く、コンタクト抵抗も大きな差異は発生しない。温度-応力曲線を取得しても、単層膜では大きな差異がある両者だが、厚い Al 膜との積層構造になるとその差異は見られなくなる。即ち、積層配線構造後に Al 配線と一体として評価すると、EM 耐性や SM 耐性を含めても差異は確認できない。しかし、TiN 単層膜の XRD 分析結果や温度-応力曲線を見ると明らかに両者の膜質は異なるため、単層膜としての特性データを取得しておくことは重要である。また、TiN 膜に求める機能・特性としては、RTA 処理温度が 760°C の TiN 膜でも全く問題無いため、RTA 処理温度を上げる判断は難しいが RTA 処理温度を上げることで、上層 TEOS 酸化膜成膜温度低下による Al ボイドの発生に対するマージンは確実に増える。

次に TEOS 酸化膜は、多層配線のバックエンドプロセスでは何度も使用されるため、デバイスへの熱ダメージを考慮すると成膜温度は低い方が良い。上述の様な 60°C の温度バラツキはプロセス管理上発生することはあり得ないが、枚様式の CVD 装置では、装置上の設定温度とウエハ温度に差異が発生することはあり得え、ウエハ内で温度分布が低下することもあり得る。TEOS 酸化膜の成膜温度が低下しても Fig. 4-12 に示した様に成膜直後の膜ストレスは大きな差にならないため、ストレス測定では、成膜温度が低下した事実は判断できない。しかし、成膜温度が低下すると膜の屈折率が低下しウエットエッチレートも早くなるため、このような膜質をモニタリングすることで TEOS 酸化膜成膜温度低下の発生の有無は検出できる。CVD 装置内で起きる異常は事前に取り除くことはできないため、処理後のウエハから異状を検知し、不良や規格外の製品の市場への流出を防止する必要がある。今回のケースでは熱処理後に Al ボイドが顕著になるため、上層 TEOS 酸化膜成膜後の熱処理後に外観検査を行うことでボイドの発生が検出でき、不良品や潜在的に故障原因を含んだウエハの市場への流出が防止できる。全てのプロセスが変動することを前提に、SM や EM に対してマージンがある方向に条件を設定することが、複合的な要因の故障発生の防止対策

である。複合的な要因で発生する故障には、メインとなる故障要因が必ず存在し、Fig. 4-3 からそれが TEOS 膜の成膜温度の低下あることが分かる。まず、第 1 にこのメインの故障要因をモニタリング技術により解消し、次に、サブとなる故障要因である Ti 膜の RTA 処理温度を高温化しマージンを確保する。

#### 4-10. 結論

5  $\mu\text{m}$  以上の幅の広い Al 配線で発生する Si ノジュールを核とした Al 配線ボイドの形成の原因とそのメカニズムについて考察した。Al 配線ボイドの形成には下層バリア TiN 膜と上層 TEOS 酸化膜が強く影響していることが分かった。上層 TEOS 酸化膜の圧縮応力が Al 膜よりも低くなると、Al 膜内に Al (111) 面に平行な応力が掛かり転位等の欠陥を発生させ、それらが熱処理による回復や再結晶化過程で多くの空孔を生み出す。更に下層バリア Ti 膜の窒化処理温度が低いと形成された TiN 膜は熱的に安定しておらず熱処理工程で塑性変形を起し、TiN 膜中に新たな空孔を生み出す。Al 膜中や TiN 膜中に存在する空孔が、Al 膜の Si ノジュール周囲の粒界に拡散集中し大きなボイドに成長する。

## 参考文献

- [1] Donald J. LaCombe and Earl Parks, IRPS, 23rd Annual Proceedings, 1985, pp. 74-80.
- [2] Janet M. Towner, IRPS, 23rd Annual Proceedings, 1985, pp. 81-86.
- [3] Janet M. Towner et al., IRPS, 24th Annual Proceedings, 1986, pp. 7-11.
- [4] M. Hosaka et al., IRPS, 36th Annual Proceedings, 1998, pp. 329-334.
- [5] Jiang Tao et al., IRPS, 33rd Annual Proceedings, 1995, pp. 371-377.
- [6] J. T. Yue et al., IRPS, 3rd Annual Proceedings, 1985, pp. 126-137.
- [7] F. G. Yost et al., IRPS, 27th Annual Proceedings, 1989, pp. 193-211.
- [8] S. Mayumi et al., IRPS, 25th Annual Proceedings, 1987, pp. 15-21.
- [9] T. Hosoda et al., IRPS, 27th Annual Proceedings, 1989, pp. 202-206.
- [10] H. Koyama et al., IRPS, 24th Annual Proceedings, 1986, pp. 24-29.
- [11] Kaoru Nakamura and Takashi Ogata, Journal of the Society of Materials Science Japan, Vol. 60, No. 2, 2011, pp. 102-107.
- [12] M. R. Lin and J. T. Yue, IRPS, 24th Annual Proceedings, 1986, pp. 164-171.
- [13] T. Tatsuzawa, et al., IRPS, 23rd Annual Proceedings, 1985, pp. 138-141.
- [14] Makoto Ando et al., Journal of The Japan Institute of Light Metals, Vol. 66, No 4, 2016, pp. 180-184.
- [15] T. Yamauchi et al., Journal of Applied Physics, 78, (4), 1995, pp. 2385-2391.
- [16] T. Suzuki et al., Interconnect Technology Conference, Proceedings of the IEEE 2004 International, 2004, pp.87-89b
- [17] Dongdong WANG et al., Journal of The Surface Finishing Society of Japan, Vol. 41, No. 4, 382-387, 1990, pp. 46-51.
- [18] Takeshi Kaizuka et al., Japanese Journal of Applied Physics, Volume 33, Part 1, Number 1B, 1994, pp. 470-474.
- [19] Hiroshi Onoda et al., Journal of Applied Physics, 77, issue2, 1995, pp. 885-892.
- [20] D. MUNTEANU and F. VAZ, JOURNAL OF OPTOELECTRONICS AND ADVANCED MATERIAL Vol. 8, No. 2, April 2006, pp. 720-725.
- [21] Masao Doyama, Journal of Japan Institute of Light Metals, Vol. 23, No. 7, 1973, pp. 332-344.
- [22] Minoru Aoyagi, IEICE technical report. Component parts and materials 101(244), 2001, pp. 13-18.
- [23] Minoru AOYAGI, Journal of Vacuum Science and Technology, B, Jul, Vol. 21, 2003, pp. 1314-1317.
- [24] S. Kordic et al., Journal of Applied Physics, 74, (9), 1993, pp. 5391-5394.

## 第5章 層間絶縁膜構造とメタル配線レイアウトの複合要による TiN 反射防止膜の腐食故障メカニズム

### 5-1 背景

LSI デバイスのメタル配線には ARC-TiN 膜が使われているが、この TiN が陽極酸化により腐食し TiO に変質することは知られている。これまでの報告では、THB 試験や HAST 時にパッド開口部やパッシベーション膜に存在する僅かなシームやクラックなどから浸入した水分が、電圧印加された陽極側で電気分解し発生した OH<sup>-</sup>イオンにより陽極酸化反応が生じ ARC-TiN 膜が TiO 化する腐食反応が進行するとされている[1、2]。この様に、ARC-TiN 膜の腐食は外部からの水分進入と電位が原因であることが明らかになっているが、デバイス内部に存在する残留水分からこの ARC-TiN 膜が腐食した報告例は少ない。一方、FSG 膜内部に存在する高濃度のフッ素による ARC-TiN 膜の腐食の報告例は存在するが、TOES 酸化膜界面や内部等に残留成分として存在するフッ素による腐食の報告例は無い[3-5]。

本章では、TEOS 酸化膜/SOG 膜/TEOS 酸化膜の 3 層構造で平坦化したプロセスにおける TEOS 酸化膜クラック、SOG 膜クラックの発生要因について調査した結果について述べ、併せて、ARC-Ti 膜腐食の原因とその調査において、腐食箇所に集中してフッ素元素が検出され原因について述べる。

### 5-2. 実験方法

評価に用いたデバイスは 0.35  $\mu\text{m}$  プロセスノードの 3 層メタル配線 1 層 Poly Si プロセスのアナログデバイスである。平坦化には TEOS 酸化膜/SOG 膜/TEOS 酸化膜の 3 層構造平坦化プロセスを用い、メタル配線構造は、TiN/AlSiCu/ARC-TiN である[6、7]。TEOS 酸化膜/SOG 膜/TEOS 酸化膜の 3 層構造平坦化プロセスについて説明する。下層メタル 1 配線形成後、初めに下層 TEOS 酸化膜を形成する。次に SOG 膜（東京応化社製 OCD-Type7）を回転塗布し、100°C 1 分、150°C 1 分のプリベークを経て 300°C40 分の最終ベークを行った後、一旦 RIE (CF<sub>4</sub>+O<sub>2</sub>) でエッチバックを行い、メタル 1 配線上の SOG 膜を除去する。最後に上層 TEOS 酸化膜を形成後、上層メタル 2 配線を形成する (Fig. 5-1)。ここで下層 TEOS 酸化膜を Base-TEOS 酸化膜と、上層 TEOS 酸化膜を Cap-TEOS 酸化膜と呼ぶ。TEOS 酸化膜は、PE-CVD 法で成膜し、成膜温度は、膜の屈折率を変化させるために 360°C~400°C とし、その他の成膜条件は一定とした。TEOS 酸化膜厚は約 400 nm で、膜の屈折率は 1.450~1.465 である。ここで、SOG 膜クラックとは、光学顕微鏡下で観察される SOG 膜のクラックを言い、TEOS 酸化膜のクラックは FIB 断面観察や SEM、STEM 観察で観察されるものを言う。尚、TEOS 酸化膜のクラックに関しては、クラック発生有無の判断が難しいことから、HAST 試験を行いパッケージ開封後、ARC-TiN 膜腐食の発生の有無から TEOS 酸化

膜クラックの発生の有無を判断した。HAST 試験は 125°C/85%、水蒸気圧 2 気圧の不飽和の環境で、印加電圧はデバイスの最大定格とした。試験時間は 200 時間以上である。次に、メタル配線レイアウトについて補足する。本文では、メタル 1 配線とメタル 2 配線の端面が上下に揃っている場合を「面位置」とし、重なっている場合を「オーバーラップ」と、離れている場合は「スペース」と称した (Fig. 5-6)。この時、オーバーラップ長は「マイナス」で表示し、スペース長は「プラス」で表示している。面位置は  $\pm 0 \mu\text{m}$  と表示する。TESO 酸化膜の物性については、屈折率と膜応力の関係、HF によるウェットエッチレートとの関係を取得した。膜硬度、ヤング率に関しては、ナノインデンテーション法を用いた。更に TiN 膜の陽極酸化には短冊状に切断した Al/TiN 膜の 2 層構造のサンプルを準備し、精製水を満たしたビーカー内に浸漬し、外部電源から電圧印加した。対抗電極には同じ短冊を用いた。陽極酸化の進行度については SEM-EDX 分析から酸素量の増加、窒素量の減少で判断した。陽極酸化に関しては印加電圧や水酸基の影響、浴温度の影響などを調査した。断面観察用の加工には FIB (SII 社製 SMI2050) を用い、断面観察や表面観察には STEM、SEM 観察 (JEOL 社製 JSM7800F) を用いた。配線部分の元素分析には、EDX 分析 (oxford 社製 MAX50)、ASE 分析 (アルバックファイ社製 SMART-2000)、ESCA/XPS 分析 (アルバックファイ社製 QUANTUM-2000) などを行った。

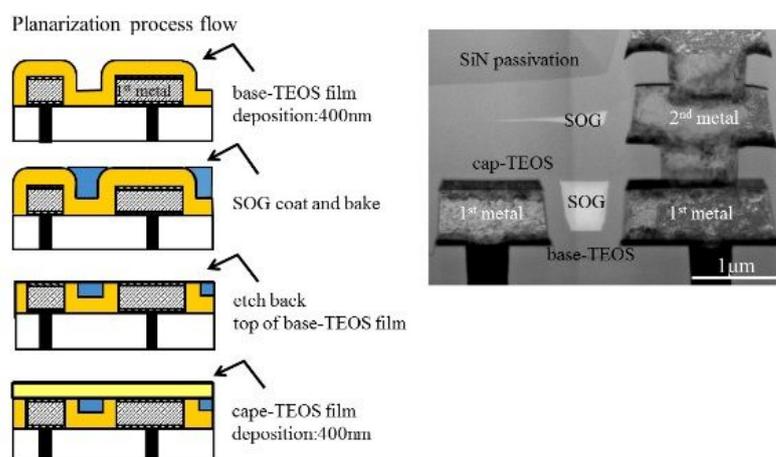


Fig. 5-1. TEOS-SiO<sub>2</sub>/SOG/TEOS-SiO<sub>2</sub> planarization process flow and cross sectional STEM image.

### 5-3. ARC-TiN膜の陽極腐食酸化

ARC-TiN膜の腐食が発生した例をFig. 5-2に示す。ARC-TiN膜が白色 (TiO<sub>2</sub>の色) に変色している。この腐食箇所は、ボンディングPAD開口部分付近から離れたメタル1と2配線のみ発生しており、最上層のメタル3配線では発生していなかった。また、腐食は電源ライン若しくは、Hi状態の配線のみが発生しており、TiO<sub>2</sub>化した際に体積膨張したために二次的なTESO酸化膜クラックを誘発していた。次に腐食の起点となった箇所の断面STEM観察を行ったところ、メタル1配線とメタル2配線の間からTEOS酸化膜からSOG膜に達する1次クラックが存

在した。このTEOS酸化膜からSOG膜に至る1次クラックを介してSOG膜中の残留水分が拡散し、その水分と試験時の印加電圧と試験温度によりARC-TiN膜が陽極酸化を起した。但し、ARC-TiN膜が腐食しても下層のAl配線が同時に腐食しない限り、配線としては機能しているため、故障には至らない。故障解析の結果、ARC-TiN膜が腐食し体積膨張を起すことで新たに発生したTEOS酸化膜の2次クラックにより隣接するvia部分がOPEN不良に至っていたことが分かった。この様に、内部残留水分のみでも十分ARC-TiN膜の陽極酸化は発生し、故障に至る。

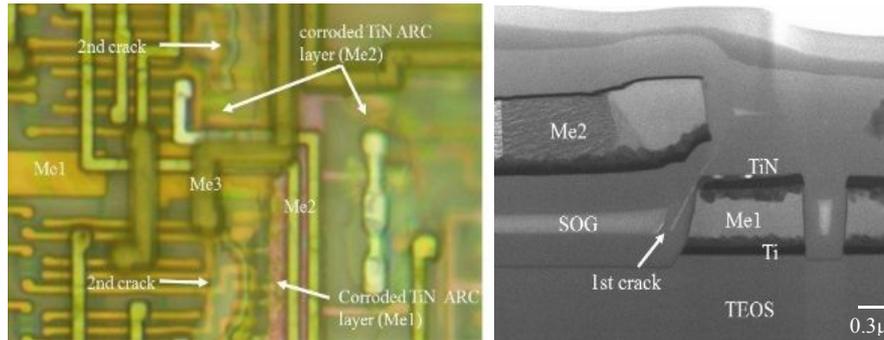


Fig. 5-2. Optical microscope image of ARC-TiN film corrosion and cross-sectional STEM image of PE-TEOS-SiO<sub>2</sub> film 1<sup>st</sup> crack.

評価サンプルは、Si酸化膜上にAl膜をDCスパッタ法で成膜し、更にもその上層に反応性スパッタ法でTiN膜を成膜した2層構造の陽極酸化用サンプルを作成した。サンプルを約10 mm × 30 mm に切り取り、サンプルの2/3程度が精製水中に浸漬できる様に調整し、DC電源につなげた。Fig. 5-3に熱酸化膜上にAl/TiN膜の陽極酸化結果を示す。60°Cの中性的水溶液中で6 V印加すると60分後には陽極側で腐食が発生し、陰極では変化が見られなかった。60°C 0.013 wt%のTMAHの弱アルカリ水溶液中では、3 V印加10分程度で陽極に腐食が発生し、アルカリ性水溶液では中性的水溶液に比べ反応速度が速い。一方、60°C 0.013 wt% のフッ酸の弱酸性水溶液では、陽極、陰極ともにARC-TiN膜だけでなく、Al膜もエッチングされ極性依存は見られなかった。また、60°Cの中性的水溶液中では、印加電圧 3 V以下では陽極酸化は発生せず、陽極酸化反応には閾値電圧が存在する。これは、元々のTiN膜表面不動態膜の影響であり、TiN膜の陽極酸化が継続するためには、電子がこの不動態膜をトンネルするだけの電界が必要である。

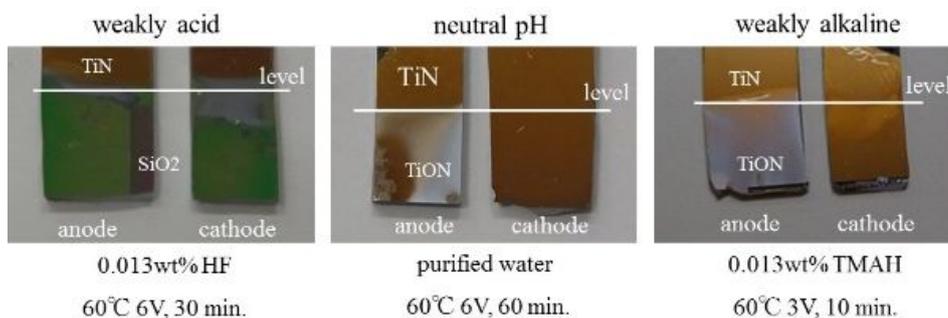


Fig. 5-3. Anodic oxidation of TiN film in the water bath.

同じ様にパッシベーション膜の無いAl/TiN膜構造の実デバイスに対して、40℃の精製水中で4 Vの電圧を印加すると90分でHi端子側に繋がるAl/TiN配線のみが白く変色し陽極酸化を起した (Fig. 5-4 (a))。パッシベーション膜付きの同じ実サンプルの60℃の精製水中で6 Vを60分印加し、陽極酸化箇所の断面FIB観察を行ったところ、パッシベーション膜にTiN膜がTiO化し体積膨張したことによる2次クラックが発生した (Fig. 5-4 (b))。陽極酸化したTiN膜のSEM-EDX分析結果をFig. 5-5に示す。TiN膜が白色化する色の変化に合わせてTiO化が進んでいる。この様に、TiN膜は、水分と印加電圧で陽極酸化し、温度や電圧、水酸基イオン量に依存して酸化速度は速くなる。更にTiO化すると体積が膨張し、内部クラックを誘発する。

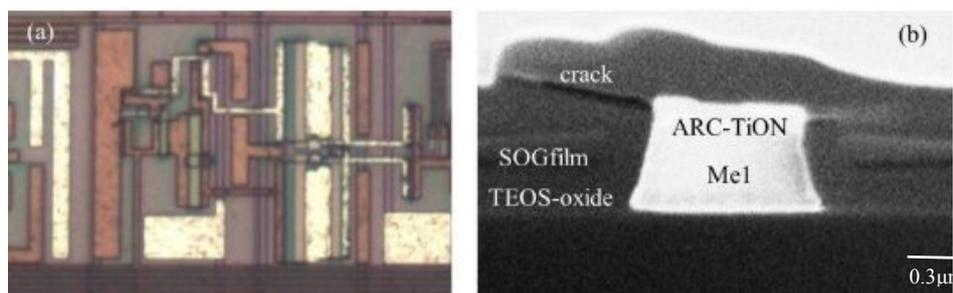


Fig. 5-4. Anodic oxidation observation result, (a) optical microscope image of anodic oxidation ARC-TiN film of Hi fixed metal line and (b) cross sectional FIB image of TEOS-SiO<sub>2</sub> film 2nd crack.

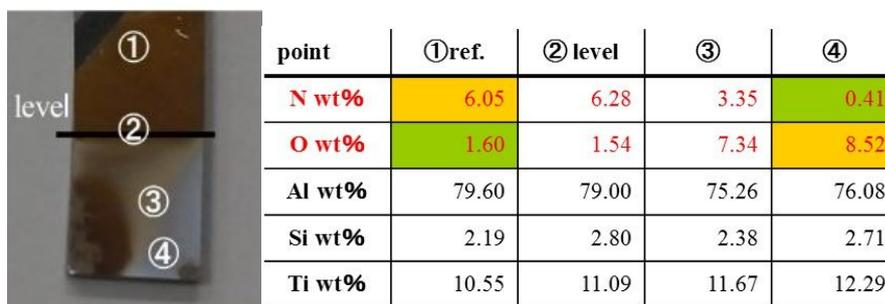


Fig. 5-5. SEM-EDX analysis result after anodic oxidation of TiN film.

## 5-4. TEOS 酸化膜クラックの発生原因

### 5-4-1. メタル配線レイアウト

SOG膜クラックの発生し易さとメタル配線レイアウトの関係を調査した。金属顕微鏡で観察できるSOG膜クラックをメタル配線のスペース長とオーバーラップ長で比較した。外部ストレスによるSOG膜クラックの進行性について、200℃高温保存試験、125℃/85%のHAST試験、85℃/85%の耐湿試験200時間、150℃/-65℃の温度サイクル試験200サイクル後のSOG膜クラック長の比較をFig. 5-6に示す。SOG膜クラックの長さは、試験方法、試験温度に関わらず両者のスペース長が + 0.2 µmの場合が最も長くなる傾向があり、スペース長

が長くなるとSOG膜クラックは短くなる。また、メタル配線同士がオーバーラップしている場合は、SOG膜クラックは短い。更に試験温度が高いとSOG膜クラックも長くなる傾向にあることから高温下ではSOG膜クラックが成長しやすい。

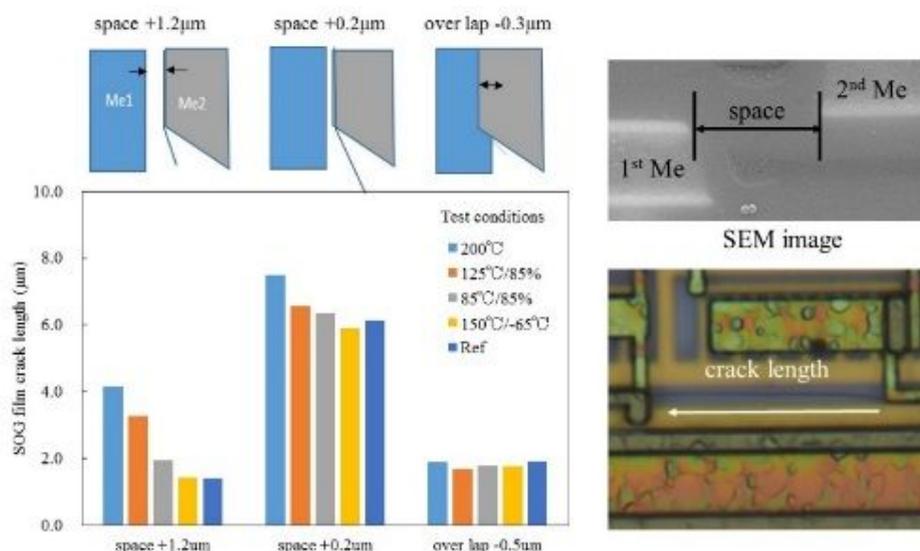


Fig. 5-6. The SOG film crack length after reliability test at each space and overlap length.

Fig. 5-7に示す様にスペース長 + 0.2 µmのメタル2配線端部の直下には、Cap-TEOS酸化膜とBase-TEOS酸化膜の界面やSOG膜との界面が存在しており、その界面で剥がれが発生している。一方、スペース長 + 0.7 µmの様にSOG膜のみが存在するスペース長では、SOG膜が上層メタル2配線に引っ張られる様な形状でSOG膜クラックが発生し、そのクラックは、Cap-TEOS酸化膜まで及んでいる。温度によるクラック進行速度は、TEOS酸化膜とSOG膜の剥がれを主体としたクラック（スペース長 + 0.2 µm）に比べ、SOG膜のみのクラック（スペース長 + 1.2 µm）の方が大きい。尚、オーバーラップ長が - 0.3 µmの場合はメタル2配線がメタル1配線上にオーバーラップしているため、メタル2配線端部が直接SOG膜上には存在せず、SOG膜クラックの温度依存が見られなかった。この様にSOG膜クラックは、上下層のメタル配線のレイアウトに依存して発生しやすい条件が存在する。

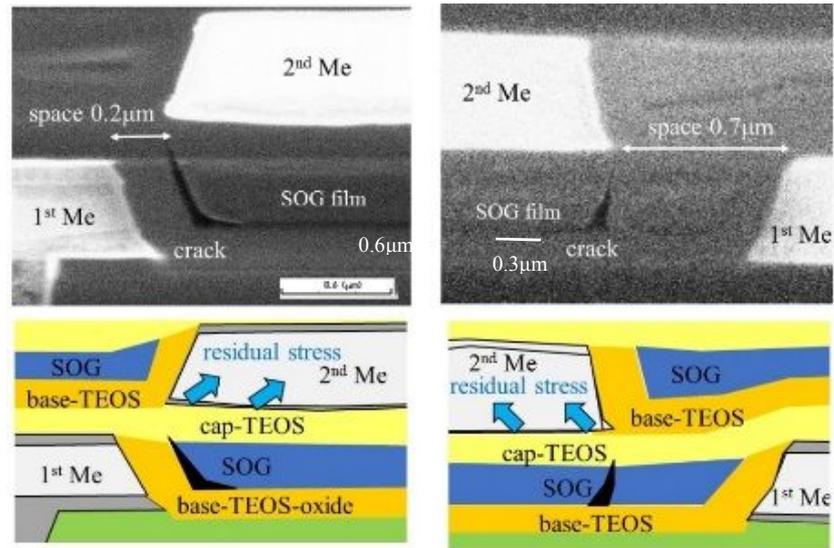


Fig. 5-7. Cross-sectional FIB image and device structure of space +0.2  $\mu\text{m}$  and +0.7  $\mu\text{m}$ .

しかし、実際にARC-TiN膜が腐食するためには、SOG膜のクラックだけでなくTEOS酸化膜にもクラックが入り、ARC-TiN膜まで至る必要がある。メタル1配線とメタル2配線の距離が面位置かオーバーラップしている場合、上層メタルの応力は直接SOG膜には掛からないため、応力の掛かるTEOS酸化膜に発生したクラックがSOG膜にまで及ぶ場合、若しくは同時に発生する場合にARC-TiN腐食が発生する。

このメタル配線の位置とTEOS酸化膜、SOG膜クラックの関係を大面積のN-ch MOSFETドライバーセルで検証した。この大面積のN-ch MOSFETドライバーセルにはFig. 5-8に示す様に並列に並んだメタル1配線とコーナー部分を有するメタル2配線が同じ形状で僅かにずれながら繰り返しているレイアウトが存在し、このレイアウトの違いからSOG膜クラック長とメタル1配線上のメタル2配線の距離の関係を調査した。

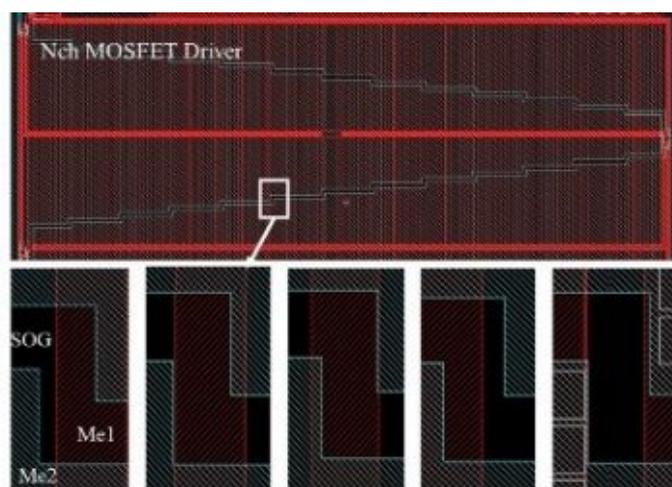


Fig. 5-8. Metal 1 line (red) and metal 2-line (blue) layout date of N-ch MOSFET driver cell.

Fig. 5-9にメタル1配線とメタル2配線のオーバーラップ長/スペース長とSOG膜クラック長の関係を示す。メタル2配線のオーバーラップ長が、 $-0.7\ \mu\text{m}$ 以上になるとSOG膜クラックは発生しない。また、オーバーラップしていないレイアウトのSEM観察結果からSOG膜クラックはメタル2配線のコーナー部分を起点に発生することが分かった。

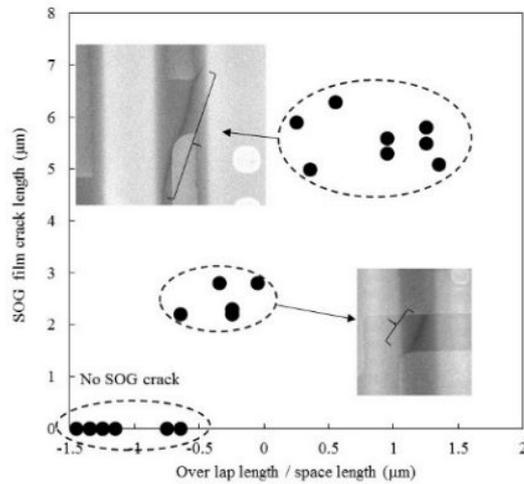


Fig. 5-9. Relationship between the space length/overlap length and SOG film crack length.

次にこのパターンでHAST試験後に、ARC-TiN膜が腐食した箇所をFig. 5-10に示す。12パターンの異なるレイアウトから1パターンだけメタル1配線のARC-TiN膜腐食が観察された。

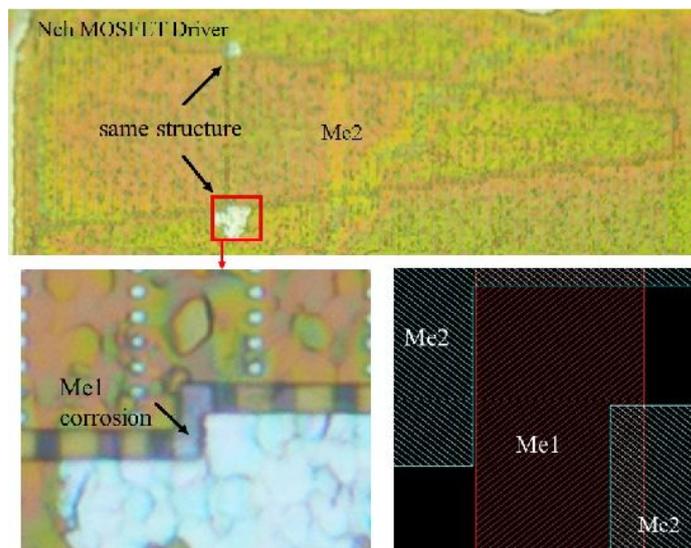


Fig. 5-10. The N-ch MOSFET driver layout date and top-view of the corrosion points by microscope image after the HAST test for 200 hours.

この腐食が発生したパターンからレイアウトに依存するARC-TiN腐食メカニズムを考察した。ARC-TiN腐食の発生したレイアウトの詳細をFig. 5-11に示す。メタル2配線はレイアウトデータ上では、片側はスペース長が  $+0.05\ \mu\text{m}$ であり、もう一方は  $-0.4\ \mu\text{m}$ でオーバーラップしている (Fig. 5-11 (a)) が、実際のデバイスでは、寸法が太く仕上がる傾向があるた

め、オーバーラップ長  $-0.25\ \mu\text{m}$  と  $-0.7\ \mu\text{m}$  で両方ともにオーバーラップする構造に仕上がっていた (Fig. 5-11 (b))。オーバーラップ長が  $-0.7\ \mu\text{m}$  のパターンは他に2箇所存在するが、ともに腐食は発生していなかった。一方、オーバーラップ長が  $-0.25\ \mu\text{m}$  も他にもう1箇所存在するが、ここはメタル1配線がGNDのため、比較できなかった。但し、オーバーラップ長が  $-0.35\ \mu\text{m}$  のパターンではメタル1配線が出力でSOG膜クラックも観察されているが、ARC-TiN腐食は発生していない。これらの結果からSOG膜クラックはオーバーラップ長が  $-0.7\ \mu\text{m}$  まで発生するが、 $-0.35\ \mu\text{m}$  未満の場合にのみ、ARC-TiN膜にも接するクラックがTEOS酸化膜とSOG膜の双方に同時に起こりARC-TiN腐食が発生すると考えられる。SOG膜クラックはメタル2配線のコーナー部分を起点に発生しているが、実際のメタル2配線の形状は直角では無く円弧状になっており、TEOS酸化膜とSOG膜のクラックはこの円弧に沿って発生している (Fig. 5-11 (b)(c))。従って、オーバーラップ長が  $-0.25\ \mu\text{m}$  ではメタル2配線の円弧がTEOS酸化膜上とSOG膜上に連続して存在しているため、そのメタル2配線の形状に沿ってクラックが発生しSOG膜とTEOS酸化膜に共通のクラックが同時に成立した。

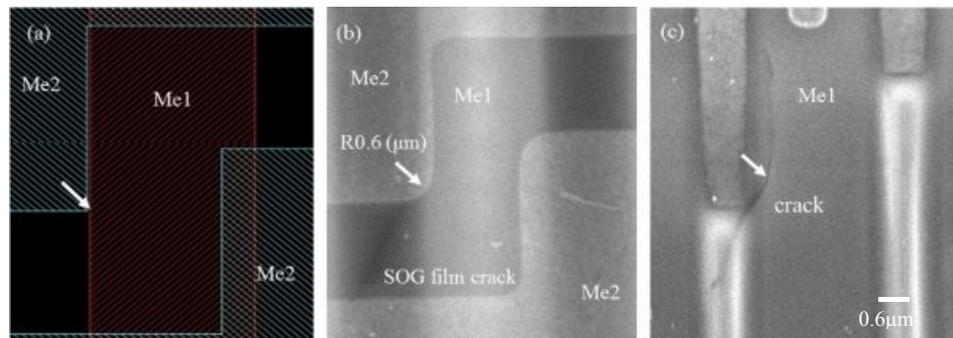


Fig. 5-11. ARC-TiN film corrosion point (a) layout data of metal1 and 2 lines of N-ch MOSFET driver, (b) top-view of SEM image of real shape of metal 1 and 2 corrosion point after polish, and (c) top-view of SEM image of crack after additional polish.

これらの関係を応力シミュレーションで検証した。平面シミュレーションの結果を Fig. 5-12 (a)に、断面応力シミュレーションの結果を Fig. 5-12 (b)に示す。平面応力シミュレーションは、メタル2配線のコーナー部形状を直角構造 ( $90^\circ$ ) と斜め構造 ( $45^\circ$ ) の2構造で実施しており、メタル1配線の端部を基準にメタル2配線の環境温度が  $250^\circ\text{C}$  から  $25^\circ\text{C}$  に変化した場合のメタル2配線収縮能力 (量) をシミュレーションしている。平面応力シミュレーションからメタル2配線の応力は、直角構造でも斜め構造でもそのコーナー部分に応力が集中することが分かり、大面積のN-ch MOSFETドライバーセルでのSOG膜クラック観察結果と一致した。次に断面応力シミュレーションでは、応力値は直角構造ではオーバーラップ長が長くなるとメタル2配線の収縮能力が低下することを示した。また、斜め構造の配線の場合は、メタル2配線の収縮能力は直角構造に比べ大きく、面位置である  $\pm 0\ \mu\text{m}$  付近で極大値を持ち距離が離れるとメタル2配線の収縮能力が小さくなることを示した。

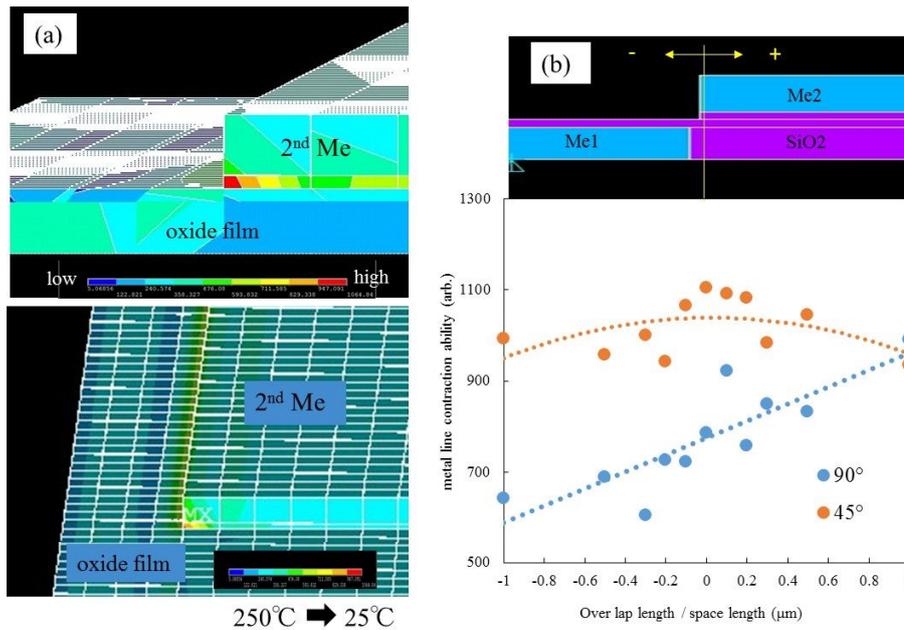


Fig. 5-12. The stress simulation result near the metal 1 line and the metal 2-line (a) planer simulation (b) cross-sectional simulation.

Fig. 5-13に上層メタル配線の直角構造と斜め構造の実際のTEOS酸化膜クラック、SOG膜クラックのSEM画像を示す。上層メタル配線を平面研磨法で薄くし、TEOS酸化膜クラック、SOG膜クラックを見易い様にしている。クラックは応力の集中箇所の直下を通過している。Fig. 5-11 (b) に示す様に大面積のN-ch MOSFETドライバーセルのメタル2配線の直角部分はレイアウトデータ上では直角でも実際には円弧形状になり、斜め配線構造に酷似しており、斜め構造のシミュレーションで見るとオーバーラップ長  $-0.2 \mu\text{m}$  からスペース長  $+0.2 \mu\text{m}$  範囲では、高いメタル2配線の収縮能力(量) 範囲内にあり、大面積のN-ch MOSFETドライバーセルでARC-TiN腐食が唯一発生したオーバーラップ長が  $-0.25 \mu\text{m}$  と応力シミュレーションの結果が一致した。

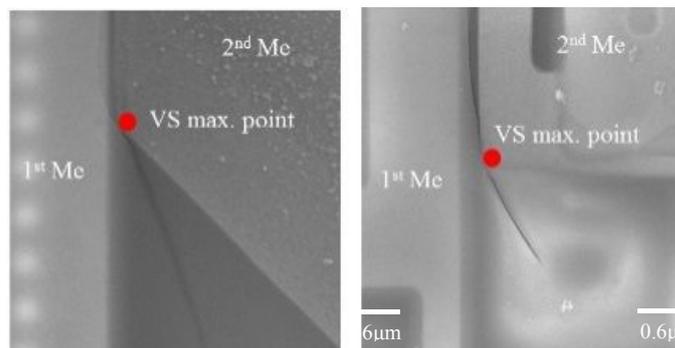


Fig. 5-13. Top view of SEM image of SOG film crack at stress concentration point after metal 2-line polishing.

大面積のN-ch MOSFET ドライバーセルの断面観察を行いクラックがSOG膜からTEOS酸化膜に至り、更にARC-TiN膜に至る変化を観察した結果をFig. 5-14に示す。Fig. 5-14 (a)に示す様に、上層のメタル2配線が観察されるまでは、クラックはSOG膜中に存在し、TEOS酸化

膜までは至っていない。次に、メタル2配線が観察され始めるFig. 5-14 (b)、(c)では、クラックはSOG膜からTEOS酸化膜に移動するが、メタル2配線がオーバーラップしていない状態ではARC-TiN膜には至っていない。メタル2配線がオーバーラップし始めるFig. 5-14 (d)では、クラックは完全にTEOS酸化側に移動し、オーバーラップ長が長くなるにつれてクラック位置がメタル配線側に移動しメタル1配線の ARC-TiN膜に接触する (Fig. 5-14 (e)、(f))。この様にメタル2配線のオーバーラップ箇所の直角部分から発生したTEOS酸化膜クラックは、一方はメタル2配線の端部に沿ってTEOS酸化膜クラックを発生させARC-TiN膜との接触面積が大きくなり、他方は円弧に沿って大きく曲がりながらTEOS酸化膜から水分供給源であるSOG膜へと繋がるクラックになる。メタル2配線が斜め形状の場合にも同様にARC-TiN膜からSOG膜へ至るクラックが存在しているものと考えられる。

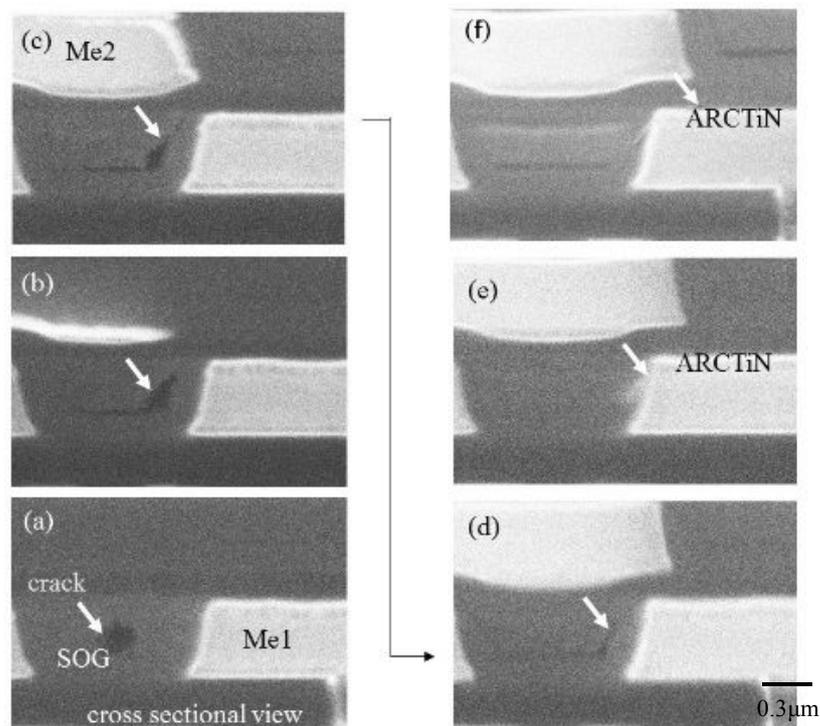


Fig. 5-14. Changes to the TEOS-SiO<sub>2</sub> film crack from the SOG film crack (cross-sectional image of Fig. 5-11 (C) by FIB).

次に、オーバーラップ長とTEOS酸化膜クラックについて断面観察を行った。Fig. 5-15に示す様にオーバーラップ長が  $-0.084 \mu\text{m}$  と非常に小さい場合、TEOS酸化膜クラックはメタル2配線とメタル1配線間に存在しARC-TiN膜には至っていない。しかし、オーバーラップ長が長くなると、クラックがメタル1配線側に平行移動し、オーバーラップ長が  $-0.185 \mu\text{m}$  でARC-TiN膜上面と端部の2箇所でTEOS膜クラックが接触する様になり、クラックとARC-TiNの接触面積が大きくなる。オーバーラップ長が  $-0.25 \mu\text{m}$  前後ではARC-TiN膜とTEOS酸化膜クラックの接触面積が更に大きくなり、Fig. 5-10のHATS試験でARC-TiN膜腐食が発生したのは、このオーバーラップ長であった。オーバーラップ長が更に増加するとTEOS酸化膜クラックは、SOG膜から離れ、オーバーラップ長が  $-0.553 \mu\text{m}$  まで長くなるとメタル2配線収縮能力が低下 (Fig. 5-12) し、TEOS酸化膜クラックが発生しなくなる。ARC-TiN膜を

短時間で腐食させるためにはTEOS酸化膜クラックとTiN膜との十分な接触面積が必要で、その様な状況を形成するオーバーラップ長は、 $-0.160\ \mu\text{m}$ から $-0.35\ \mu\text{m}$ の約 $200\ \text{nm}$ の非常に限られた範囲であることが分かった。この様に、直角構造、斜め構造端部の配線直下のARC-TiN腐食の原因はメタル配線レイアウトがSOG膜とTEOS酸化膜の両方に関連するクラックを発生させるレイアウトになっており、特に、発生したクラックがARC-TiN膜との接触面積が大きくなると腐食を発生させる。

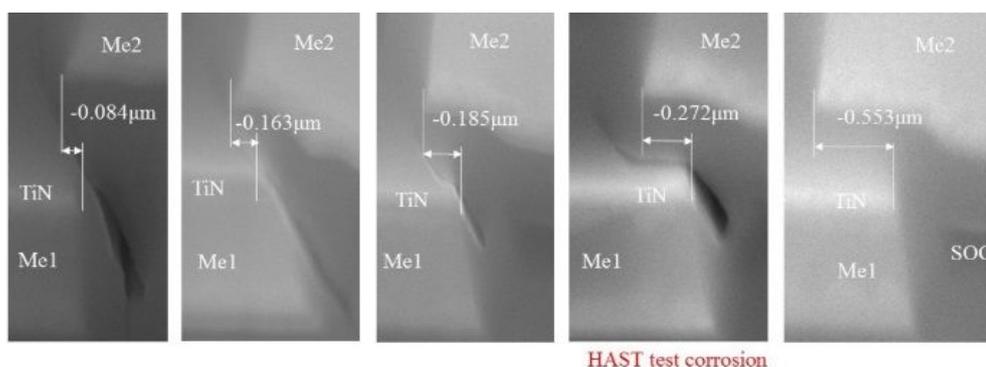


Fig. 5-15. Metal 2-line overlap length and TEOS oxide film crack shape (cross-sectional SEM image) in N-ch MOSFET driver.

#### 5-4-2. TEOS酸化膜特性

Fig. 5-6で示した同じパターンで、異なる屈折率のTEOS酸化膜を用いた場合のSOG膜クラックの長さを比較した結果を、Fig. 5-16に示す。Base-TEOS膜とCap-TEOS酸化膜の屈折率の組合せは、Base-TEOS酸化膜/Cap-TEOS酸化膜= $1.450/1.450$ 、 $1.458/1.450$ 、 $1.452/1.454$ 、 $1.450/1.456$ 、 $1.456/1.456$ 、 $1.460/1.460$ の6パターンである。Fig. 5-16に示す様に、SOG膜クラックが最も長くなるのはスペース  $+0.2\ \mu\text{m}$ の箇所であり、Fig. 5-6の結果と同じであった。更にSOG膜クラックはCap-TEOS酸化膜の屈折率が $1.450$ と低い場合に特に長くなる。逆に、Base-TEOS酸化膜の屈折率には依存しない。また、TEOS酸化膜の屈折率が $1.454$ 以上あれば、SOG膜のクラックは大きく改善されるが、屈折率が $1.460$ であってSOG膜クラックは発生する。従って、先に述べた様にメタル配線レイアウトの影響がより大きい、TEOS酸化膜の物性もSOG膜クラックやTEOS酸化膜自体のクラックの発生に影響している。

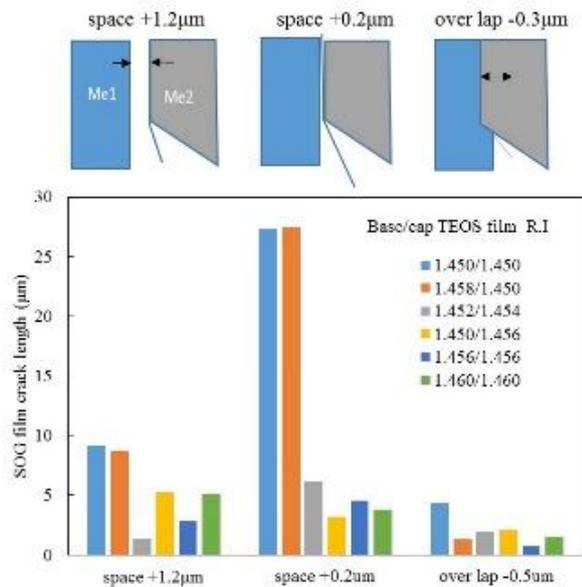


Fig. 5-16. Relationship between the refractive index of the base/cap-TEOS-SiO<sub>2</sub> film and the SOG film crack length.

Fig. 5-17には、TEOS酸化膜の屈折率とHF水溶液中でのウェットエッチレートの関係と膜応力の関係を示す。TEOS酸化膜の屈折率が低くなるとウェットエッチレートが早くなり、圧縮応力も低下する。低屈折率のTEOS酸化膜の膜密度が低く、上層メタル配線の引張残留応力に対して弱いことが考えられる。

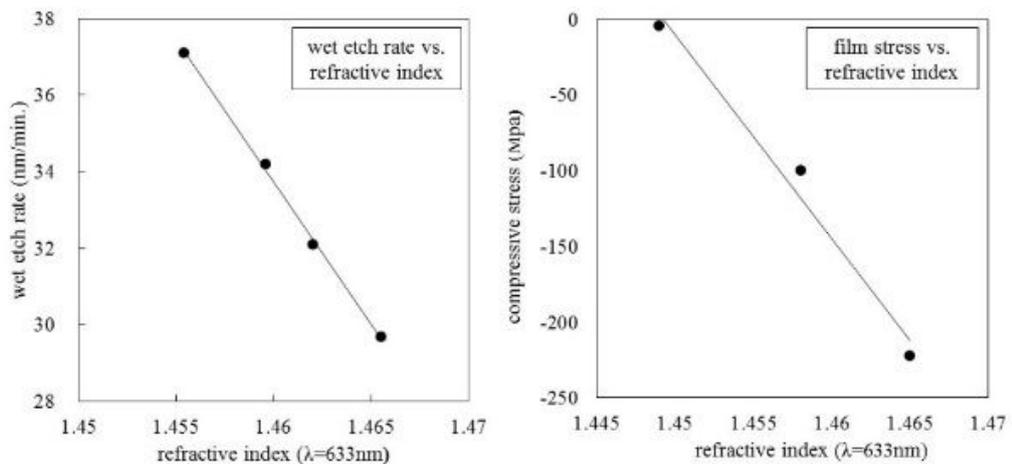


Fig. 5-17. Relationship between refractive index and (a) wet etch rate, (b) TEOS-SiO<sub>2</sub> film stress.

Fig. 5-18にはTEO酸化膜の膜応力とSOG膜クラック長の関係を示す。TEOS酸化膜の圧縮応力が小さいとSOG膜クラックは長くなり、その影響はCap-TEOS酸化膜の膜応力の方が大きい (Fig. 5-18(a))。特にスペース長が +0.2µmではその影響が大きくなる (Fig. 5-18(b))。

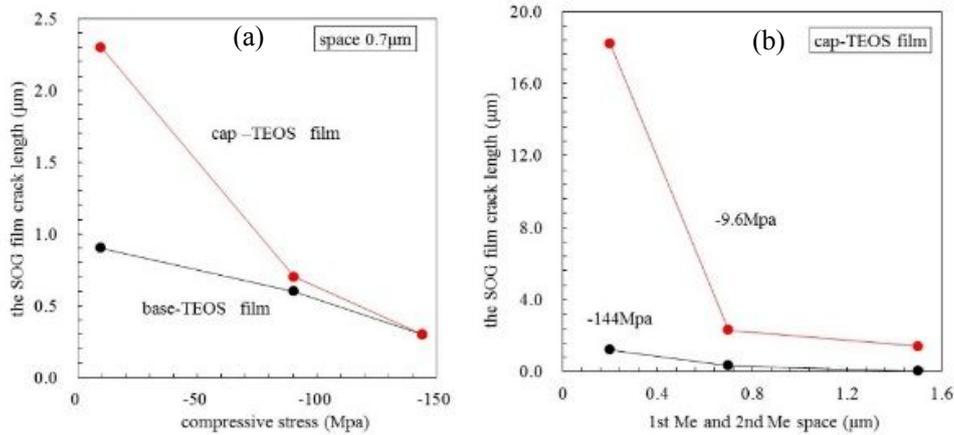


Fig. 5-18. Relationship between the SOG film crack length and (a) TEOS- SiO<sub>2</sub> film stress, (b) space length.

更にTEOS酸化膜の屈折率と膜応力の関係をFig. 5-19に示す。低屈折率のTEOS酸化膜は、24時間大気中に放置すると吸湿して圧縮応力が若干大きくなり、ベーキングやO<sub>2</sub>プラズマ処理で元に戻る。Ar エッチングの場合は、更に圧縮応力が大きくなる。一方、高屈折率のTEOS酸化膜は、圧縮応力が高く、24時間放置しても応力の変化が無く、ベーキングや O<sub>2</sub>プラズマ処理を実施しても応力の変化が小さい。

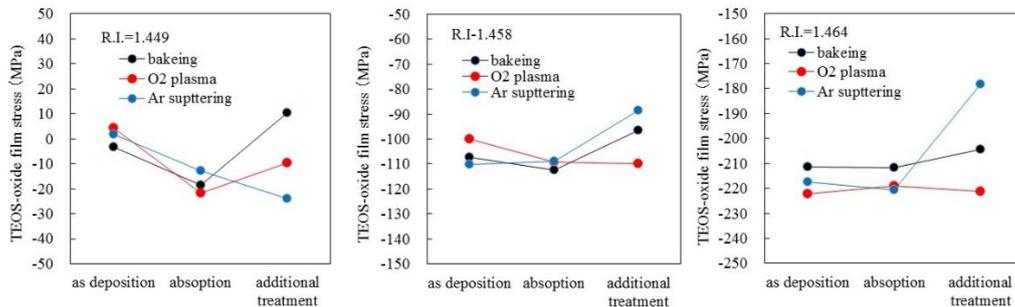


Fig. 5-19. TEOS-SiO<sub>2</sub> film stress changing by refractive index of TEOS- SiO<sub>2</sub> film.

最後に、ナノインデンテンション法により、屈折率1.450のTEOS酸化膜の成膜直後、吸湿後とO<sub>2</sub>プラズマ処理30分実施後の3種類の硬度とヤング率を比較した。サンプルはSi基板の上に厚さ400 nmの屈折率1.450のTEOS酸化膜を成膜し10×10 mm<sup>2</sup>サイズのサンプルに対して10~12箇所の測定を行った。Fig. 5-20 に示す様に成膜直後のTEOS酸化膜は、非常にバラツキが大きく、硬度とヤング率に比例関係がみられたが、吸湿後、O<sub>2</sub>プラズマ処理30分実施後のTEOS酸化膜は、硬度とヤング率の比例関係が弱くなりバラツキが小さくなった。ヤング率は平均60 GPa~65 GPaと若干高くなり、引張強度は強くなったが硬度は変化しなかった(平均約7.2 GPa)。尚、熱酸化膜のヤング率は70 GPa、硬度は8.5 GPaである。この結果から、屈折率1.450のTEOS酸化膜は、低圧縮応力だけでなく、膜質のばらつきも大きい。これらの膜屈折率によるTEOS酸化膜の膜特性についてTable 5-1にまとめた。この様に、TEOS酸化膜は膜の屈折率が低いと物性が不安定で、ばらつきも大きい。製造工程で露出した状態での保管時に吸湿することや上層メタル配線工程のドライエッチング (RIE) やアッシング工

程 (O<sub>2</sub>プラズマ) で膜質が変化する。Cap - TEOS酸化膜の屈折率が低いと膜密度や圧縮応力が低いため大面積の上層メタル配線の応力に対して変形が起こり易くなり、Cap - TEOS酸化膜下の最も機械的に弱いSOG膜界面やSOG膜自体にクラックが発生し、上層メタル配線の応力を緩和する。

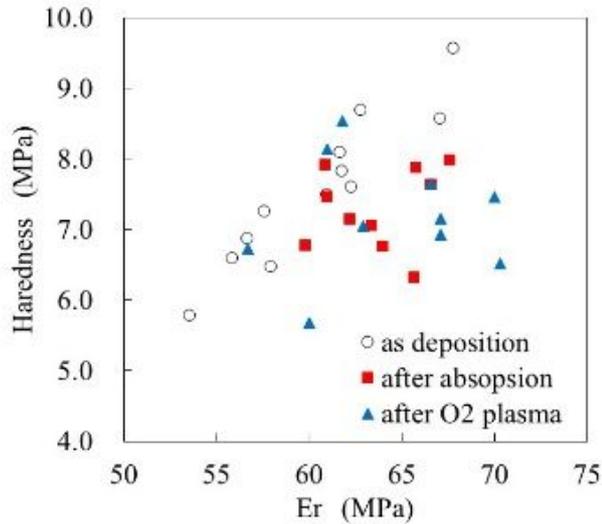


Fig. 5-20. TEOS- SiO<sub>2</sub> film hardness and young's modules measurement result by nanoindentation method.

Table 5-1. TEOS- SiO<sub>2</sub> film characteristics by R.I

	treatment	TEOS oxide film R.I =1.45	TEOS oxide film R.I =1.46
young's modules	Absorption	increase	-
	O <sub>2</sub> plasma	increase	-
Reflective Index	Absorption	higher	unchanged
	Baking	returned to initial value	unchanged
	O <sub>2</sub> plasma	returned to initial value	unchanged
Film stress	Ar sputtering	increase (compressive)	decrease (compressive)
	Baking	changed to tensile	unchanged
	O <sub>2</sub> plasma	returned to initial value	unchanged

## 5-5. 残留フッ素元素成分の腐食への影響

### 5-5-1. 故障デバイスの ARC-TiN 膜の腐食

腐食した ARC-TiN 膜の STEM-EDX による元素分析で腐食部分からは酸化反応による酸素元素以外にフッ素元素が高い濃度で検出され、腐食が発生していない箇所からは、フッ素元素が検出されなかったため、微量な残留水分で陽極酸化を起すためには、フッ素が腐食反応の触媒作用を担っているのでは無いかと考えられフッ素と ARC-TiN 膜腐食の関係を調査した。

## 5-5-2. 腐食した ARC-TiN 膜の STEM-EDX による局所断面分析結果

ARC-TiN 膜の腐食箇所の断面 STEM 観察による STEM-EDX 分析例を Fig. 5-21 に示す。ARC-TiN 膜が TiO 化した部分からは 3 wt%以上のフッ素元素が検出された。Ti 膜がフッ素と反応し易いことから ARC-TiN 膜の膜組成比構造について ESCA 分析 (Al-K $\alpha$ 、100  $\mu$ m 径、45° ) を行った[8、9]。厚さ 100 nm の TiN 膜を熱 SiO<sub>2</sub> 膜上に反応性スパッタ法で成膜し、TiN 膜の Ti:N 組成比を ESCA 分析により測定した結果、Ti:N 組成比は概ね 1:0.97 でありほぼストイキオメトリであり、今回の腐食が未反応 Ti 部分とフッ素元素の結合によるものではないことが分かった。次に Fig. 5-22 (a)に示す様な腐食が均一に進行していない別サンプルについて STEM-EDX での多点分析を行った。腐食源の水分の供給源となる TEOS 酸化膜の 1 次クラックは STEM 画像左側に発生しており SOG 膜に達している。ARC-TiN 膜の腐食はその 1 次クラック側から発生していることが TiO 化した体積膨張量から判断できる。また、TiO 化により体積膨張したことで TEOS 酸化膜には新たな 2 次クラックが STEM 画像右側に伸びている。この腐食した ARC-TiN 膜部分に対する 19 ポイントの STEM-EDX 分析の結果、Fig. 5-22 (b)に示す様にフッ素濃度は、腐食の開始点側に多く存在し 6 wt%を越えたが、腐食程度が低い STEM 画像右側のフッ素濃度は 1 wt%以下と低くなっており、STEM-EDX 分析結果からはフッ素元素の濃度勾配と腐食程度が一致し、ARC-TiN 膜の腐食現象にはフッ素元素が関与している可能性が推測された。

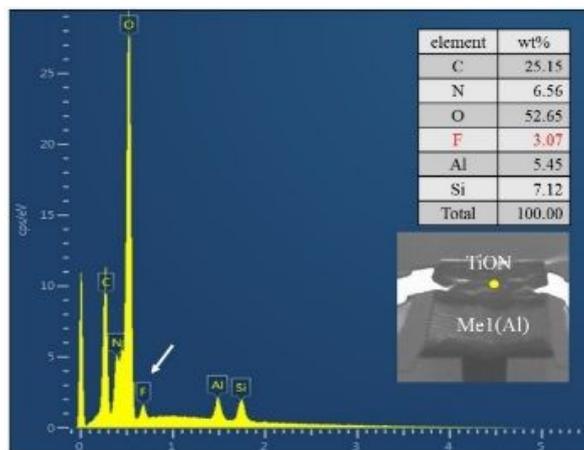


Fig. 5-21. Cross-sectional STEM-EDX spectrum of corroded ARC-TiN film.

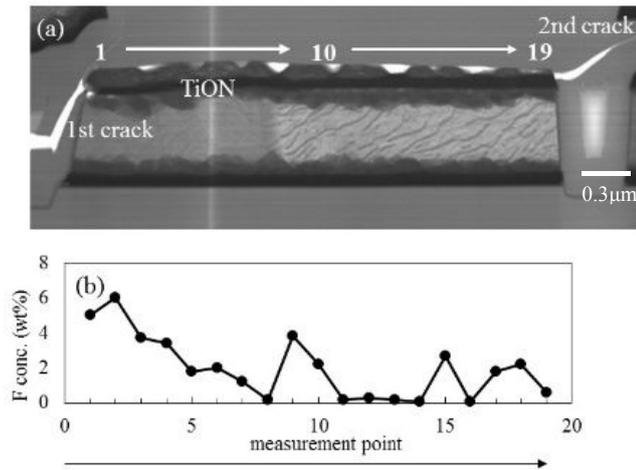


Fig. 5-22. Distribution of fluorine concentration observed using cross-sectional STEM-EDX of the uniformly corroded ARC-TiN film. a) Cross-sectional STEM image of the corroded ARC-TiN film; b) distribution of fluorine concentration of the corroded ARC-TiN film.

### 5-5-3. 腐食した ARC-TiN 膜の広範囲の SEM-EDX による平面分析結果

フッ素元素の関与を確認するため、平面 SEM-EDX 分析による広範囲のフッ素元素分布調査を行った。腐食した ARC-TiN 膜上の TEOS 酸化膜、パッシベーション膜は広範囲で発生した 2 次クラックにより自然に剥がれたもので腐食した箇所を露出させるための追加加工は行っていない。Fig. 5-23 に分析エリアの SEM 画像を示す。画像上部に TEOS 酸化膜の 1 次クラックが存在する。Fig. 5-23 中の point (a) から point (d) の 4 箇所について露出したメタル 1 配線の電源配線の ARC-TiN 膜の上から SEM-EDX 分析を行った。それぞれの 1 次クラックから分析箇所までの最短距離は、point (a) が約 12  $\mu\text{m}$ 、point (b) は約 23  $\mu\text{m}$ 、point (c) は約 31  $\mu\text{m}$ 、そして point (d) は約 42  $\mu\text{m}$  である。point (a) は 7 ポイント、(b)、(c) では 9 ポイント、(d) では 12 ポイントの元素分析を行った。

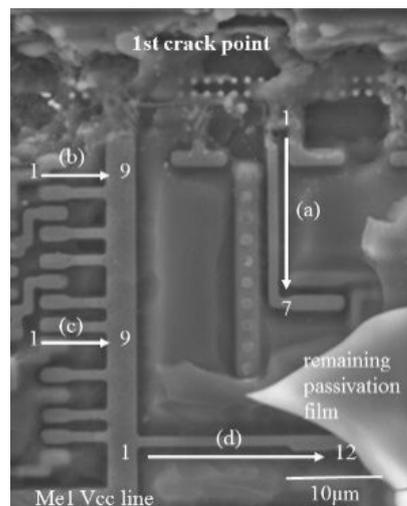


Fig. 5-23. Analyzed points using SEM-EDX of ARC-TiN film in a wide-range corroded sample.

分析結果を Fig. 5-24 (a) ~ (d) に示す。全てのポイントで、酸素濃度が非常に高く ARC-TiN 膜が均一に腐食され TiO<sub>2</sub> 化していることが確認でき、腐食程度に差異が無いことが分かった。一方、フッ素濃度について見ると TEOS 酸化膜の 1 次クラックに近いポイント (a) や (c) では、Fig. 5-22 の STEM-EDX 分析と同じ様に PE-TEOS 酸化膜の 1 次クラック箇所に近い方からフッ素元素の濃度勾配が見られ、TEOS 酸化膜の 1 次クラック箇所に近い側では最大 6wt% 近く存在しているのに対して、1 次クラックから離れたポイント (b) や (d) ではフッ素元素の濃度勾配は検出されず、フッ素濃度も SEM-EDX 分析の検出限界値の 1 %wt 以下であった。この様に、広範囲での ARC-TiN 膜の腐食とフッ素元素の関係をみると、フッ素は TEOS 酸化膜の 1 次クラック側に多く存在する傾向があり、ARC-TiN 膜の腐食程度とは一致しないことが分かった。

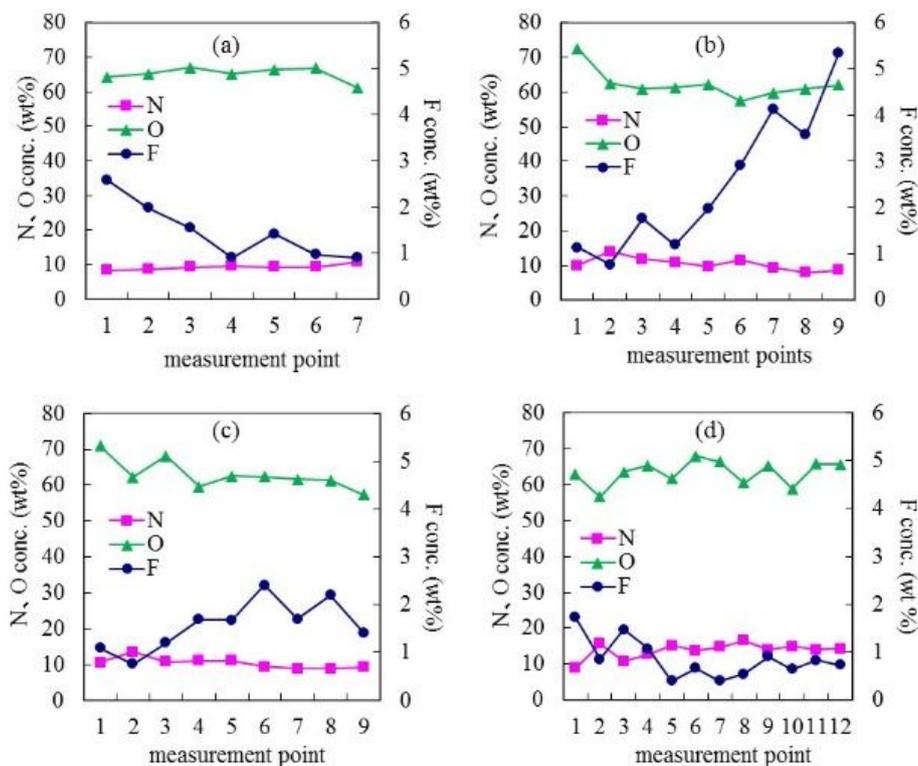


Fig. 5-24. Results of SEM-EDX analysis (N, O, and F) for each ARC-TiN film.

そこで、より微小領域で元素分析が可能な AES (15Kev 10nA、スパッタレート 17nm/min) による分析を行った [8, 9]。これまでは、TEOS 酸化膜の 1 次クラック近傍の腐食した ARC-TiN 膜の分析を行っていたが、この AES 分析では TEOS 酸化膜の 1 次クラックから約 50 μm 離れた箇所の腐食した ARC-TiN 膜のデプスプロファイルを取得した。Fig. 5-25 に示す様に TiN 膜は深さ方向に対しても均一に酸化されているが ARC-TiN 膜の表面側、Al 配線側ともにフッ素元素は存在していないことが分かった。

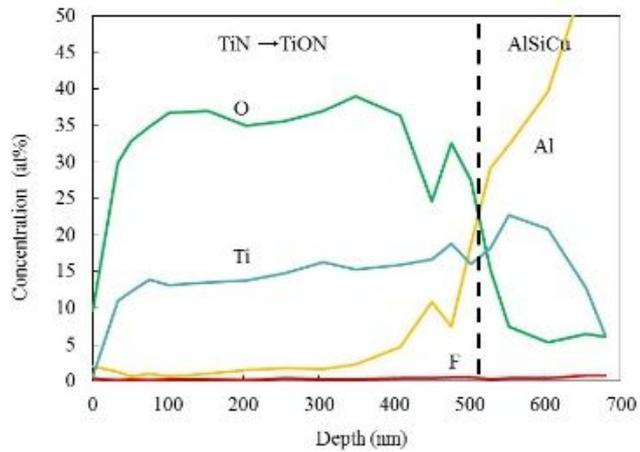


Fig. 5-25. Auger analysis depth profiles of the corroded ARC-TiN film of failed sample (analysis points approximately 50  $\mu\text{m}$  from the first TEOS oxide crack).

これらの結果から Fig. 5-21 の STEM-EDX 分析で検出されたフッ素元素は TEOS 酸化膜の 2 次クラック発生後に、クラック部分の表面を拡散したものが時間経過とともに蓄積し、ARC-TiN 膜の腐食した TiO 膜近傍に検出されたものと考えられた (Fig. 5-26)。

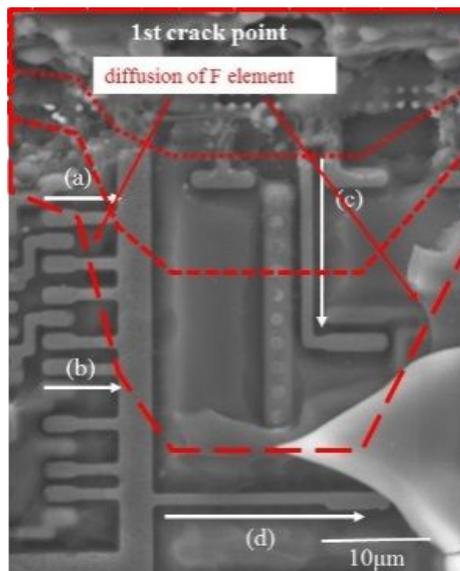


Fig. 5-26. Schematic figure of fluorine diffusion from the first crack of the TEOS-SiO<sub>2</sub> film.

#### 5-5-4. フッ素元素の検出原因

##### 5-5-4-1. 陽極酸化 TiON 膜中の酸素濃度とフッ素元素の関係

腐食し TiO 化した ARC-TiN 膜近傍からフッ素元素が多く検出されることから、TiN 膜を精製水中で陽極酸化を行い TiON 膜を作成し、BHF 水溶液中に浸漬して TiON 膜中酸素濃度と膜中に取り込まれるフッ素濃度の関係を調査した。Si 基板上に Al 膜を DC スパッタ法で成膜し、その上層に反応性スパッタ法で ARC-TiN 膜を成膜した 2 層構造の陽極酸化用サンプルを作成した。これを常温で 5 V を印加し 30 分間、陽極酸化を行い TiON 膜を製作した。この陽極酸化法で作成した TiON/Al 膜を常温の 6 : 1BHF (HF 濃度 7.8 wt%) の水溶液に 5~25 分間浸けた後、TiON 膜中の酸素濃度とフッ素濃度について SEM-EDX 分析を行った結果を Fig. 5-27 に示す。Fig. 5-27 (a) に示す様に、TiON 膜中の酸素濃度に比例してフッ素濃度が増加する傾向があった。酸化が進んでいない TiN 膜側のフッ素濃度が 5 wt%以下に対して、酸素濃度が高い TiON 膜では最大 30 wt%もフッ素元素が含まれていた。更に BHF 水溶液に浸ける時間とフッ素濃度の増加の関係をみると、酸化が進んだ TiO 膜では時間の経過とともにフッ素濃度の増加が見られたが、酸化が進んでいない TiN 膜では浸漬時間によるフッ素濃度の増加は全く見られなかった (Fig. 5-27 (b))。

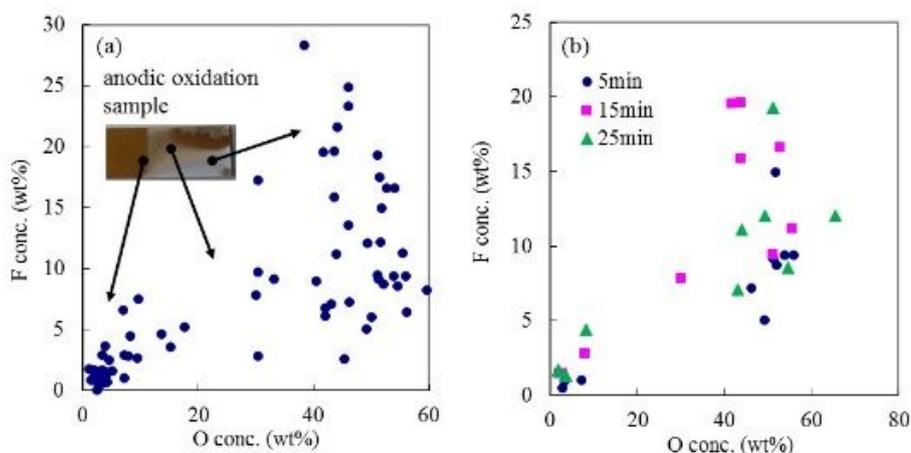


Fig. 5-27. Concentration of fluorine in anodically oxidized  $\text{TiO}_x\text{N}_y/\text{Al}$  film after soaking in BHF solution. a) Oxygen concentration in  $\text{TiO}_x$  film dependence, b) BHF soaking time dependence.

次に、フッ素 F-イオンとして存在し易く、陽極側（電位の高い側）に移動し易いと考えられるため、フッ素の極性依存について調査した。先の実験と同じ TiN/Al 膜を陽極酸化法で作成した TiON/Al 膜を陰極に用い、正極には TiN/Al 膜を用いた。常温の 200 : 1BHF を更に 200 倍に希釈した BHF 水溶液 (HF 濃度 0.0015 wt%) 中で陽極酸化を行った。陽極側に 5 V を印加し、30 分間陽極酸化を行った後、正極 TiN/Al 膜、陰極 TiON/Al 膜の SEM-EDX 分析を行った。正極では陽極酸化が起これ、TiN 膜が TiO 化し、膜中酸素濃度に比例してフッ素濃度が増加するこれまでの結果が再現した。一方、負極側でも同様に酸素濃度に依存してフッ素濃度の増加が見られ、極性によらず TiON 膜中の酸素濃度が高くなると膜中

のフッ素濃度が増加する傾向があることが分かった。尚、負極に TiN/Al 膜を用いて同じ実験を行ったところ、TiN 膜は TiO 化せず、膜中フッ素濃度の増加も見られなかった (Fig. 5-28)。これまでの実験結果から ARC-TiN 膜の腐食箇所から検出されたフッ素元素は、ARC-TiN 膜の腐食反応には関与したものでは無く、腐食により TiON 膜が形成された後に、この TiON 膜と結びついたと考えられる。

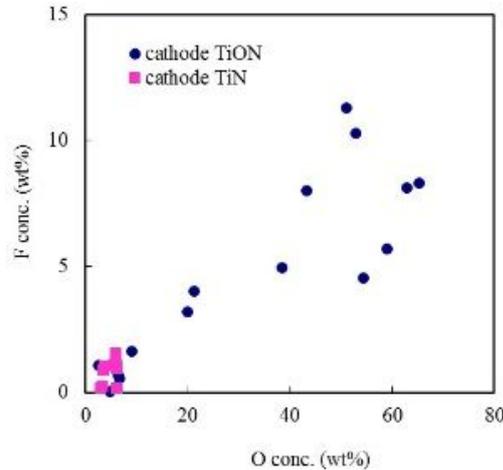


Fig. 5-28. Polarity dependence of fluorine concentration in anodically oxidized  $\text{TiO}_x\text{N}_y/\text{Al}$  film after soaking in BHF Solution.

#### 5-5-4-2. 陽極酸化 TiO 膜と熱酸化 TiO 膜の比較

TiN 膜の酸化方法として陽極酸化法以外に熱酸化法がある。熱酸化法は、酸素雰囲気中において  $500^\circ\text{C}$  以上の熱処理で直接酸化させる方法で、水分の電気分解による陽極酸化法とは異なる[10]。また、TiO 膜中に OH 基などが残留するとフッ素を捕獲し易い性質があることも報告されており、陽極酸化法で形成した TiO 膜中には OH 基の存在することが確認されている[11、12]。そこで、この2つの方法で作成した TiO 膜について膜構造やフッ素の捕獲について比較した。サンプルは熱酸化が  $500^\circ\text{C}$  以上の処理が必要になるため、融点が低い Al 膜は成膜せず Si 基板上に直接 TiN 膜を約 100 nm を反応性スパッタ法で成膜した単層 TiN 膜サンプルを用いた。

Fig. 5-29 に陽極酸化法で作成した TiO 膜と熱酸化法で作成した TiO 膜の表面形状と断面形状の SEM 画像を示す。熱酸化は酸素雰囲気中の  $550^\circ\text{C}$  で 30 分処理した。一方、陽極酸化は常温の精製水中で 5V を印加し 30 分間陽極酸化した。Fig. 5-29 の断面部分の観察結果から両者共、ほぼ均一に深さ方向に酸化が進んでいるのが分かり、膜厚は体積膨張で約 2 倍に増加していた。一方、TiO 膜化反応の進み方を見ると熱酸化法の場合は、元の TiN 膜構造と同じ樹状構造を維持しながら酸化が進んでいるのに対して、陽極酸化法の場合は、樹状構造は見られなくなった。更に、TiO 膜化することで多孔質膜になりその細孔部分も、熱酸化法で作成した TiO 膜では樹状構造と同じ縦方向に形成されているのに対して、陽極酸化法で作成した TiO 膜では、細孔が不規則に形成されており、両者の TiO 膜構造が大きく異なる

ことが分かった。陽極酸化初期では、均一に酸化層が形成されるが、その酸化による体積膨張により酸化膜層が凸凹な表面になり、この凸凹ができることで電流密度が不均一になり酸化速度が変化するため、凸凹がより顕著になると考えられ、低電圧で形成される TiO 膜はアモルファス構造であるため、熱酸化で得られる結晶性の TiO 膜に比べ膜密度は低く、微孔が形成されやすい。この微孔部分が繋がって細孔成長する箇所と成長しない箇所が混在するため、細孔部分が不規則に形成されると考えられる。

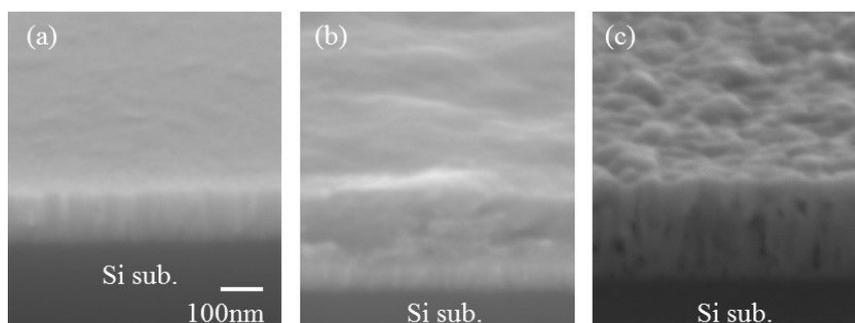


Fig. 5-29. Comparison of SEM cross-sectional observations of anodically oxidized TiO film and thermally oxidized TiO films. a) TiN as deposition film, b) after anodic oxidation with 6V for 30 minutes, c) after thermal oxidation at 550°C for 30 minutes.

#### 5-5-5. フッ素元素の拡散メカニズム

陽極酸化法で形成した TiO 膜と 550°C の熱酸化法で形成した TiO 膜を常温の 6 : 1 BHF の水溶液中に 10 分間浸漬し、フッ素濃度について SEM-EDX 分析を行った。Fig. 5-30 に SEM-EDX 分析例を示す。酸素濃度の異なる領域に対して SEM-EDX 分析を行ったが、熱酸化法で形成した TiO 膜だけでなく陽極酸化法で形成した TiO 膜のいずれからもフッ素元素は検出されなかった。この様に、単層の TiN 膜を酸化させた TiO 膜からは全くフッ素元素が検出されない結果となった。

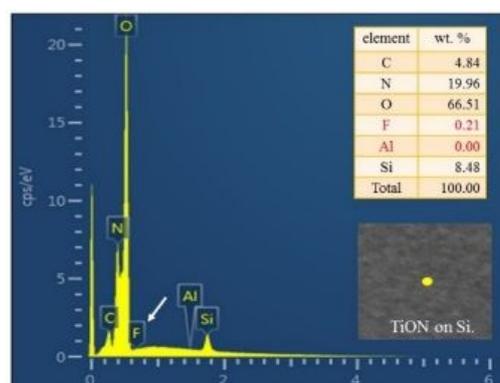


Fig. 5-30. 2D SEM-EDX spectrum after soaking a single layer of TiO film prepared by anode oxidation for 10 minutes in BHF solution.

ここまでの実験結果からフッ素元素の検出には下層 Al 配線の存在が新たに疑われたため、陽極酸化で作成した  $\text{TiO}_x/\text{Al}$  膜を 100 倍に希釈した HF 水溶液中に 10 分間浸けた後、ARC-TiN 膜を RIE により除去し、Al 表面形状の SEM 観察と SEM-EDX 分析を行った。Fig. 5-31 (a) に示す様に、Al 表面が HF によりエッチングされている箇所が見られ、SEM-EDX 分析の結果、エッチング箇所の周囲に高い濃度でフッ素元素が検出された。膜密度の低い  $\text{TiO}$  膜内をフッ素が拡散して下層の Al 層と反応したものと考えられる。この Al 配線腐食箇所は ARC-TiN 膜の腐食が発生した箇所でのみで見られ、SEM-EDX 分析の結果、この Al 配線の腐食箇所からも高濃度のフッ素元素が検出された。

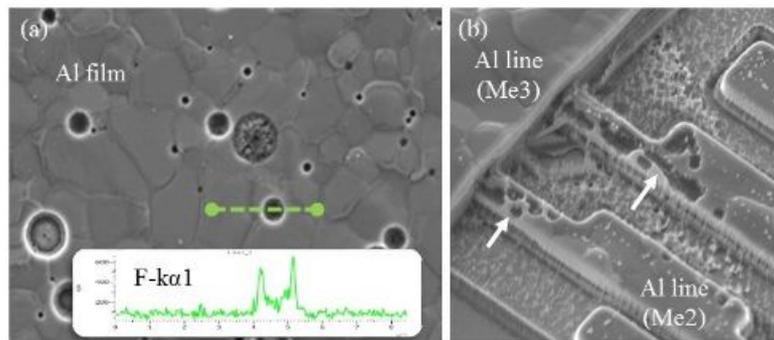


Fig. 5-31. SEM observation and EDX analysis after removing the  $\text{TiO}_x$  film from the Al film. a) Result of EDX analysis of the Al film surface and etched areas after removal of the  $\text{TiO}_x$  film, b) corroded area of the Al lining after removal of the ARC-TiN film of a failed sample.

即ち、TESO 酸化膜中の残留フッ素原子が ARC-TiN 膜の  $\text{TiO}_x$  化に伴う体積膨張で発生した TESO 酸化膜のクラックを介して拡散し、 $\text{TiO}$  膜中にランダムに発生した細孔部分から  $\text{TiO}$  膜中を拡散し下層の Al 配線と反応したものが、SEM-EDX 分析で検出されたものと考えられる (Fig. 5-32)。一方で、腐食の進んでいない ARC-TiN 膜は密度の高い樹状構造を有しフッ素原子が  $\text{TiN}$  膜中を拡散できず、Al 配線との反応が生じないため、フッ素元素が検出されなかった[13, 14]。Fig. 5-27 や Fig. 5-28 で示した酸素濃度とフッ素濃度の比例関係は、酸化が進むことで緻密な  $\text{TiN}$  層からポーラスな膜に変化したためと考えられる。

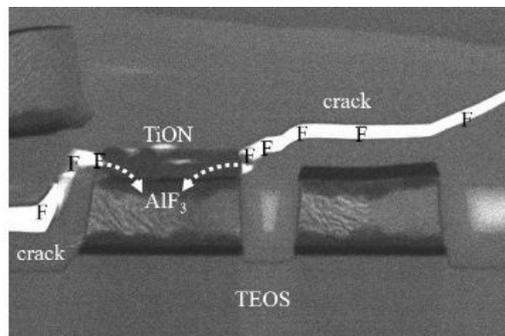


Fig. 5-32. Schematic description of fluorine diffusion from the crack of the TESO oxide film via the  $\text{TiO}_x$  film to the Al lining.

## 5-6. 対策

ARC-TiN膜腐食の故障解析結果から、上流である設計段階での作り込みが大事である。設計者がチップサイズやデバイスの機能のみを優先し、プロセスバラツキを考慮しないで設計したとしても、プロセスバラツキがある範囲を超えた時のみ、不良や故障が発生するため、設計の悪い点を認識できない場合が多い。特に、今回の様な複合要因による故障は、半導体デバイスの3次元構造に依存した故障であるため、2次元的にデバイスを見る設計者には理解し難い。従って、今回の様な故障解析を通して得られた結果は、設計者にも3次元的な故障状態が具体的にイメージし易くなるため、レイアウト作成時の禁止事項を具体的に決定できる。本章のケースから設計段階でメタル配線のレイアウトを充分考慮すれば、プロセスバラツキを吸収できることが分かった。更にTEOS酸化膜の膜質管理とCVD装置の装置管理が重要であり、膜の屈折率、ウェットエッチレート、応力測定などのモニタリング、CVD装置のトレンド管理が必要になる。ARC-TiN膜腐食の場合、TEOS酸化膜内部クラックが発生しなければSOG膜中に残留水分があったとしても問題は発生しないため、TEOS酸化膜管理が最も重要である。この様に、複合的な要因で発生する故障には、メインとなる故障要因が必ず存在し、TEOS膜質の変化をモニタリング技術により解消し、次にサブとなる上層メタル配線のレイアウトと形状を変更し、マージンを確保する必要がある。

## 5-7. 結論

ARC-TiN膜の腐食は、デバイス内の残留水分と印加電圧による陽極酸化であることを示し、弱アルカリ性水溶液中では、低電圧、短時間でTiN膜の陽極酸化腐食が起き、TiN膜が酸化(TiON膜化)することで体積膨張し、TEOS酸化膜の2次クラックを発生させる。このTiN膜腐食の原因となるTEOS酸化膜、SOG膜の1次クラックの発生は、低屈折率TEOS酸化膜とその上層メタル配線レイアウトが原因である。大面積の上層メタル配線では、高い引張残留応力が発生するため、TEOS酸化膜クラックやSOG膜クラックの発生の要因となる。更に上層メタル配線と接する上層のcap-TEOS酸化膜の屈折率が低いと膜質が劣化し、上層メタル配線の引張応力に耐えられず上層メタル配線の応力緩和するため、SOG膜クラックや剥がれが発生する。この様に、複合的な要因でSOG膜クラックやTEOS酸化膜クラックを引き起こした。また、ARC-TiN膜腐食に対してデバイス内部の残留フッ素の影響を調査したところ、広範囲で見るとフッ素濃度分布とARC-TiN膜の腐食程度が一致せず、ESCA分析の結果から腐食したARC-TiN膜の深さ方向の元素分析からはフッ素元素は検出されなかった。即ち、ARC-TiN膜がTiO膜化し体積膨張したことにより発生した2次クラック表面を膜中残留フッ素が拡散し、ARC-TiN膜下のAl配線と結合したものでARC-TiN膜腐食反応には関与しないことがわかった。但し、この様なAl配線のフッ素による腐食は、Al配線の断線故障に繋がるため、残留フッ素の低減は複合要因故障のマージン確保のためにも必要である。

## 参考文献

- [1] Barbieri Thomas J, et al., Proceeding of 32nd ISTFA, November 12-16, 2006, pp. 461-468.
- [2] McVeigh Martin, et al., Proceeding of 34th ISTFA, November 2-6, 2008, pp. 449-458.
- [3] Passemard Gerard et al., Microelectron Eng., 1997, 33, 1997, pp. 335-342.
- [4] Li Weidan, et al., Mater Res Soc. Symp. Proc, 476, 1997, pp. 261-266.
- [5] Fortin V, et al. VIMIC, September 25-26, 2001, pp. 513-515.
- [6] S. Morimoto et al., VMIC, proceeding, 1988, pp. 411-418.
- [7] Peng Li et al., Journal of semiconductors, vol. 31, No. 12, 2010, pp. 126003-1 -126003-3.
- [8] Gambion J, et al., VMIC, June 18-20, 1996, pp. 180i-180k.
- [9] Choi JH, et al., VIMIC, June 27-29, 1995, pp. 397-399.
- [10] Montero I et al., Surf Sci., 251(252), 1991, pp. 1038-43.
- [11] Avasarala Bharat and Haldar Pradeep, Electrochem Acta, 25(28), 2010, pp. 9024-9034.
- [12] Endou M, et al. Japan patent, JP5072780 (31.08.2012).
- [13] Williams R and Woods MH, J Appl Phys, 46(2), 1975, pp. 695-698.
- [14] Kim SE and Steinbruchel Ch, Appl Phys Lett 75(13), 1999, pp. 1902-1904.

## 第6章 FABプロセスと設計デザインの複合要因による via 高抵抗故障メカニズム

### 6-1. 背景

メタル配線のデザインルールの縮小化に伴い、デバイス構造やデバイスの信頼性に対して via マージンが小さくなっている。近年、多層配線化に伴い、配線長が長くなり via 数も増加しているため、高歩留まりや高信頼性を維持するためには、事前に配線問題を予防することが重要である。正しい故障解析によりメタル配線問題の発生メカニズムを明確にし製造プロセスへのフィードバックが必要であり、これまで多くのプロセスの改善報告がなされ、歩留まり改善に寄与している [1-4]。更にプロセスマージンやレイアウトマージン、設計マージンは厳しくなり、更にそれらが相互に影響し合う傾向が強くなってきている。特にレイアウトマージン、設計マージンが十分確保されていない製品は、製造変動などの影響を受け、製品マージンが少なくなり、生産段階では機能上問題無かった製品が経時的な変化や環境の変化により、市場において故障に至るケースがあり信頼性上大きな問題になる[1]。

本章では、マージナルな故障に至ったその via 高抵抗メカニズムを調査し、プロセス、レイアウト、設計の相互の via 高抵抗要因への影響について述べる。

### 6-2. 故障デバイスの特徴

評価に用いた故障デバイスは、0.25  $\mu\text{m}$  プロセスノードの5層AI配線プロセスのLOGICデバイスである。故障デバイスは、HTOL試験（125°C、3.0V印加、AC動作）後の機能テストで故障と判定された。いくつかの故障デバイスは不安定動作を示し、50個の故障デバイスに対して室温で繰り返しテスト（50回）を行ったところ、約70%は常にFail判定されたが、残りの30%はpassとFailをランダムに繰り返す不安定な故障であった。この結果から、故障状態が安定した故障デバイスとpassとFailを繰り返すマージナルな故障デバイスの2タイプに分けられた。

### 6-3. 故障箇所特定と故障モードの推定

いくつかの故障デバイスを用いて故障箇所特定のため、PEM顕微鏡観察（浜松ホトニクス社製 Phemos1000）を行った。Fig. 6-1は、故障状態が安定している故障デバイスを用いて、1.8Vおよび10 MHzでAC動作させながらPEM解析を行った結果である。Fig. 6-1 (a) に示す様に、多くの発光が観察された。OBPFによる分光スペクトル解析からN-ch MOSFETのIdsat 電流によるホットキャリア発光のスペクトルが得られ、viaオープン不良が疑われた。更にこ

の製品のレイアウト・データベースを用いて、これらの複数の発光箇所とデバイスの回路レイアウトの関係を調査した。回路レイアウトの調査から共通ネット上の1個のVIA1（メタル1配線とメタル2配線を接続するvia）が故障箇所と判明した（Fig. 6-1 (b)）。一方、マージナル故障デバイスを用いて、PEM解析を行ったところ、繰り返しテストでテスト結果が変化した様に、発光箇所も変化した。これらの解析結果から、故障箇所特定したvia高抵抗の抵抗値が故障デバイス毎で異なることが推定された。

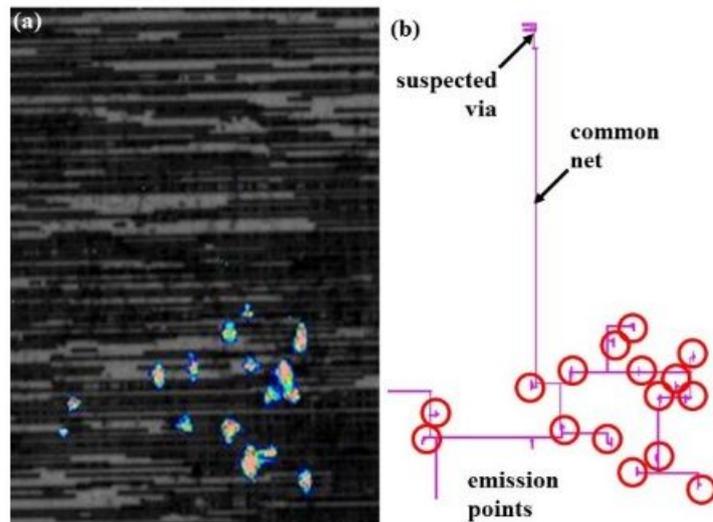


Fig. 6-1. Emission microscopy and circuits analysis results: (a) emission points and (b) common net and suspected Via point.

#### 6-4. 高抵抗via形成のFABプロセス依存

##### 6-4-1. 高抵抗viaのTEMによる断面観察とEDX分析

Figs. 6-2、6-3にPEM解析より特定された故障viaの断面TEM観察結果とTEM-EDXによる元素分析結果を示す。このviaは、ARC-TiN膜を突き抜ける方式で製造されているにもかかわらず Wプラグの底部がARC-TiN膜の底部とほぼ同じ位置になっている（正常なviaのWプラグ底部は約10 nm下にある）。また、Wプラグの底部には、厚さ約30 nmの異常層が見られ、TEM-EDX分析の結果、TiとAlが主成分の合金層であることが分かった。このTi-Al合金層は、400℃以上の熱処理を8回以上経ているため、 $Ti_xAl_y$  金属間化合物として存在すると考えられる。また、Fig. 6-3 (a)に示す様に、Tiはメタル1配線のAl配線中に深く拡散しており、 $Ti_xAl_y$  合金化による $Ti_xAl_y$  のボリューム収縮による転位が観察された（Fig. 6-3 (b)）。これらの結果から、Wプラグ底部の異常層は $Ti_xAl_y$  合金層であり、この異常層の形成が高抵抗viaの原因である。

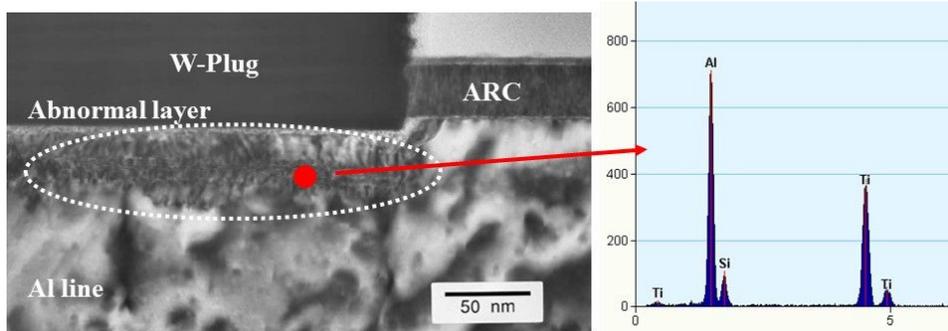


Fig. 6-2. Cross-sectional TEM image and TEM-EDX analysis result of abnormal layer formed at the bottom of suspected via.

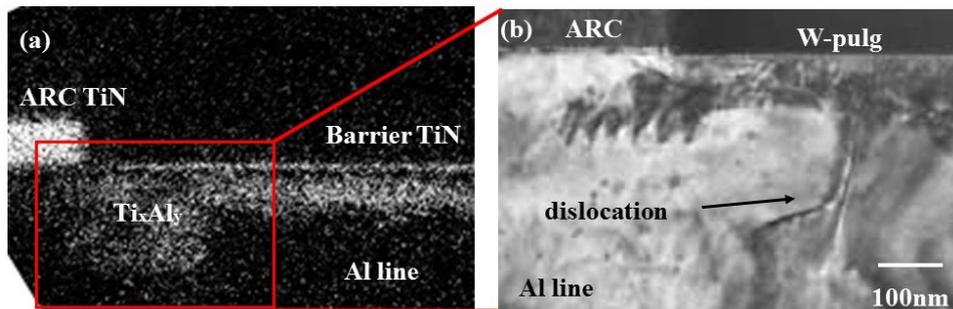


Fig. 6-3. TEM-EDX analysis result of abnormal layer formed at the Via bottom: (a) Ti mapping and (b) enlarged TEM image of Ti diffusion area.

次にマージナルな故障デバイスの断面TEM観察写真をFig. 6-4 に示す。Ti<sub>x</sub>Al<sub>y</sub> 合金層は高抵抗viaのWプラグ底部の全体では無く一部に発生し、Ti バリア層がその下に存在していることからメタル1配線のAlが、IMP-Tiバリア層形成後にviaの底部の側部側からvia内部に押し込まれ、このバリアTiとAlが合金化してTi<sub>x</sub>Al<sub>y</sub> 層の形成に至ったと考えられ、Ti<sub>x</sub>Al<sub>y</sub> 混合層はWプラグ形成のCVDプロセス前に形成されていたと考えられる。

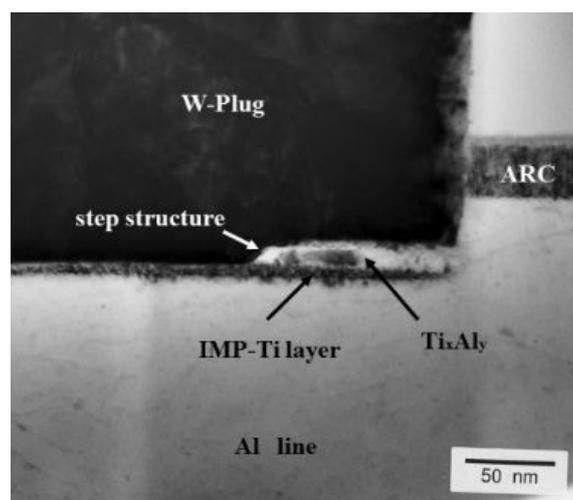


Fig. 6-4. Cross-sectional TEM image of suspected via taken from unstable failure sample.

## 6-4-2. Al膜の物性測定

メタル1配線の結晶粒径分布、結晶配向性をEBSP法によって評価した[5、6]。分析にはショットキー型SEM (JEOL社製 JSM6500F) およびOMI分析ソフトウェア (TSL) を用いた。Fig. 6-5に幅の広いメタル1配線 (30  $\mu\text{m} \times 25 \mu\text{m}$ ) のAl膜のEBSP結果を示す。故障デバイスの平均結晶粒径および標準偏差は、6.29  $\mu\text{m}$ 、2.08で良品デバイスでは5.04  $\mu\text{m}$ 、1.60であり、良品デバイスよりも結晶粒径が大きく、ばらつきも大きい。しかし、結晶配向性に関しては、両デバイスともに強いAl (111) 結晶配向性を示した。これらの結果は、メタル1配線の成膜工程には大きな問題は、発生していなかったことを示す。

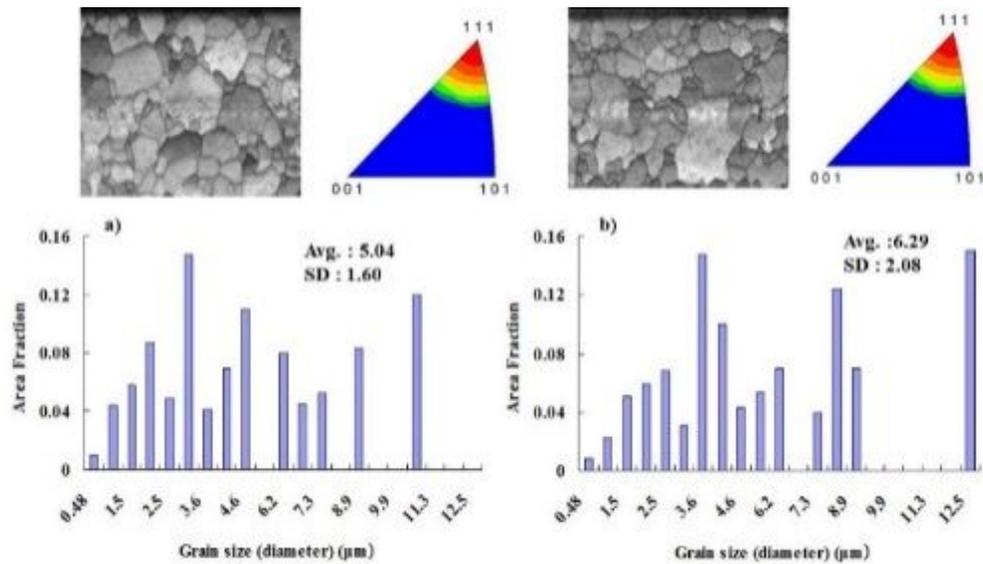


Fig. 6-5. EBSP analysis results of grain diameter histograms, crystal orientation and grain map of METAL1 Al line: (a) good sample and (b) failure sample

## 6-4-3. 高抵抗viaの形状のTEMによる断面観察

良品デバイスと故障デバイスのvia底部付近のサイドウォール形状とTiN/Tiバリア層のステップカバレッジを比較した。Fig. 6-7 (a) に示す様に、良品デバイスはviaサイドウォールにテーパがついており、TiN/Tiバリア層のステップカバレッジも問題無く、via底部付近でも8 nm程度の膜厚がある。一方、故障サンプルのサイドウォールは、Fig. 6-7 (b)に示す様に垂直形状をしており、そのためTiN/Tiバリア層のステップカバレッジが低下し、3~5 nm厚さしか無い[9]。via形成プロセスでは、初めに層間絶縁膜のviaホールをエッチングが行われ、TiNとTiバリア層を連続形成する。15 nm厚のTi膜はIMP法で成膜し、次に5 nmの厚のTiN膜を400°CのCVD法で成膜し、最後にWプラグが形成される。CVD-TiN膜の400°Cのプリヒート工程時にAl膜の熱膨張が起こり、膜厚の薄いTi膜を破ってvia内部に押し込まれvia底部に高抵抗Ti<sub>x</sub>Al<sub>y</sub>層を形成すると考えられる。更にFig. 6-8に示す様に、via底部周囲には多孔質部分や小さなボイドが観察されている。これらの多孔質部分やボイドは、Alの押し込みによ

って $Ti_xAl_y$  混合層が $Ti_xAl_y$  合金層に変化することで約5%の体積収縮が起きることに起因していると考えられ、これらの多孔質層やボイドが高抵抗化の原因のひとつである[10-13]。更にメタル1配線Al膜が引張の残留応力を持つ場合、クリープ現象によりAl粒界に沿って空孔が移動蓄積し時間とともにボイドが成長する[14]。従って、via高抵抗化は、via底部での $Ti_xAl_y$  層の形成と、それに伴うvia周囲のAl膜中での多孔質層の発生やボイドの発生が原因である。

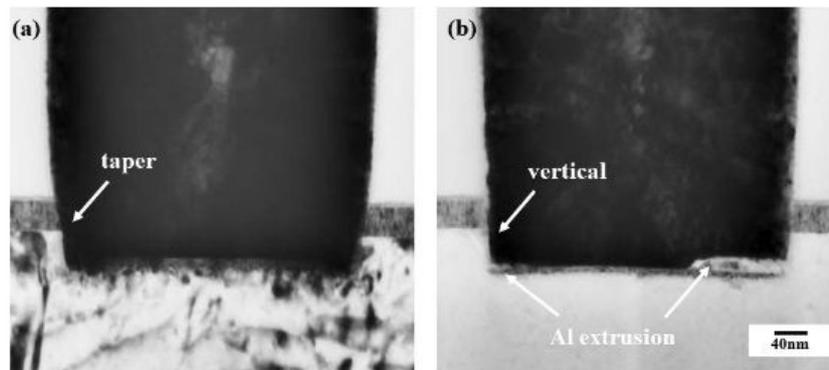


Fig. 6-7. Cross-sectional TEM image of via sidewall shape and TiN/Ti barrier layer step coverage: (a) good lot sample and (b) failure sample.

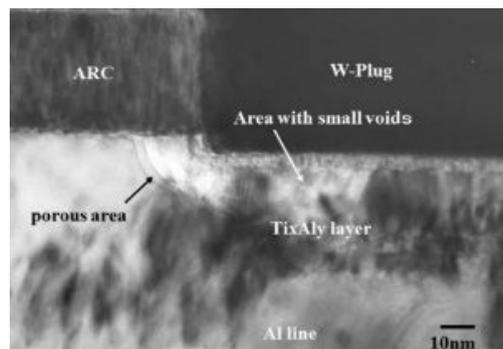


Fig. 6-8. Porous areas and areas with small voids surrounding the high resistance via bottom.

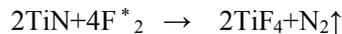
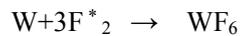
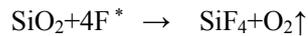
## 6-5. 高抵抗via形成の設計デザイン依存

### 6-5-1. via内合金層のSEMによる平面観察手法

TEM観察に代わるvia内部の $Ti_xAl_y$  合金層の発生を簡単にSEM観察できる手法を開発した。 $Ti_xAl_y$  合金層を直接SEM観察するため、平面研磨法とRIE ( $CF_4+O_2$ ) の組合せによって、 $Ti_xAl_y$  合金層を露出させた。 $CF_4$ ガスはプラズマ内で以下に分解する。



この発生したFラジカルがSiO<sub>2</sub>やW、TiNと反応しAlやAl合金のみが選択的に残る。



平面研磨法によりviaのWプラグを露出させ、その後、RIEで層間絶縁膜とWプラグを同時にエッチングし、メタル1配線を露出させるとvia部分にはTi<sub>x</sub>Al<sub>y</sub>化した異常層が残り平面SEMにより容易に観察できる。この方法では、チップ内の全てのviaが同時に観察できる。Fig. 6-9に本手法を用いて故障箇所特定した3つの高抵抗viaの平面SEM観察画像を示す。全てのviaでTi<sub>x</sub>Al<sub>y</sub>層が確認され、それは周辺部から形成されており、Fig. 6-4のAlの押し込まれた状態の断面TEM画像と一致し、この観察手法が有効であることが分かる。この観察手法を用いて、セル上のvia位置と異常viaの発生頻度の関係を調査した。

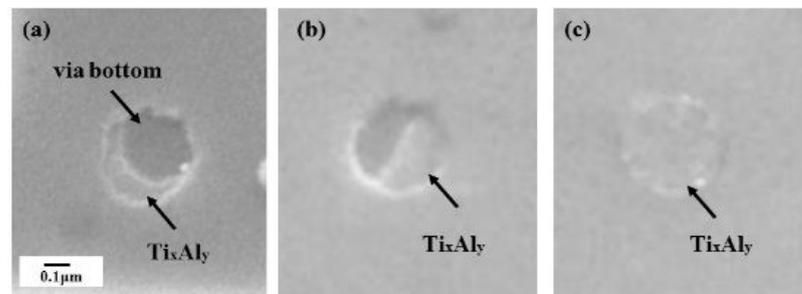


Fig. 6-9. Top-view SEM image of three typical isolated vias after exposing Ti<sub>x</sub>Al<sub>y</sub> layer. Coverage of Ti<sub>x</sub>Al<sub>y</sub> in via bottom are about (a) 25 %, (b) 50 % and (c) 100 %.

#### 6-5-2. 高抵抗viaのセル構造依存

6-3のPEM解析と回路解析分析の結果、故障箇所特定されたviaが特定のセルの単一のviaに限定されたことから、高抵抗viaのセル構造とレイアウト依存性について調査した。初めに、故障箇所特定されたviaが多くのファンアウトを持つバッファ回路の出力メタル1配線（ドレイン配線）またはインバータ回路の出力メタル1配線（ドレイン配線）に接続されている。これらの高駆動力を持つ回路では、AC動作時の大きな貫通電流によるEMを防止するために幅の広いメタル1配線が用いられている。更にviaのレイアウトには、Fig. 6-10に示す様に、この幅の広いメタル1配線内にviaが形成されている場合と外部に引き出された配線に形成されている2つのタイプが存在し、PEM解析で特定したviaの全てが前者のviaレイアウトであった。

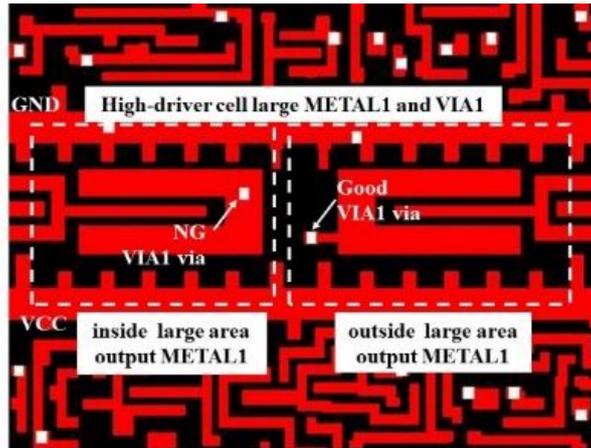


Fig. 6-10. Two types of single Via (white square) layout connected to an output METAL1 Al line (red) of a buffer cell.

そこで、6-5-1で示したSEM観察手法を用いて、出力メタル1配線（ドレイン配線）上のvia位置をFig. 6-11 に示す様に出力メタル1配線の中央部、端部、先端部、外部の4つに分類し、各40個のviaを観察した。観察結果をFig. 6-12 に示す。Fig. 6-12 (a) に示す様にvia底部の異常層の発生頻度は、中央部が85%で最も多く、次に82.5%で端部が多かった。それに対して外部では僅か30%であった。 $Ti_xAl_y$  がvia底部50%以上（via内の半分以上に異常層が形成されてる）を占める割合も同じ傾向を示した（Fig. 6-12 (b)）。例えば、中央部のviaでは、32個/40個で異常層が発生し、更に25個/40個のviaはvia面積の半分以上が異常層に占められているが、外部になるとそれが2個/40個になる。この様にvia位置が $Ti_xAl_y$ 層形成の主要因の1つであると考えられ、特にvia周囲のAl量が増えるとAlの膨張量が増え、via底部への押し込みが発生し易くなることから、中央部で異常層が発生し易い理由である。

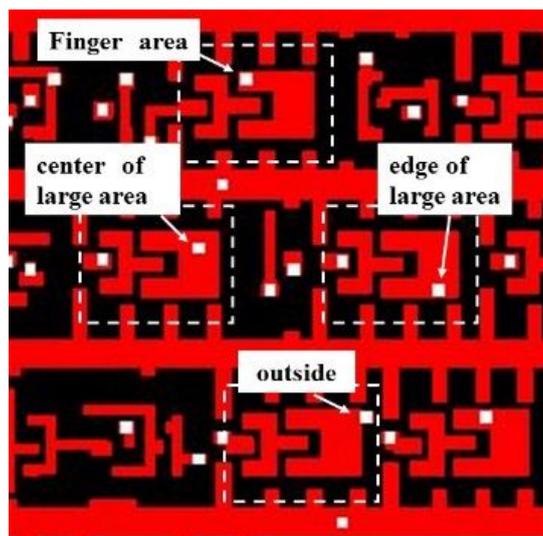


Fig. 6-11. Classification of the vias (White Square) locations: center, edge, finger and outside of a large-area output METAL1 Al line.

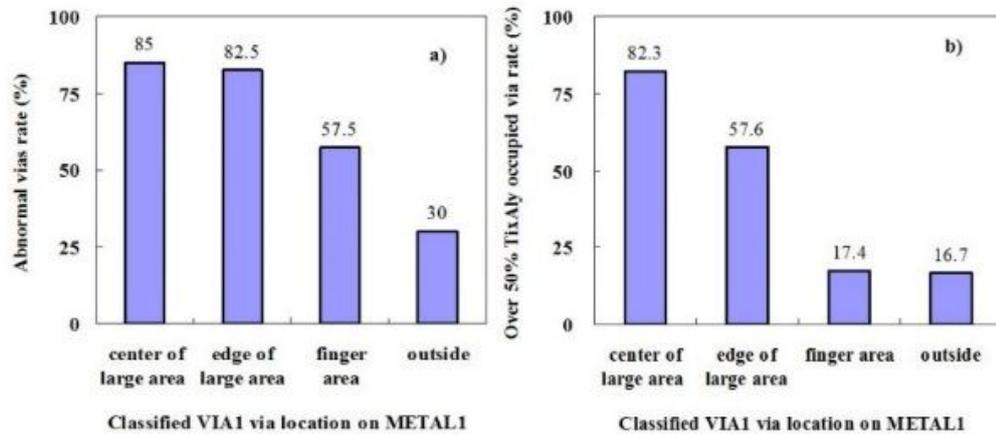


Fig. 6-12. Relationship between via locations on a buffer cell and the frequency of abnormal via occurrence: (a) abnormal via rate and (b) over 50 % Ti<sub>x</sub>Al<sub>y</sub> occupied via rate. Forty vias were observed for each classified area.

更にこれらを確認するために、幅の広いメタル1配線のGND配線 (20 μm × 45 μm) を用いて規則的に並んだ18個のviaを観察した結果をFig. 6-13に示す。Ti<sub>x</sub>Al<sub>y</sub>合金層が70 % 以上のviaで発生しており、via周囲の Al 量と Ti<sub>x</sub>Al<sub>y</sub>合金層の発生率との間の強い関係があることが分かった。高駆動能力を持つ回路の様に大面積のメタル1配線中央部にviaが単独で存在する場合、viaエッチング形状が製造プロセスの許容範囲内のばらつきであってもvia高抵抗問題が発生する可能性がある。

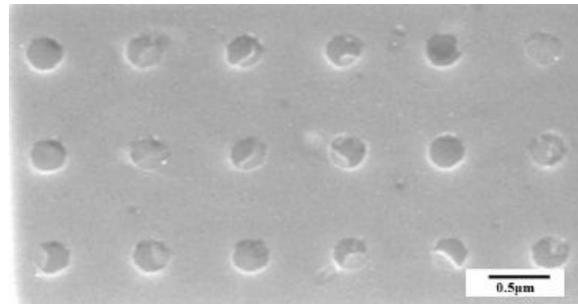


Fig. 7-13. Top-view SEM images of vias on a large METAL1 GND line (20 μm × 4 μm) after exposing Ti<sub>x</sub>Al<sub>y</sub> layer.

### 6-5-3. Via高抵抗化メカニズム

Table 6-1に同じ製造ラインで製造された同じプロセスルールの3製品に対して、大面積メタル1配線の中央部にviaを配置したファンアウト数が8以上の高駆動能力を持つセル数と高抵抗via故障の発生を比較した結果を示す。製品Aは、高駆動能力を持つセルの使用数が少なく、問題のvia位置を使用したセルは16セルしかなく、高抵抗via故障も発生していない。また、製品Cでは多くの高駆動能力を持つセルを使用しているが、問題のvia位置を使用したセルの使用数は20セルで、同じく高抵抗via故障は、発生していない。一方、高抵抗via故障が発生した製品Bは、高駆動能力を持つセルを多用しており、問題のvia位置を使用したセル

構造が143セル存在し、セル構造が高抵抗viaの発生原因の1つであることが分かった。

物理解析の結果からは、高抵抗化したvia内のTi<sub>x</sub>Al<sub>y</sub> 異常層のviaに占める割合はvia毎に異なるため、高抵抗化したviaの抵抗値は、一定では無い。一方、レイアウト設計解析からは、via高抵抗問題が起きる高駆動能力を持つセルのトランジスタのWが比較的大きいため、動作時に高駆動能力を持つセルに流れる貫通電流量は、通常のセル1に比べ8~20倍多い。この電流によるジュール熱で局所的な温度上昇が起これ、小規模のEM現象を発生させる。更に高抵抗化するviaは大面積メタル1 配線の電流が集中される中央部分に配置されており (Fig. 6-14) 、HTOL試験での動作時にジュール熱やEM現象が繰り返されることでviaの抵抗値が変化し故障に至った。

Table 6-1. Comparison of via high resistance issue among mass-produced product.

Products Name	High driver Cell name	Number of Centre area VIA1cell/Total cell numbers	Via high resistance failure issue
A 8,600 gate chip size 2.5x2.5	INV × 8	3/90	No
	BUF × 20	4/38	
	CLKBUF × 8	9/36	
B 310,000 gate chip size 3.8x3.8	INV × 8	13/128	Yes
	INV × 16	70/195	
	BUF × 8	48/101	
C 600,000 gate chip size 5.4x5.4	BUF × 16	12/63	No
	INV × 8	10/88	
	BUF × 8	4/52	
	CLKBUF × 12	4/192	
	CLKBUF × 16	2/153	

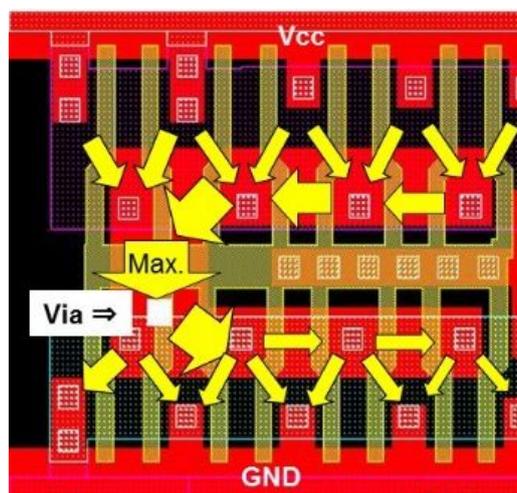


Fig. 7- 14. Schematic of flow-through current (yellow arrow) of CMOS type high-driver cell (BUF×16).

## 6-6. 対策

via 高抵抗の故障解析結果から上流である設計段階での作り込みが大事である。本章のケースからも、設計段階でレイアウトを充分考慮すれば、プロセスバラツキを吸収できることが分かった。更に高い駆動力を要求されるセルの性質上、多くの貫通電流が繰り返し流れることからEMを考慮してメタル配線幅を大きくしたが、実情には沿っておらず、結果として逆効果になってしまった。そこで、実際の回路レイアウトでの電流フローをシミュレーションすることで、via を配置してはいけない箇所を明らかにする必要がある。EM 試験においてもセルレイアウトを意識した EM 試験用 TEG パターンの作成が信頼性の向上に結びつく。一方、プロセス側の対策としては、via 高抵抗では、via のエッチングを ARC-TiN 膜を突き抜けるプロセスと ARC-TiN 膜内で via のエッチングを止めるプロセスが存在し、後者にプロセス変更することでマージンが向上し故障の発生を未然に防止できる。この様に、複合的な要因で発生する故障対策としては、メインの故障要因である via 配置のレイアウト制限を行い、メインの故障要因を解消し、故障発生を防止する。次に、via のプロセス構造を変更し、サブとなる故障要因を解消してマージン確保を行う。

## 6-7. 結論

via高抵抗化の原因が製造プロセスばらつきとレイアウトデザインルールの不具合の複合要因によることを明らかにした。初めに、故障箇所として多くのファンアウトを持つ高駆動力のセルのviaを特定した。断面TEM観察から高抵抗化したvia底部に、異常層として約30 nm厚さの $Ti_xAl_y$  合金層が形成され、via底部周辺にはボイドが形成されていることが分かった。次に、メタル1配線のレイアウト依存とvia位置依存を調査したところ、高抵抗viaの形成は、via周囲の Al 量が $Ti_xAl_y$  層形成の主要因であることが分かった。簡便なvia底部の平面SEM観測手法を用い、マージナルな故障デバイスでは形状の異なる $Ti_xAl_y$ 層が各via内に形成されていることが、マージン故障の原因である事が分かった。特定セル（高駆動力を持つバッファ回路やインバータ回路）の大面积出力メタル1配線（ドレイン配線）中央にviaが存在する場合、製造プロセスの許容範囲内のvia形状ばらつきであっても動作の過程でviaの高抵抗化の問題が発生する。

## 参考文献

- [1] Y. C. Chang, et al, VMIC Conference, June 27-29, 2000, pp. 297-301.
- [2] J. Y. Dai, et al, Proceedings of 8<sup>th</sup> IPFA, Singapore, 2001, pp. 183-186.
- [3] Sergai Drizlikh and Thomas Francis, IEEE/SEMI Advanced Semiconductor Manufacturing Conference, 2004, pp. 162-164.
- [4] Yeonah Shim, et al, Proceeding of SPICE, Vol. 6925, 2008, pp. 692513.1-692513.8.
- [5] C. Consalvo, et al, VMIC Conference, September 23-25, 2003, pp. 567-570.
- [6] B. Bacconnier, et al, J. Appl. Phys, Vol. 64, No. 11, 1 December 1988, pp. 6483-6488.
- [7] Shinichi Domae, et al, 36<sup>th</sup> IRPS, Reno, Nevada, 1998, pp. 318-323.
- [8] J. Aoyama, et al, 26<sup>th</sup> Annual LSI Testing Symposium, 2005, pp. 109-113.
- [9] C. R. Lin, et al., VMIC Conference, June 27-29, 2000, pp. 493-495.
- [10] Reijiroh Shohji, et al, IEEE Transaction on Semiconductor Manufacturing, vol. 12, No 3, August 1999, pp. 302-312.
- [11] D. H. Kim, et al, 39<sup>th</sup> IRPS, Orlando, Florida, 2001, pp. 294-298.
- [12] C. Rivero, et al, Microelectronic Engineering, vol. 64, 2002, pp. 81-89.
- [13] Sooling Toh, et al, VMIC Conference, September 23-25, 2003, pp. 555-557.
- [14] Hidekazu Okabayashi, Materials Science and Engineering, R11, No. 5, December 1, 1993, pp. 191-239.

## 第7章 ハード的手法に換わるソフト的手法を用いた故障箇所特定技術

### 7-1. 背景

ハードウェア手法である PEM 解析と OBIRCH 解析による LSI デバイスの故障箇所特定は、長く主流として用いられてきたが、近年の多層配線化に対してはこれらの技術だけでは故障箇所特定が困難になってきている。[1、2]。今日、ソフトウェアによる故障診断技術がこれらのハード的手法と併せて使用される様になりハード的手法の弱点を補完している。更に故障診断技術は、レイアウトを考慮した診断技術や n-defect 法により診断精度を向上させている[3、4]。故障診断による故障箇所特定の診断精度は、縮退故障に対しては、十分評価されているが、信号配線間の短絡モードに対しては、十分な評価は行われていない。一方で、PEM 解析と OBIRCH 解析による LSI デバイスの故障箇所特定の精度はすでに多くの報告が行われている。[5、6]。

本章では、PEM 解析および OBIRCH 解析による故障箇所特定結果との比較からソフトウェアを用いた故障診断技術による故障箇所特定の精度を評価した結果を述べる。

### 7-2. 実験方法

故障箇所特定の発光解析には InGaAs 検出器を装備した PEM 装置（浜松ホトニクス社製 Phemos1000）を用いた。発光解析では発光取得効率を上げるため AC モードで 1.8 V を印加しながらコンパクトテスター（阪和電子社製 HCT-3000）を用いて LOGIC テストパターンをループさせながら行った。PEM 装置は OBIRCH 解析にも使用し、OBIRCH 解析は DC モードで PEM 解析と同じ電圧で行った。ソフトウェアベースの故障診断には故障ネット診断結果（テキストデータ）をデバイスのレイアウトに変換できるレイアウト対応診断機能を備えた Tessent diagnosis（メンター・グラフィックス社製、ver. 8.2009\_2.10）を用いた。これらの手法より半導体デバイスの故障箇所特定を行い、ソフトウェアベースの故障診断とハードウェアベースの PEM 解析および OBIRCH 解析結果を比較した。評価には、via 形成工程でアライメントズレ（Fig. 7-1）によりメタル 2 配線（Me2）／via 間で短絡故障などを起した 0.18  $\mu\text{m}$  プロセスノード 400 K ゲート CMOS プロセスの LOGIC デバイス（5 層 Al 配線 1 層ポリシリコン構造）を用いた。

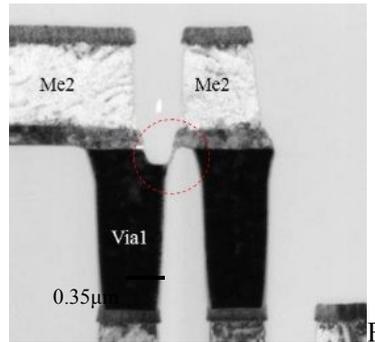


Fig. 7-1. Cross sectional STEM image of the vial/Me2 short point.

故障診断により故障箇所が特定された後は、更に故障箇所を絞り込むためにメカニカルマイクロプロービング法による  $I/V$  測定やデバイス中の微細な電流ドリフトを利用する EBAC 法による測定を行った。EBAC 法は SEM 観察の電子ビームの走査中にデバイスに吸収された 1 次電子が、デバイスのメタル配線内をドリフトすることを利用してメタル配線のオープン、短絡を検出する。メタル配線がオープン故障の場合には、1 次電子がメタル配線からマイクロプローブまでドリフトできず、ドリフト信号が途絶え、メタル配線が短絡している場合は、1 次電子は無関係なメタル配線や予期しないメタル配線へドリフトするため、ドリフト信号は広がる。この 1 次電子のドリフトの状態は、SEM の白黒コントラストイメージとして観察することができる。コンタクトのオープン故障や pn 接合リークの場合は、SEM 観察の電荷チャージアップを利用した VC 法を用いた。本実験では、平面研磨後の表面観察では SEM 装置（日立ハイテクノロジーズ社製 S4100）を用い、断面 SEM および断面 TEM 観察のための試料作成には FIB 装置（セイコーインスツル社製 SIM8100）を用いた。故障箇所の元素分析には EDX 分析（オクスフォードインスツルメンツ社製）を用い、デバイスの電気的な特性の測定と EBAC 分析には EBAC 装置（日立ハイテクノロジーズ社製 N-6000）を用いた。

### 7-3. 故障診断技術と PEM/OBIRCH による解析の特徴

PEM 解析では、ゲート酸化膜リーク箇所や pn 接合リーク箇所、MOSFET のドレイン部分で発生した DAHC、およびメタル配線中に流れる電流によるジュール熱で発生した電子-正孔対の再結合による僅かな光を検出することができる。一方、OBIRCH 解析では、1300 nm の赤外線レーザー加熱を利用し、メタル短絡箇所や高抵抗箇所の抵抗変化や n 型や p 型 Si と Al 配線のコンタクトホールでのゼーベック効果による僅かな電流シフトを検出できる。Fig. 7-2 に示す様に、直列につなげた 2 つのインバータ回路間のメタル配線短絡故障に対しては、PEM 解析では、短絡箇所に流れる電流によるジュール熱発光だけでなく、前段のインバータ回路に流れる CHC 現象による発光も検出できる。更に後段のインバータ回路の入力電圧がメタル配線短絡やオープンにより中間電位になった場合には、DAHC 現象による後段インバータ回路の N-ch MOSFET 側 ドレインで発光が観察できる [7]。OBIRCH

解析では、先に述べた様にメタル配線短絡箇所、高抵抗配線箇所、前段インバータ回路のコンタクト部分で OBIRCH 反応が観察される [8]。

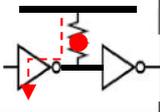
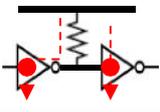
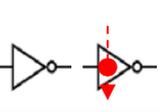
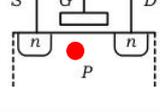
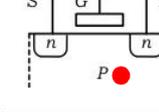
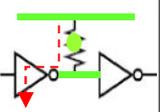
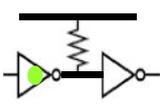
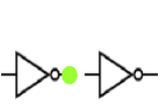
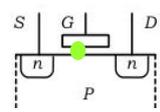
	Metal line short	Metal line open or high-resistance	Gate oxide Leak	pn junction Leak	
PEM S	・Jules Heating 	・CHC ・DAHC 	・DAHC 		
OBIRCH	・Resistance Change  Current flow	・Seebeck Effect at CH 	・high-resistance only 	Large leak only 	NO Reaction

Fig. 7-2. Theory of emission and OBIRCH phenomena for semiconductor device failure modes.

Fig. 7-1 に示した Me2/via1 の短絡箇所は PEM 解析および OBIRCH 解析で検出できた。PEM 解析では観察された短絡箇所の電流によるジュール熱発光が、OBIRCH 解析では赤外線レーザー加熱によるショート箇所の抵抗変化による OBIRCH 反応が観察された。これらの手法で特定された故障箇所は物理解析を行い EBAC 法や TEM を用いて短絡箇所の有無を確認した。(Fig. 7-1)。故障サンプル中に複数の発光や OBIRCH 反応があった場合は、レイアウトデータを用いて、発光点や反応箇所の関連を調べ、故障箇所を特定した。尚、比較のため、事前に良品サンプルでの PEM 解析と OBIRCH 解析を行った。一方、故障診断技術では、論理シミュレーションに基づいたフォルト・シミュレーションを利用した。フォルト・シミュレーションは、テストパターン自動生成ソフト ATPG によって生成されたテストパターンを用いゲートレベルの回路に 0 故障あるいは 1 故障の様な縮退故障を埋め込み、その Fail ログを取得した。故障診断ソフトウェアはゲートレベル回路に埋め込まれた故障モードと故障ポイントに対して可能な全ての組合せのシミュレーションを繰り返す。この様にシミュレーションされた大量の Fail ログがソフトウェア内に蓄積され、「故障辞書」データベースとして利用される。ソフトウェアによる故障診断の流れは、3つの手順で構成されている。まず、LSI テスタを用いて故障デバイスの Fail ログを取得し、故障診断ソフトウェアにその Fail ログを入力する。データ転送用の SCAN チェーンに故障箇所が存在する場合は、チェーン診断のみが実行され SCAN チェーン内の故障した SCAN FF セルのアドレスが故障診断結果として排出される。他方、SCAN チェーンのテストに pass した場合は、LOGIC 回路の LOGIC 診断が行われ故障モードおよび LOGIC 回路の故障箇所特定が行われる。最後に、故障したデバイスの Fail ログと「故障辞書」データベースの比較から疑わしい故障モードと故障箇所を診断する。Tessent 診断ソフトウェアは SCAN チェーン診断および LOGIC 診断を繰り返し、故障箇所候補を選別する[9]。Fig. 7-3 に Tessent diagnosis 診断の診断結果例を示す。ソフトウェアベースの故障診断結果には、故障箇所の候補毎に故障モード、スコア、セル名、およびピンパス名が含まれる。故障モードは縮退故障、オープン故障、

ブリッジ故障の各モードに分類される。更に LDA 機能は、BRANCH\_INFORMATION、OPEN\_LOCATION、BRIDGE\_LOCATION などのデバイスの物理的なレイアウトデータに基づく故障箇所の一覧を表示する。スコアは最大値が 100 で、これは故障デバイスの Fail ログと「故障辞書」データベース内に完全に一致した Fail ログが存在していたことを示す。

```

symptom=1 #suspects=1 #explained_patterns=192

```

suspect	score	fail_match	pass_mismatch	type	value	pin_pathname	cell_name	net_pathname	layout_status
1	100	192	0	INDETERMINATE	1	/PHYTOP/PRGBLK/PRGPGSEL/RG_ODT_regX1X/S			

**BRANCH\_INFORMATION**

symptom	suspect	branch	state	pin_pathname	cell_name
1	1	B1	P	/PHYTOP/PRGBLK/PRGPGSEL/RG_ODT_regX7X/S	
1	1	B2	P	/PHYTOP/PRGBLK/PRGPGSEL/RG_ODT_regX5X/S	

**OPEN\_LOCATION**

symptom	suspect	layout_layer	category	critical_area	x_coord1	y_coord1	x_coord2	y_coord2
1	1.2	Me1	OP	1.13E-01	1874.1400	2193.8200	1874.3800	2194.0600
1	1.2	Me1	OP	8.10E-02	1874.1400	2194.0600	1874.3800	2194.1000
1	1.2	Me1	OP	8.10E-02	1874.1400	2193.7800	1874.3800	2193.8200

**BRIDGE\_LOCATION**

symptom	suspect	layout_layer	category	critical_area	x_coord1	y_coord1	x_coord2	y_coord2
1	1.3	Me2	S2S	1.19E-01	2708.1400	1195.9000	2708.3800	1196.1800
1	1.3	Me2	C2C	7.46E-02	2708.1400	1195.9000	2708.3800	1195.9000

Fig. 7-3. Example of the software-based fault diagnosis: software-based failure analysis method.

Fig. 7-4 (a)、(b) に PEM 解析と OBIRCH 解析結果例を示し、Table 7-1 に 10 個のデバイスの PEM 発光や OBIRCH 反応が取得された 14 の故障箇所のソフトウェアベースの故障診断結果を示す。14 の故障箇所に対して sample #12 を除き、全ての故障箇所の Symptom (故障の徴候のある領域) は 1 つで、PEM 解析や OBIRCH 解析と比較し易い。また、SCAN チェーン故障が 4 箇所ではこれらは全てスコアが 100 であった。一方、LOGIC 故障は 10 箇所、スコアは 46~100 までばらついた。

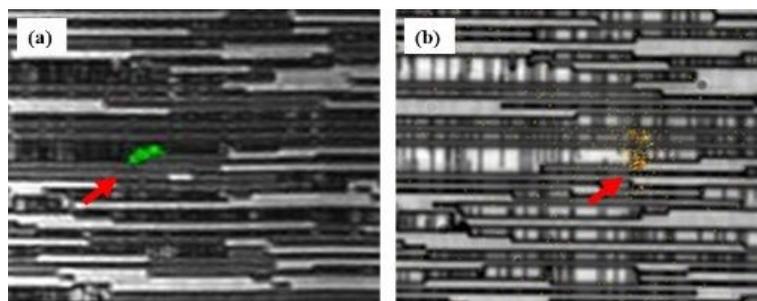


Fig. 7-4. Images of hardware-based failure analysis methods: a) OBIRCH analysis and b) PEMS analysis of Sample#13.

Table 7-1. Failure analysis results of the 14 samples prior to physical analysis.

Device #	1		2	3				4	5	6	7	8	9	10
Sample #	1	2	3	4	5	6	7	8	9	10	11	12	13	14
Photon Emission numbers	0	1	1	1	1	1	0	2	1	1	1	2	1	1
OBIRCH Reaction numbers	1	0	1	1	0	0	1	0	0	3	0	5	1	0
Symptom numbers	1	1	1	1	1	1	1	1	1	1	1	2	1	1
Suspect numbers	6	2	2	2	2	3	1	4	2	3	2	5	2	2
Score of Suspect Max.=100	100 100 100 100 83 83	100 100	100 100	100 100	99 46	71 49 48	92	100 100 100 100	100 100	100 100	90 90	77 73 64 58 58	100 100	100 100
Fail Test	Logic	Scan	Logic	Logic	Logic	Logic	Logic	Logic	Scan	Logic	Scan	Logic	Logic	Scan

## 7-4. ソフト的手法の故障箇所特定

### 7-4-1. ソフト的手法の故障箇所特定精度

以下は、故障箇所特定においてソフトウェアベースの故障診断と PEM 解析、OBIRCH 解析結果が一致した 4 例である。

#### Sample #1

このサンプルは LOGIC 回路の故障で OBIRCH 反応が 1 箇所観察されたが、PEM 発光は観察されなかった。ソフトウェアベースの故障診断では、連続して接続された 6 つのセルの全ての net 入出力ノードが疑わしいと診断された。Fig. 7-5 にソフトウェアベースの故障診断によって示されたセルのレイアウトと故障箇所の平面 SEM 画像を示す。OBIRCH 反応は、セル名 REFLCTRL662 で観察された。これと同じセルが 2way ブリッジ故障として suspect #3、および #4（両方のスコアはともに 100）としてソフトウェアベースの故障診断により特定された。物理解析から OBIRCH 反応箇所付近で、セル名 REFLCTRL662 のインプット A のメタル 2 配線とアウトプット X の VIA1（メタル 1 配線とメタル 2 配線を接続する via）が短絡していた。このサンプルについては、ソフトウェアベースの故障診断は、故障モードおよび故障箇所の両方を正しく診断した。レーザー加熱による短絡箇所の抵抗変更による OBIRCH 反応は観察されたが、短絡箇所を流れる電流によるジュール加熱による発光は観察できなかった。

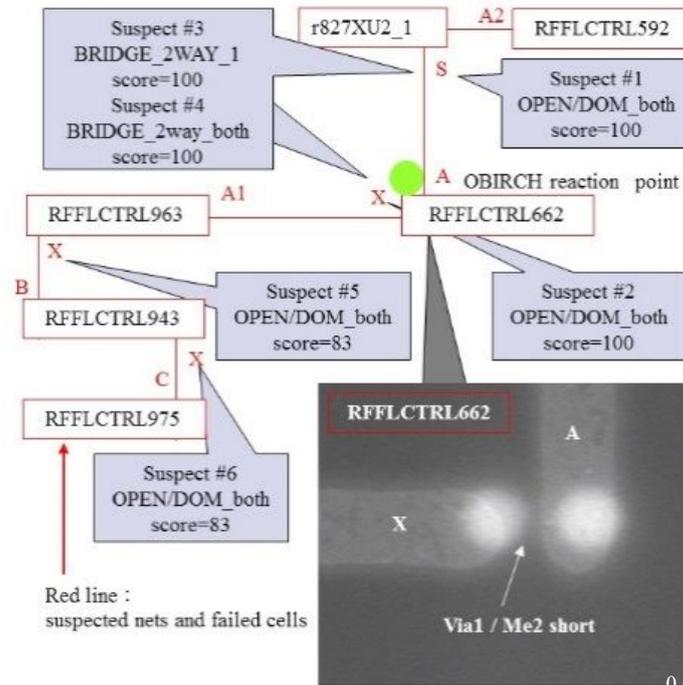


Fig. 7-5. Physical analysis and the software-based fault diagnosis results: Sample#1.

### Sample #5

このサンプルも LOGIC 回路の故障で、PEM 発光が 1 箇所のみ観察され、OBIRCH 反応は観察されなかった。ソフトウェアベースの故障診断では、2 箇所の故障箇所の可能性を示した。Suspect #1 (スコア 99) は、セル名 MEDIATOP977 のインバータ回路のアウトプット X が故障箇所である可能性が高いことを示したのに対して、suspect #2 (スコア 46) のインプット A の可能性は低いスコアを示した。Fig. 7-6 にソフトウェアベースの故障診断による故障箇所のセルレイアウトと物理解析結果を示す。PEM 発光箇所はインバータ回路付近で、ソフトウェアベースの故障診断結果と一致した。次に、ソフトウェアベース故障診断の LAD 機能の 1 つである BRANCH\_INFORMATION のデータに着目した。この BRANCH\_INFORMATION は、各セル間の接続と出力異常のあるセルと正常出力のセルを表示する機能である。セル名 MEDIATOP977 のインプット A のネットの他の全てのセル出力には、問題が発生しておらず (Fig. 7-6 の黒いライン)、アウトプット X のネットの他のセルには出力異常が認められた (Fig. 7-6 の赤いライン)。この LAD 結果から、故障箇所が、suspect #1 のアウトプット X 側にある可能性が更に高くなり、平面研磨法によりセル名 MEDIATOP977 のインバータ回路の物理解析を行った結果、MOSFET ドレイン側のコンタクトのアライメントずれが観察され、マイクロプローブによる I/V 測定から pn 接合リークが確認できた。OBIRCH 反応が観察されなかったのに対して、PEM 発光は pn 接合リーク (Fig. 7-2) によるものであった。このサンプルでは、故障箇所は正しく診断されたが、故障モードは正しく診断されなかった。pn 接合リークの電流値は、リーク箇所の電圧に依存して変化するため、縮退故障の様な固定した出力とならなかったため、故障モードをオープン故障と判断したと考えられる。

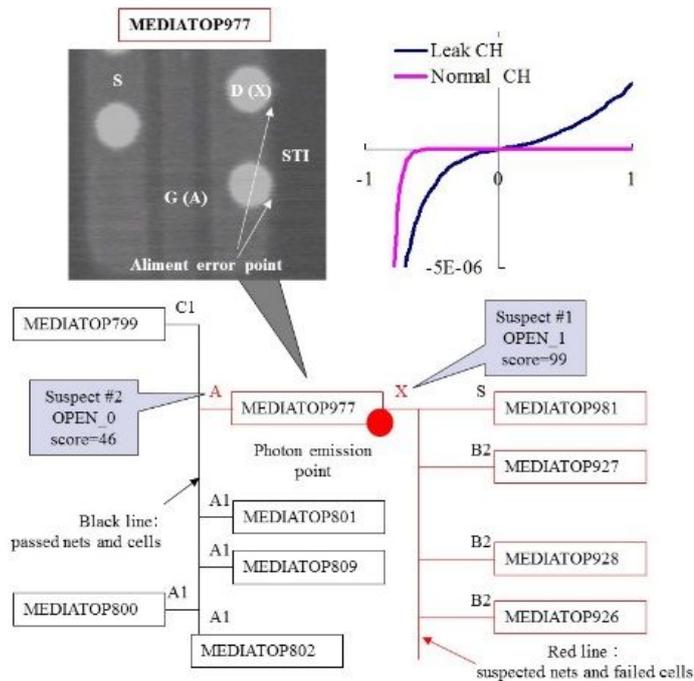


Fig. 7-6. SEM image of an active contact hole (CH) and the software-based fault diagnosis results: Sample#5.

### Sample #11

このサンプルは SCAN チェーン故障で PEM 発光は 1 箇所だけ観察され、OBIRCH 反応は観察されなかった。ソフトウェアベースの故障診断では 2 箇所の故障箇所候補が診断された。suspect #1 (スコア 90) は、SCAN 回路の FF 回路でセル名 2m\_regx12x の SO で、suspect #2 (スコア 90) は、セル名 2m\_regx11x の SI で、これらのセルは連続して接続された scanFF セルの SI と SO であった。故障が scanFF セルに発生した場合、SCAN チェーン診断は scanFF セルの SO あるいは scanFF の SI を故障箇所と診断する。PEM 発光が、次段の scanFF セル側であることから 2 つの scanFF セル間のメタル配線に故障箇所が存在する可能性があり、メタル配線に対して EBAC 測定を行った。プロービングのため、最上層である 4 層目のメタル 4 配線 (Me4) を平面研磨によって露出した後、SEM 装置内でマイクロプローブをメタル 4 配線 (Me4) に当て EBAC 観察を行った。ソフトウェアベースの故障診断による故障箇所のセルレイアウトと EBAC 像を Fig. 7-7 に示す。EBAC 信号が 2 つの scanFF セルの間で途切れ、信号が途切れた箇所の FIB 断面観察から VIA2 (メタル 2 配線 (Me2) とメタル 3 配線 (Me3) を接続する via) のオープン故障が検出された。この様に、故障モードは正確に診断されなかったが、故障箇所は正しく診断された。オープン故障では電位が不安定になる傾向があるため、ソフトウェアベースの故障診断では、故障モードが決定不可と診断された。PEM 発光は、入力電圧の不確定による SI 側の N-ch MOSFET の DAHC に起因したもので、OBIRCH 反応は、この故障モードにおいては観察されない (Fig. 7-2)。

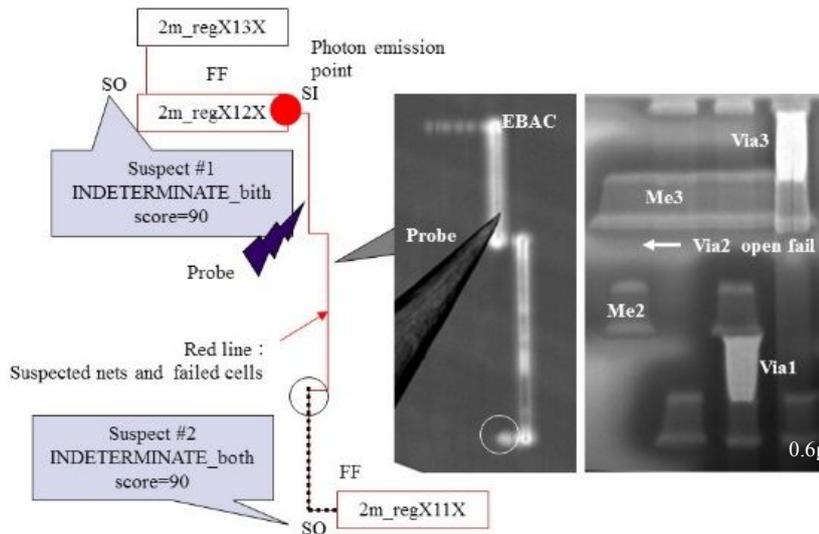


Fig. 7-7. EBAC image of the failure net and the software-based fault diagnosis: Sample#11.

### Sample #12

このサンプルは LOGIC 回路の故障で PEM 発光は 2 箇所観察され、OBIRCH 反応は 6 箇所以上で観察された。ソフトウェアベースの故障診断では、2 箇所の故障領域 (Symptom) を診断した。Symptom #1 では 3 箇所の suspect (#1、#2 および #3 : スコア 64、58 および 58) を示し、Symptom #2 では 2 箇所の suspect (#1、#2 : スコア 77、73) を示したが、両者のスコアはともに低い。ソフトウェアベースの故障診断による故障箇所のセルレイアウトと物理解析結果を Fig. 7-8 に示す。2 箇所の PEM 発光箇所と OBIRCH 反応箇所は Symptom #2 の suspect #1、2 と一致したが、PEM 発光も OBIRCH 反応も Symptom #1 の suspect #1、2、3 と関連のある net では観察されなかった。そこで PEM 発光箇所と OBIRCH 反応箇所の関係をセルレイアウトと EBAC 法を用いて更に調査した結果、2 つの PEM 発光箇所は共通のネットに存在し、またこの共通ネットと接続するセル名 SDO\_regX6XASTipolnst1629 のアウトプット X で 1 つの OBIRCH 反応が観察された。この共通のネットのメタル配線に対して実施した EBAC 観察では、EBAC 信号が Symptom #1 の suspect #2 のセル名 RWBREG54 のインプット A で観察され Symptom #1 と Symptom #2 間のメタル配線が短絡していることが分かった。短絡箇所の断面 SEM 観察と SEM-EDX 分析からタングステン層の残により上述の共通のネットがメタル 4 配線 (Me4) およびメタル 5 配線 (Me5) が短絡していた (Fig. 7-8)。故障診断によりこのサンプルの故障箇所は、ほぼ正確に特定されたが、故障モードは診断することはできず、INDETERMINATE と結論付けた。メタル配線短絡により異常な信号が生成され、回路上無関係な 2 つ以上のセルに影響を与えた場合、ソフトウェアベースの故障診断は、Symptom #1 と #2 にそれぞれ個別に故障原因がある判断し、更に LAD 機能は上下層間のメタル配線間の短絡モードには有用では無く、故障箇所特定の精度は低下し、低いスコアとなった。OBIRCH 反応がメタル配線間短絡箇所から観察されなかったのは、DC モードで OBIRCH 解析を行ったため、短絡したメタル配線間に電位差が発生しなかったためと考えられる。

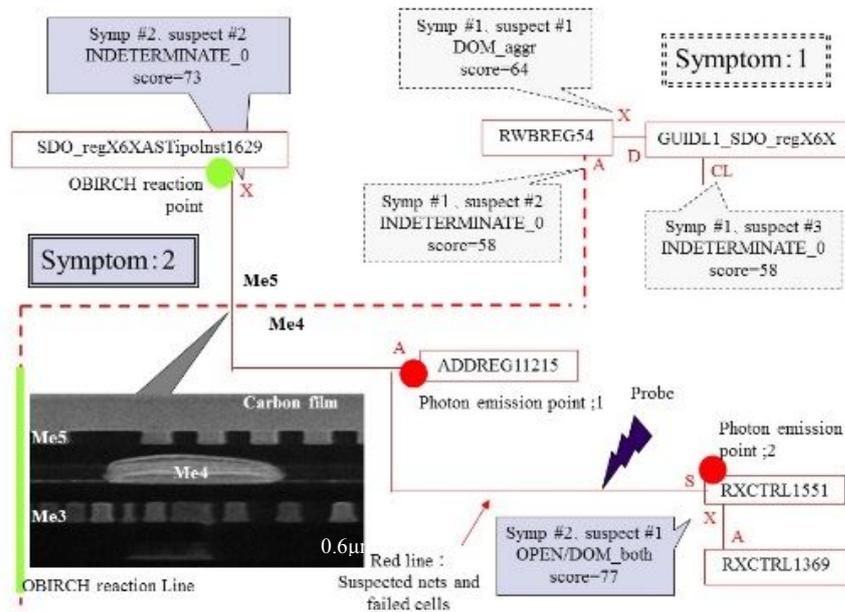


Fig. 7-8. PEMS and OBIRCH analysis results, SEM image of the exposed Me5 after polishing, FIB image and the software-based fault diagnosis results: Sample#12.

#### 7-4-2. ソフト的手法の問題点

次に、PEMS/OBIRCH 解析によって特定された故障箇所とソフトウェアベースの故障診断結果が一致しなかった事例を示し、その原因を SPICE シミュレーションを用いて検証した結果を示す。

#### Sample #10.

このサンプルは LOGIC 回路の故障で、PEM 発光は 1 箇所のみ観察され、OBIRCH 反応は 3 箇所観察された。ソフトウェアベースの故障診断では、高いスコアで故障の可能性ある 3 箇所を示した。Suspect #1 (スコア 100)、および suspect #2 (スコア 100) は、それぞれ、セル名 RCHK1726 のインバータ回路の入力 A と出力 X であった。Suspect #3 (スコア 100) は、上記インバータ回路の入力 A と同じネットに繋がったセル名 RCHK1889ASTipolnst1664 のバッファ回路の出力 X であった。OBIRCH 反応のうち 1 箇所はこのバッファ回路から観察されたが、他の 2 つの OBIRCH 反応および PEM 発光は、ソフトウェアベース故障診断結果とは一致しなかった。ソフトウェアベース故障診断による故障箇所のセルレイアウトと断面 SEM 観察結果を Fig. 7-9-1 に示す。物理解析から、セル名 RCHK1962 の入力 A2 のメタル 2 配線 (Me2) と入力 B の VIA1 (メタル 1 配線とメタル 2 配線を接続する via) 間で短絡 (PEM 発光および 2 つの OBIRCH 反応が観察された箇所) していることが観察された。即ち、スコア 100 にもかかわらずソフトウェアベースの故障診断は故障箇所を正しく診断することができなかった。更に EBAC 測定よりセル名 RCHK1726 の特性を測定したが、結果は正常であった。

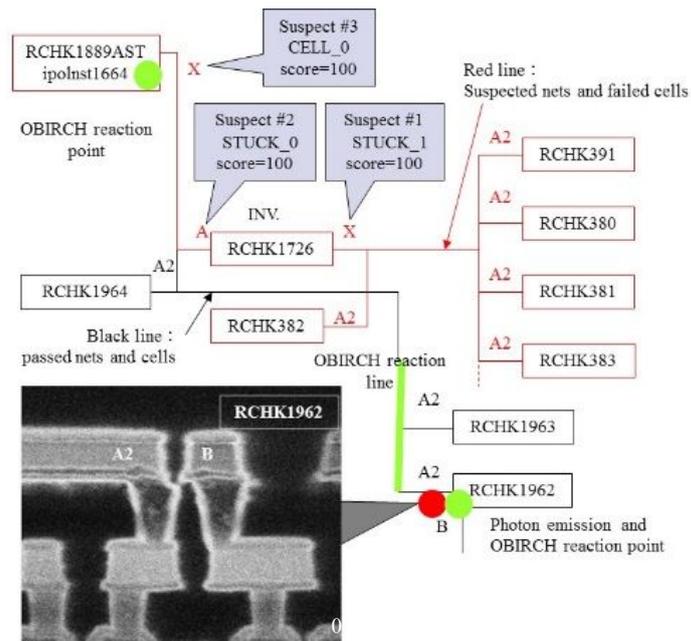


Fig. 7-9-1. OBIRCH analysis, FIB cross-sectional image at the short point and the software-based fault diagnosis results: Sample#10.

そこで SPICE シミュレーションを用いて、この誤った診断の原因を検証した。シミュレーションは、パークレーSPICE BSIM4 MOSFET モデルを使用した[10]。シミュレーション条件と入力波形を Table 7-2 と Fig. 7-9-2 に示す。入力電源電圧 1.8 V、動作周波数 10 MHz、INPUT1 と INPUT2 に任意の信号波形を入力し、短絡した入力 A2 (Me2) と入力 B (VIA1) の抵抗値を 500 Ω、350 Ω および 200 Ω と仮定した時の、VOUT1 (A2)、VOUT2 (B)、VOUT3 および VOUT4 出力信号波形をシミュレーションした。今回の場合、両方のセルが互いに接近して配置されているため、メタル配線のシート抵抗値およびメタル配線間の層間膜容量は考慮しなかった。

Table 7-2. Conditions of the SPICE simulation.

		p-MOSFET	n-MOSFET
RCHK1889ASTipolnst1664 (buffer)	W	0.9μm	0.65μm
RCHK1726 (inverter)	W	1.4μm	0.7μm
RCHK1532 (inverter)	W	1.35μm	0.85μm
RCHK1962 (AND-OR gate)	W	0.6μm	0.35μm
vth (GmMAX)	Vds = 0.05 V	-0.48V	0.53V
Ids	Vgs = Vds = 1.8 V	-2.4μA/10μm	5.6μA/10μm
Tox	4nm		
Gox Cap.	822pF/μm <sup>2</sup>		

シミュレーションに使用した回路およびシミュレーション結果を Table 7-3 に示す。短絡箇所の抵抗値が 350 Ω と仮定した時、Fig. 7-9-2 に示す様に、セル名 RCHK1726 の出力 VOUT3 の出力信号波形だけが異常となり、セル名 RCHK1962 の出力 VOUT4 では正常波形が出力され、この SPICE シミュレーション結果は、ソフトウェアベースの故障診断結果と一致し

た。次に、抵抗値が  $500\ \Omega$  の場合は、VOUT3 と VOUT4 はともに正常な出力信号波形を示し、抵抗値が  $200\ \Omega$  の場合はともに異常な出力信号波形を示した。このシミュレーション結果から Fig. 7-9-2 に示した短絡箇所のネットの信号波形に関して、VOUT1 (A2) の信号波形は VOUT2(B) の信号波形に強く影響を受ける。セル名 RCHK1532 のインバータ回路に使用されている Tr.サイズ (P-ch MOSFET :  $W/L=1.35\ \mu\text{m}/0.18\ \mu\text{m}$ 、N-ch MOSFET :  $W/L=0.85\ \mu\text{m}/0.18\ \mu\text{m}$ ) が、セル名 RCHK1889ASTipolinst1664 のバッファ回路の Tr.サイズ (P-ch MOSFET :  $W/L=0.90\ \mu\text{m}/0.18\ \mu\text{m}$ 、N-ch MOSFET :  $W/L=0.65\ \mu\text{m}/0.18\ \mu\text{m}$ ) より大きいため、INPUT2 のインバータ回路の出力が INPUT1 のバッファ回路より勝ると考えられる。異常な信号波形のデバイスの出力端子への経路が、短絡箇所の抵抗値、関連するセル間の駆動力差、動作タイミングにより変化するため、故障デバイスの Fail ログ自体が故障箇所を正しく反映していなかったため、ソフトウェアベースの故障診断は故障箇所を正しく診断することができなかった。ハードウェア的手法である PEM 発光解析や OBIRCH 解析では、トランジスタサイズや駆動力、抵抗値の影響を受けない。即ち、故障箇所特定の正確さを向上させるためには、これらの理論上、異なる技術を組み合わせることが必要であることが分かった。

Table 7- 3. SPICE simulation results.

Assumed resistance value at short point	RCHK1726 VOUT3 waveform	RCHK1962 VOUT4 waveform	VS. test results
$200\ \Omega$	Fail	Fail	Not match
$350\ \Omega$	Fail	Pass	Match
$500\ \Omega$	Pass	Pass	Not match

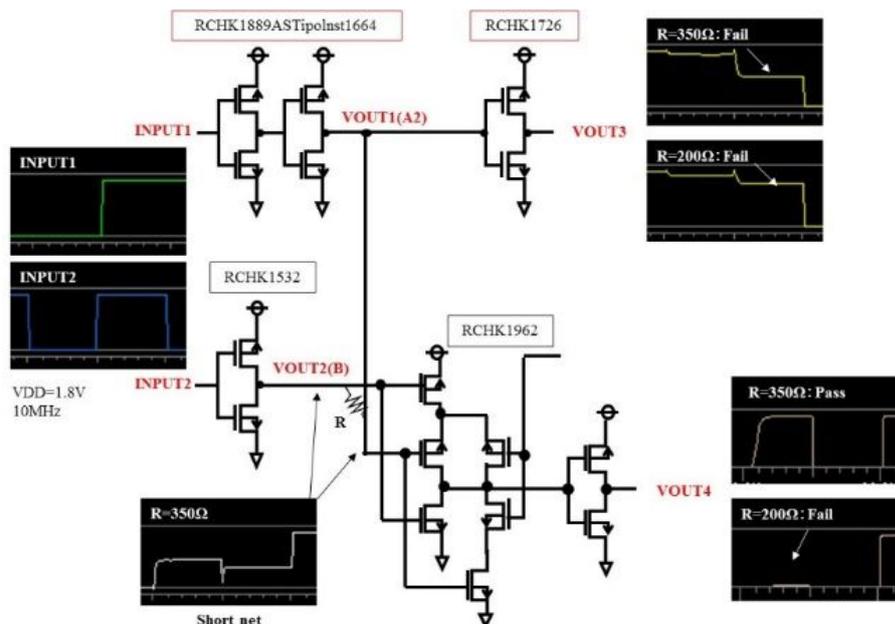


Fig. 7-9-2. Results of the SPICE simulation of a mismatching case: Sample#10.

## 7-5. ソフト的手法の故障箇所特定の信頼度

Table 7-4 (a)、(b)、(c)は、Table 7-1 に示された 14 故障箇所に対する故障診断結果と 物理解析での故障箇所特定結果との一致・不一致を示す。Table 7-4 (a)は、SCAN 故障の 4 サンプルの結果を、Table 7-4 (b)は、Logic 故障のショートモードの 4 サンプルの結果を、Table 7-4 (c)は同じく Logic 故障のオープンモードの 6 サンプルの結果を示す。全故障 14 故障箇所中 13 故障箇所が一致し、ソフトウェアベースの故障診断技術精度を確認できた。

Table 7- 4 (a). Results of failure point matching of the SCAN fail 4 samples after physical analysis.

Fail Test	Scan	Scan	Scan	Scan
<b>Fault point matched</b>	Yes	Yes	Yes	Yes
<b>Matched score</b>	100	100	100	90
<b>Fault Type</b>	Stuck-1	Stuck-1	Stuck-1	Indeterminate
<b>Physical analysis results</b>	Via1/Me2 short	CH open	Via1/Me2 short	Via2 open
<b>Relation cell numbers</b>	Single	Single	Single	Double
<b>Short point I: Input O: Output</b>	I/I	-	I/I	-

Table 7- 4 (b). Results of failure point matching of the short fail 4 samples after physical analysis.

Fail Test	Logic	Logic	Logic	Logic
<b>Fault point matched</b>	Yes	Yes	Yes	Yes
<b>Matched score</b>	100	100	100	92
<b>Fault Type</b>	Bridge 2way	Bridge 2way	Stuck-0	Bridge 2way
<b>Physical analysis results</b>	Via1/Me2 short	Via1/Me2 short	Via1/Me2 short	Via1/Me2 short
<b>Relation cell numbers</b>	Single	Single	Single	Double
<b>Short point I: Input O: Output</b>	I/ O	I/I	I/I	O/O

Table 7- 4 (c). Results of failure point matching of the open fail 6 samples after physical analysis.

Fail Test	Logic	Logic	Logic	Logic	Logic	Logic
<b>Fault point matched</b>	Yes	Yes	Yes	Yes	No/ Yes	No
<b>Matched score</b>	100	100	99	71	73	-
<b>Fault Type</b>	Open	Open	Open	Open	Open	Open
<b>Physical analysis results</b>	Via1/Me2 short	Via1/Me2 short	Junction leak	Via1/Me2 short	Me5 / Me4 Short	Via1/Me2 short
<b>Relation cell numbers</b>	Single	Single	Single	Single	Several	Single
<b>Short point I: Input O: Output</b>	I/I	I/I	-	I/ O	I/ O	I/I

この Table 7-4 に示した結果に基づいてソフトウェアベースの故障診断のスコアの信頼度を考察した。Tessent 診断によって使用されたスコア計算の方法を式 (1) に示す。

$$\text{Score} = 70 \times F (F + P) + 10 \times F (F + 100P) + 10 \times F (+ 1000P) + 10 \times F \quad \text{--- (1)}$$

式 (1) の P は、故障デバイスのテストの pass パターンとシミュレーションの pass パターン間の不一致率を示し、F は、故障デバイスのテストの fail パターンとシミュレーションの fail パターンの一致率を示す。それぞれは、更に以下の様に計算される。

$$F = (\text{fail match} / \text{max fail match}) \times (\text{total fails explained} / \text{total tester fails})$$

$$P = \text{pass miss match} / \text{total tester pass}$$

式 (1) から F が 1 に近く、P が 0 に近い時、スコアは高くなり、P = 0 と F = 1 の組合せの時のみスコアは 100 となる。各 P に対する F とスコアの関係を図 7-10 に示す。P が 0 の時、F に関わらずスコアは 90、若しくはそれ以上となる。すなわち、pass パターン間の不一致率が低い場合、fail パターン間の一致率に関係無くスコアは高くなる。次に、pass パターン間の一致率について考察する。P の不一致率が大きくなると最高スコアが減少し、F 依存度が強くなる。図 7-10 に示す様に、故障診断結果が同じスコアでも F と P の関係には複数の組み合わせがある。つまり同じスコアであっても、実際の各故障診断結果の意味が異なる場合があることを示している。従って、故障診断の診断精度を判断できる基準がスコアしか存在しない場合、スコア 100 未満の診断結果の信頼度を判断することができない。そこで、スコア以外の判断標準について考察した。図 7-11 に、実験結果から得られた F と P およびスコアの関係を示す。F とスコアでは相間関係が弱く、テストとシミュレーションの fail パターンが完全に一致してもスコアは、50~100 の間でばらついた。一方、スコアと P の間には強い反比例関係が見られた。

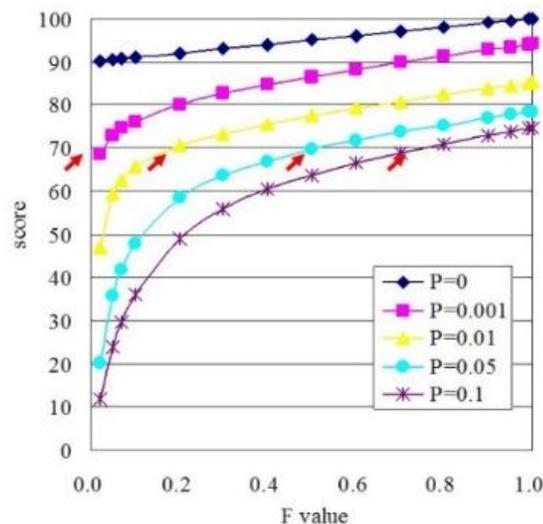


Fig. 7-10. Correlation among F, P, and the Score of the software-based fault diagnosis.

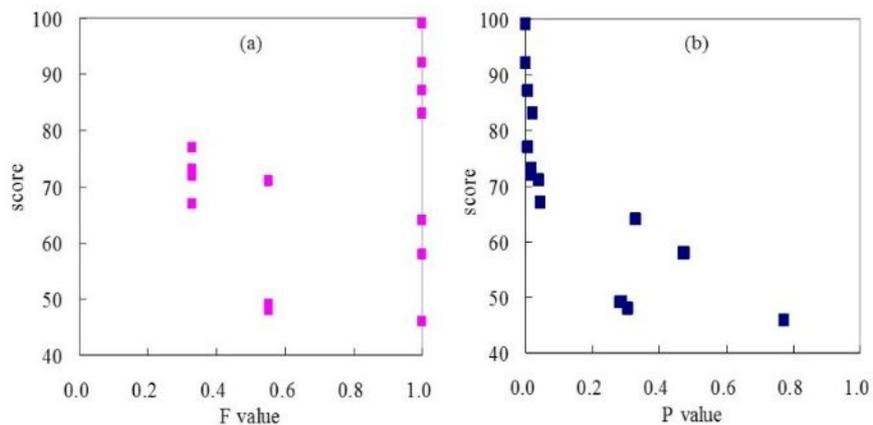


Fig. 7-11. Correlation between F, P and the Score of the software-based fault diagnosis

スコア 100未満の故障箇所に対して故障箇所が正確に診断されたスコアは、70以上でかつPが0.04未満の範囲に存在していることが分かった (Fig. 7-12)。つまり、Pが0.04未満で、スコアが70以上であればソフトウェアベースの故障診断結果がスコア100未満であっても、信頼できる可能性があることを示唆する。更にスコアは短絡箇所にも依存し、同じセルの入出力間でメタル配線間短絡が発生した場合やメタル配線間短絡がデバイスのより広い領域に影響する場合は、スコアが低下する ( Table 7- 4下段)。

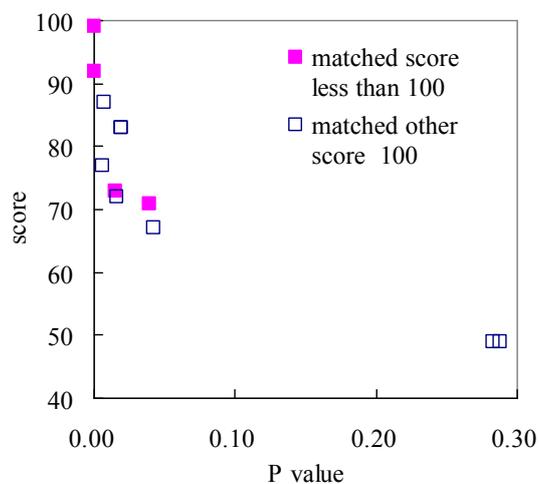


Fig. 7-12. Correlation between small P value and the Score of the software-based fault diagnosis.

## 7-6. 結論

PEM解析およびOBIRCH解析から得られた故障箇所特定結果との比較からソフトウェアベースの故障診断技術の故障箇所特定精度を検証した。14故障箇所のメタル配線短絡モード故障等を用いてソフトウェアベースの故障診断の箇所特定精度評価を行った結果、ソフトウェアベースの故障診断技術では、85.7%の高い精度で故障箇所を特定できた。故障箇所を正確に特定できなかった原因の1つは、複数のメタル配線が上層と下層間で短絡不良を起したため、その影響が複数のネットに広がりデバイス内部の広範囲に及んだためであった。その他の原因としては、短絡箇所の抵抗値や短絡したセルの駆動力、更に動作タイミングにより故障したデバイスのFailログそれ自体が故障箇所を正しく反映していなかったためであった。また、ソフトウェアベースの故障診断スコアは、故障デバイスのテストFailログとシミュレーションのFailログ間のfailパターン間の一致率よりもpassパターン間の不一致率に強く依存する。ソフトウェアベースの故障診断結果の信頼度を評価するためには、スコアだけでなく、passパターン間の不一致率が低いことにも注目する必要がある。スコアが100未満であっても、passパターン間の不一致率が0.04未満であり、スコアが70以上であれば、ソフトウェアベースの故障診断結果が信頼できることを示した。ソフトウェアベース故障診断は、故障箇所特定の強力なツールであるが、故障箇所特定の正確さを維持、向上させるためにはPEM解析とOBIRCH解析の様なハードウェア技術と組み合わせることが必要である。

## 参考文献

- [1] Bram Kruseman et al., Proceedings of the 30th ISTFA, November 14-18, 2004, pp. 210-215.
- [2] De la Bardonnie M et al., Proceedings of the 31st ISTFA, November 6-1, 2005, pp. 49-58.
- [3] Jayanth Mekkoth et al., Proceedings of the 32nd ISTFA, November 12-16, 2006, pp. 412-418.
- [4] Enamul Amyeen M et al., International test conference, 2004, pp. 669-678.
- [5] Pierre Simon et al., Proceedings of the 34th ISTFA, November 2-6, 2008, pp. 471-475.
- [6] Song P et al., Proceedings of international test conference, October 2004, pp. 140-147.
- [7] Gary Shade. Photon emission microscopy. Microelectronics failure analysis desk reference. ASM International, 2004, pp. 347-355.
- [8] Beaudoin F et al., Principles of thermal laser stimulation techniques. Microelectronics failure analysis desk reference. ASM International, 2004, pp. 417-425.
- [9] Yu Huang et al., Proceedings of the 30th ISTFA, November 14-18, 2004, pp. 191-196.
- [10] Dunga Mohan V et al., BSIM 460 MOSFET model user' s manual. Berkeley: Department of Electrical Engineering and Computer Sciences, University of California, 2006

## 第 8 章 結論

### 8-1. 各章のまとめ

第 1 章では、本研究の背景である半導体デバイスの信頼性の動向、故障の現状と課題から本研究の目的を述べ、故障解析の定義、故障解析の目的と役割、故障物理について説明し、半導体デバイスの故障の特徴と現在一般的に用いられている故障解析手法や装置、その原理について電氣的評価法、異常シグナル・異常応答利用法、組成分析法、形態構造観察法、加工法の 5 つに分類して解説した。

第 2 章では、WLCSP タイプの n 型 Si デバイスを搭載したモジュールデバイスの故障解析に対して電気化学的エッチストップ法でのエッチング技術について述べた。Li イオン/ポリマー保護モジュールデバイスを用いて、モジュールデバイスに搭載されている電子部品のアルカリ水溶液に対するエッチング特性を調査し、85 °C の 48 % KOH 水溶液により酸無水物系硬化エポキシ樹脂が効率的にエッチングできることを示した。更に電気化学的エッチストップ法を用いて露出した Si 基板のアルカリ性 KOH 水溶液によるエッチング問題を解決した。WLCSP タイプの n 型 Si デバイスに 1.1V 以上の DC 電圧を印加することで KOH 水溶液による n 型 Si 基板のエッチングを防止し、故障解析を可能にした。電気化学的エッチング技術の使用により、Li イオン/ポリマー保護モジュールデバイスに搭載された全ての電子部品が破壊されることなく露出させることができ、Si デバイス以外の電子部品の故障解析も可能にした。

第 3 章では、OBPF を用いた発光スペクトル解析が、半導体デバイスの故障モード推定に有効であることを示した。pn 接合リークのスペクトルは、600 nm～1000 nm の範囲でブロードなスペクトルを示し、ゲート酸化膜リークの発光スペクトルは 700 nm 以上で強くなり 900 nm 付近でピークを持つスペクトルとなった。また、N-ch MOSFET Idsat がゲート酸化膜リークのスペクトル同様に 800 nm 以上で強くなるが、ゲート薄膜リークの発光スペクトルに見られたピークは観察されなかった。この OBPF を用いた発光スペクトルは、分光器を用いたスペクトルと同じ傾向を示した。更に PEM 観察時の印加電圧を上げた際に増加する発光数 (光子数) は、印加電圧との関係で累乗近似曲線で近似され ( $Y = aX^b$ )、その傾き  $b$  は、個々の故障モードで特有であることが分かった。pn 接合リークの場合、傾き  $b$  は 10～20 で、ゲート酸化膜リークの場合は約 15～19、メタル配線間の短絡の場合は少し高く 19～26 となった。一方、N-ch MOSFET Idsat は 10 未満であった。これらの 2 つ技術は、半導体デバイスの代表的な故障モードの推定に有効である。次に、Si 基板裏面発光スペクトル解析のための任意箇所を広範囲でダメージの無い Si 基板薄膜化技術を開発した。この技術は 266 nm DUV パルスレーザーアブレーション加工と KOH アルカリ水溶液による Si 基板の結晶異方性ウェットエッチを組み合わせたもので、約  $2.6 \times 2.6 \text{ mm}^2$  のダメージの無い薄膜領域を達成した。更に光学顕微鏡による等厚干渉縞形成と SEM の 1 次電子貫通深さの組合せにより厚さ 2.3  $\mu\text{m}$  以下の Si 基板の非破壊膜厚推定方法を提案した。これらの技術を用いて、

故障デバイスの Si 基板裏面からの発光スペクトル解析によって故障モードを推定することに成功した。

第 4 章では、TiN /Al SiCu /ARC-TiN の積層構造における幅の広いメタル配線のボイド形成のメカニズムを明らかにした。熱処理中に上層 TEOS 酸化膜の圧縮応力が熱処理過程で下層 Al 膜の圧縮応力よりも低くなると Al 膜中に転位などの欠陥が発生し、熱処理の回復過程で空孔へと成長し、Si ノジュールを核としたボイドに成長する。更に下層バリア Ti 膜の窒化処理温度が低いと形成された下層バリア TiN 膜が熱的に不安定であり熱処理過程で塑性変形を起し、更にボイドの形成を促すことを明らかにした。無通電状態で Al 配線中にボイドが発生すると、従来の SM と判断しがちであるが、このボイドは下層バリア TiN 膜の熱的不安定、低温 Al プロセス、上層 TEOS 酸化膜の膜応力変動の 3 つの連続したプロセスとそれぞれの膜の物性が相互に関連して起きた新モードの SM 故障であることを示し、併せて、全てのプロセスが変動することを前提に SM や EM に対してマージンがある方向にプロセス条件を設定することが、複合的な要因の故障発生の防止対策であることを示した。

第 5 章では TEOS 酸化膜/SOG/TEOS 酸化膜の 3 層構造の層間膜構造の内部 Al 配線腐食や ARC-TiN 膜の腐食の原因となる SOG 膜クラックや TEOS 酸化膜クラックが起きるメカニズムをメタル配線レイアウトと TEOS 酸化膜の物性の観点から明らかにした。上層 Al 配線下の TEOS 酸化膜の屈折率が低いと膜密度と Al 配線の残留引張応力耐性が低下し、TEOS 酸化膜が Al 膜から引っ張られる力の緩和作用として SOG 膜クラックが発生する。SOG 膜クラックが発生しても周囲の TEOS 酸化膜が安定しているため、SOG 膜中の水分が Al 配線や ARC-TiN 膜を腐食させることは無いとして SOG 膜クラックに対して何ら対策されることなく、平坦化プロセスで使用され続けてきたが、TEOS 酸化膜の膜密度が低下し、上層 Al 配線が下層 Al 配線とわずかに重なったレイアウトになると TEOS 酸化膜から SOG 膜、そして Al 配線や ARC-TiN 膜に至るクラックが発生する場合があります、この連続したクラックが発生するメカニズムを明らかにするとともにレイアウト設計段階で実際の Al 配線の仕上がり寸法や Al 配線形状による Al 膜の応力集中点の存在まで考慮する必要があることを新に示した。更に ARC-TiN 膜腐食におけるフッ素元素検出の原因とメカニズムを示した。フッ素濃度は ARC-TiN 膜の腐食に伴う酸素濃度に比例して増加することが分かり、更に TiN/Al 膜の 2 層構造と単層 TiN 膜構造ではフッ素濃度の存在に大きな差異が認められ、フッ素の存在が下層 Al 配線と関係していることを明らかにした。フッ素は層間絶縁膜の 2 次的に発生したクラック部分を拡散して Al 配線に至り Al 配線と反応して AlF を形成して検出されたものであり、フッ素低減は TiN-ARC 膜の腐食の問題対策にはならず、SOG 膜クラックの発生を抑制することが真の TiN-ARC 膜の腐食対策になることを示した。更に ARC-TiN 腐食の故障解析結果から、上流である設計段階での作り込みが大事であり、設計段階でレイアウトを充分考慮すれば、プロセスバラツキを吸収できることを示した。更に TEOS 酸化膜の膜質管理と CVD 装置のトレンド管理が対策として必要であることを示した。

第6章では、パッケージング後の動作テストで問題のなかった半導体デバイスが、動作試験でvia高抵抗で故障に至ったケースについてその原因とそのメカニズムを示した。Via高抵抗化は、多くのファンアウトを持つ特定のセルの単独viaに発生し、その単独via底部に $Ti_xAl_y$ 合金が形成されvia抵抗が高抵抗化したことが原因であることを明らかにした。この $Ti_xAl_y$ 合金の形成には、メタル配線やviaのレイアウト、viaプロセス構造、TiN膜形成CVD時の成膜温度やvia形成のエッチング時の製造変動が相互に関係していた。更に高抵抗モードでありながらpassとfailを繰り返すマージナル故障の挙動を示す原因が、 $Ti_xAl_y$ 合金のvia内占有率やその組成比が一定ではなく、かつ高抵抗が発生し易い特定セルがデバイス内に複数存在していることが原因であることを明らかにした。プロセスバラツキを考慮したレイアウト設計はすでに多くのデバイス設計で行われているが、どこまで余裕を持たせる必要があるのか、定量的な指針は無く、また微細化に伴い、それらにも限界がある。層間膜の寄生容量や配線抵抗による遅延を考慮した回路設計や製造プロセスにおける寸法バラツキを考慮したレイアウト設計やデザインルールを決めるのではなく、個々のセルの機能に応じてプロセスバラツキを考慮した、レイアウト設計が必要であることを新に示した。

最後に、第7章では、PEM解析およびOBIRCH解析から得られた故障箇所特定結果との比較からソフトウェアベースの故障診断技術の故障箇所特定の正確さを検証した。主にメタル配線短絡モード故障を用いて故障診断の箇所特定精度の評価を行った結果、故障診断技術では、85.7%の高い精度で故障箇所を特定した。故障箇所を正確に特定できなかった原因の1つは、複数のメタル配線が上層と下層間で短絡不良を起したため、その影響が複数のネットに広がりデバイス内部の広い範囲に及んだためであった。その他の原因としては、短絡箇所の抵抗値や短絡した箇所のセル駆動力、動作タイミングにより故障したデバイスのFailログそれ自体が故障箇所を正しく反映していなかったためであった。また、故障診断のスコアは、故障デバイスのテストFailログとシミュレーションのFailログ間のfailパターン間の一致率よりもpassパターン間の不一致率に強く依存する。故障診断結果の信頼度を評価するためにはスコアだけでなく、このpassパターン間の不一致率が低いことにも注目する必要があることを示し、passパターン間の不一致率が0.04未満であり、スコアが70以上であれば、故障診断結果が信頼できることを示した。故障診断は、故障箇所特定の強力なツールであるが、故障箇所特定の正確さを維持、向上させるためにはPEM解析とOBIRCH解析の様なハードウェア技術と組み合わせることが必要である。

以上の様に半導体デバイスの故障モードは多様化・複雑化しており、故障現象から単純に従来の故障モードに当てはめて対策を講じることは何ら問題の解決にならず、複合的な故障モードを念頭においた故障解析が必要である。また、回路設計とレイアウト設計、製造プロセスのデバイスの信頼性における相互依存は更に高まり、相互の関係を理解した上で解明された複合要因の故障モードと発生原因から講じられた対策と改善こそが、次世代の半導体デバイスの信頼性を向上させるものである。

## 8-2. 半導体デバイスの故障解析の今後

### 8-2-1. 最先端デバイスにおける故障解析

最先端デバイスはすでに、0.14  $\mu\text{m}$  プロセス・ノードデバイスの量産化が始まり、その最先端デバイスの構造は、トランジスタ数が 1 億個/チップを超えた。これらの 1 個でも故障するとデバイスの機能を失い故障となってしまうため、今後の故障解析では、この 1 個の故障トランジスタを検出する必要がある。この様な大規模な半導体デバイスの故障解析を行うためには、第 3 章や第 7 章で述べた PEM 発光解析や OBIRCH 解析に併せて、第 7 章で述べたソフトウェアベースの故障解析技術が必要になる。一方、メタル配線構造は、Cu 配線と低誘電膜の層間絶縁膜に変化し配線層数は 8 層、メタル配線間のスペースは 20 nm になるとメタル配線間短絡故障以外に配線間リーク故障、層間絶縁膜 TDDB と呼ばれる新たな問題も発生し始め、これらに対しては、もはや PEM 発光解析や OBIRCH 解析では故障箇所が特定できなくなり、ソフトウェアベースの故障解析技術、EBAC 解析、プロービング技術が主流となる。しかし、第 7 章でも示した様に、故障診断技術でも故障箇所特定率は 100% とはならないため、従来法の PEM 発光解析や OBIRCH 解析技術を併用が必要で、そのためには Si 基板裏面側からの故障解析手法が重要になり、第 3 章で示した様な故障解析のための Si 基板薄膜化技術により Si 基板裏面からの PEM 発光解析や OBIRCH 解析以外に LVP 解析が使えるようになる。物理解析では、半導体デバイスに使用される材料が増え、求められる加工精度が上がるとともに、材料に適した加工方法を開発し選択していく必要がある。例えば、研磨材やバフの種類、研磨装置の高精度が必要になり、化学薬品や化学ガスの選択性を用いた物理解析では、濃度調整、温度調整、圧力調整など複雑な調整、調薬が必要になる。FIB の様にイオンを用いた物理解析では、任意箇所の物理解析が可能であるが、精度向上やダメージ層の除去などの問題は残る。この様に、最先端デバイスの故障解析では、新たな構造や材料が使用されるため、これまで経験したことがない新しい故障や不良現象が発生することがある。この場合、その原因を把握し、その対策を講じない限り、新しいデバイスを実現することができない。従って、効果的な故障解析手法を新たなデバイスの開発と平行して進め、信頼性試験での故障品に対する故障解析が行える様に量産化以前に故障解析技術を確立しておく必要があり、短期間での準備が必要になる。新たな故障の物理モデルも制御すべきパラメータも不明の段階では、なおさら、故障解析の役割が重要になり、故障解析技術は新デバイスの進歩を左右する重要な技術となる。

## 8-2-2. 既存デバイスにおける故障解析

既存デバイスの故障解析においては、第4章から6章に述べた様に故障モードが、単独モード故障から複合要因による故障に変化しているなか、量産化された製品の故障解析は市場やお客様の実装工程での故障品の故障解析が中心になり、一旦、半導体デバイスの製造ラインなどで予期せぬ故障や不良要因が混入すると、故障要因を内在した製品が市場に出てしまう。例えば、異物による偶発的な故障モードは、製造工程の改善、プロセス監視モニターの強化、バーンインの実施などにより減少する一方で、各工程では管理値内であっても複合的な要因で故障に至るケースや管理値には現れない部分での故障、ウエハ径が大口径化する中でウエハ内分布に起因した故障も発生している。これらが発生するとテスト、モニタリング、信頼性試験などで発覚するまで大量の不具合デバイスを作り続けることになる。逆に、テストや信頼性試験で発覚しなければ、市場で大量の故障が発生することになるため、短TATの要求と早期のフィードバックと改善が必要な場合が多くなる。また、市場や実装工程での故障解析では、ユーザーからの解析要求から故障解析が制限される場合もある。特に車載製品などでは非破壊での故障解析が要求される。従って、デバイス構造やパッケージ構造などの困難さよりも早期かつ正確な原因究明のための難しさがある。初めにテストやI/V測定から故障内容を確認し、X線解析やSAT解析の様な非破壊解析を中心に進め、近年、TDR法や走査型SQID顕微鏡観察、故障診断技術などの非破壊検査手法でパッケージ状態のまま故障箇所の絞込みや故障モードの特定が行えるようになったが、それらは空間分解能が低いとか短絡モードやSCANチェーン搭載のデバイスに限られるなどの問題がある。破壊解析の段階では、第2章で述べた様な故障状態を維持しながらの多種多様なパッケージ構造やパッケージ材料に対応した開封技術が初めにあり、その後、故障箇所特定のためのPEM発光解析、OBIRCH解析、EBテストなど検出原理の異なる手法の組合せによる故障箇所特定を行い、故障箇所特性精度を上げるとともに物理解析においても、研磨法とエッチング法、FIB法の組合せによる物理解析精度の向上と解析時間の短縮化を達成する必要がある。次に、故障箇所特定から物理解析によって故障原因の特定から故障メカニズムを推定する場合、設計起因か製造プロセス起因かによって、取り組み方は異なっても、過去の故障解析結果情報の活用と設計、プロセス、アセンブリ、信頼性などの各技術者などと、総力を上げて早期の故障解析と故障の再現、更に改善後の加速試験での改善効果の確認まで望む必要がある。同時に、統計的な手法による故障発生数の予測や初期故障モード、偶発故障モード、摩耗故障モードの分類などを行うことも故障メカニズムを推定するためには有用な情報となる。更にメカニズムの推定に当たっては故障箇所の分析も非常に大切であり、STEM観察、TEM観察、AFM観察などによる構造観察、電子線を用いたSEM-EDX分析、EELS分析、ASE分析、イオンを用いたSIMS分析、X線や光を用いたESCA分析、FT-IR分析などの元素分析や化学結合分析も重要になり、分析専門会社の活用も必要になる。

### 8-2-3. 半導体デバイス故障解析技術者の育成

一般的に、故障解析技術者は故障発生状況、故障モード、初期解析データなどの様々の情報から原因の推定（仮説）を行う。この推定（仮説）に基づいて、その確証を得るために故障解析方法や故障解析装置の選択や方向性を決めて故障解析を進める。故障解析の過程で新たな事実が得られると必要に応じて故障解析の手法や方向性を見直さなければならない。更に故障原因が明らかになった時点で、その故障原因から故障状態を論理的に説明できるかどうかを検討しなければならない。論理上の抜けがあり故障メカニズムの論理を一貫して完結できない場合は、証明されていない仮説が存在することを意味し、異なった手法を用いた新たな故障解析を追加して新たな結果を得るか、TEG などを利用して補足実験を行い仮説の裏付けを得る必要がある。一方、故障原因が明らかにできなかった場合は、故障解析手法の選択、または、手法が妥当でも感度（検出限界量、空間分解能、時間分解能）が不足していなか、再考する必要がある。この様に、故障解析に取り組む故障解析技術者に対して、8-2-1.で述べた様に最先端デバイスでは、微細化、構造の複雑化、材料の多様化が進み、故障解析設備やその原理も複雑化し求める分解能も  $\mu\text{m}$  オーダーから  $\text{nm}$  オーダーの解析が必要になり、故障解析技術者には高い専門性が要求される。一方で、8-2-2.で述べた様に、既存デバイスでの故障解析では、短 TAT での正確な故障解析と故障メカニズムの確定が求められる、故障解析技術者には、多くの経験とその経験に基づいた素早い解析と判断が要求される。この様に、半導体デバイスによって求められる故障解析技術は異なり、専門性の高い技術者と総合的な故障解析ができる技術者の2面性がある。

前者に関しては、1つのデバイスに対して専門性が高い複数の技術者がグループで故障解析を行う。新たな故障モードに対しては、これまでの経験が活かせないため、多面的な見方と新たな知見で故障解析当たる必要がある。見るべき対象も原子、分子レベルになり、故障デバイスからの情報も微量かつ微弱になる。この場合に故障解析者に求められる技術は、高い専門性を持つ設計関連やプロセス関連の半導体デバイス技術者だけでなく、結晶工学、光学、材料力学、金属学などの半導体デバイスとは無関係の各技術者の推定（仮説）を理解し、それらの推定（仮説）と自己の故障解析結果を整合し故障現象との関係を明らかにしながら故障原因を突き止める技術力、即ち、故障解析技術者には新しい故障解析技術や故障解析装置の原理をよく理解し、推定（仮説）を論理付けできる技術力が必要になる。また、複雑かつ微細化が進むデバイスの故障解析には、故障デバイスの解析だけでなく、TEG による故障メカニズムの検証、製品での検証、改善後の歩留まりの確認から信頼性試験での確認など対策・改善まで含めると長時間の故障解析が必要になり、根気強く故障解析をやり続ける忍耐力と精神力も必要になる。

一方、後者の総合的な故障解析ができる技術者は、より多くの故障解析の経験を積み、過去の故障解析事例や文献調査を通して故障発生の状況、故障原因や故障メカニズム情報を収集とその理解から自ら故障原因の推定（仮説）ができる能力が必要になる。そのためには、故障解析技術だけでなく、設計技術、プロセス技術、製造技術、アセンブリ技術、信頼性技術などの知識とそれらを故障発生状況、故障症状、故障解析結果につなげ、特性測定から箇

所特定、物理解析、分析の全ての故障解析をこなし、故障原因の推定（仮説）から検証までを短時間で迫れる問題解決対応能力が必要になる。短 TAT で正確な故障解析を行うために、故障解析手法の選択や方向性を事前に決めて進める最先端デバイスの故障解析とは異なり、原理の異なる故障解析手法の全てを同時進行させることで、故障解析の時間的ロスを低減し、複数の原理の故障解析結果から故障メカニズムに至る。更に市場故障の場合、寿命データ解析も故障解析技術者の役目であり、故障解析の結果、故障モードや故障メカニズムが確定し、それら多数の故障デバイスの故障時間から統計的解析手法により初期故障、偶発故障、真性故障のモード分けを行い故障の発生率や将来の故障数を予測するための技術も必要になる。

## 謝辞

この論文を作成するに当たり、多くの方のご支援、ご協力を賜りました。ここに謹んで御礼申し上げます。特に異質な分野にも関わらず、学位申請を受理して頂きました国立学校法人 豊橋技術科学大学ならびに学位申請から審査に関して多くのご助言を頂きました同校大学院電気・電子情報工学系、福田光男教授、若原昭浩教授、澤田和明教授には深謝致します。また、事務手続きにご尽力頂きました同校電気・電子情報工学系 事務の豊田さんに心から御礼申し上げます。

更に博士号の学位申請のきっかけを与えて頂きました、(株)リコー研究開発本部、渡辺博文顧問には、学位申請の段階から多くの助言と励ましを頂きました、ここに心から御礼申し上げます。また、本論文の基本論文作成に当たり多くのご協力頂きましたリコー電子デバイス(株)品質保証部の小原部長、薦田課長、故障解析をともに担当した山田課長、池内さん、溝部さん、森谷さん、遠藤さん、横山さん、水田さん、丹賀さんには故障解析のデータ取得と実験などで、同社やしろ工場生産技術センターの藤本さん、渕野さん、宮田さん、三宅さん、高橋さんには実験サンプルの作成や測定などで大変お世話になりました。また、(株)イオンテクノセンター様、(株)東レリサーチセンター様にはサンプルの観察・分析などでお世話になりました。最後に、短い期間ではありましたが、博士号取得に向けての論文作成のため、夏季・冬季休暇中も含めて陰ながら支えてくれた妻、智子に感謝します。