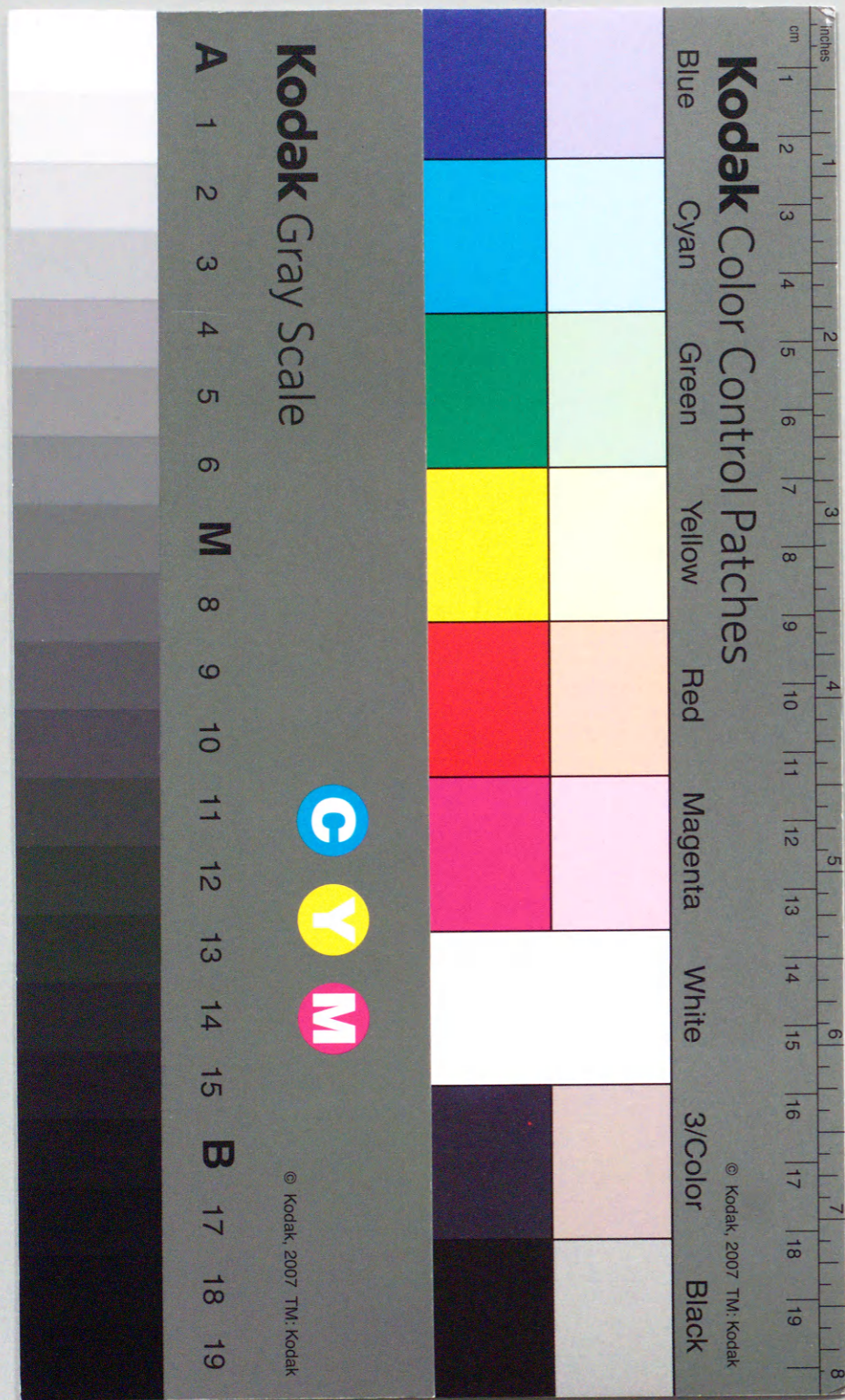


発光現象を利用した  
信頼性評価技術に関する研究

1994年6月

博士(工学)

浦岡行治  
豊橋技術科学大学



①

発光現象を利用した  
信頼性評価技術に関する研究

1994年6月

博士(工学)

浦岡行治  
豊橋技術科学大学

## 発光現象を利用した信頼性評価技術に関する研究

### 論文要旨

半導体プロセスや設計技術の進歩には目を瞠るものがある。例えば、メモリーでは既に16MDRAMが実用化されつつあり、学会では256MDRAMの議論が活発である。一方、これら超LSIの信頼性を保証するためには、高い信頼性評価技術を開発することが重要である。ところが、従来から信頼性評価は伝統的な電氣的評価が中心で、高集積化、微細化に追従できず、限界に近づきつつあった。

そこで、発光現象を利用した新しい信頼性評価技術を開発した。超LSIにおいて、劣化が起こりやすい箇所では、400nmから1000nm程度の非常に微弱な発光が見られる。この技術はこの微弱な光を利用することによって、信頼性上の重要な情報を得ようとするものである。

電流注入した時の発光量のゲート絶縁膜の面内分布と破壊電荷量( $Q_{BD}$ )の関係から、信頼性評価の際、重要なストレス条件の設定が可能である。また、初期耐圧特性やTDDB特性における不良モードと発光を利用して検出したゲート面内の破壊場所との間には強い相関関係がある。信頼性上、最も重要な偶発不良はゲート絶縁膜のLOCOSより内側で発生し、真性寿命はLOCOSエッジの構造に支配されることが、この技術によって明らかになった。

LSI回路テスターと発光解析装置とを組み合わせることによって、100万個のトランジスタからリアルタイムで不良の1個のトランジスタを検出す

ることが可能である。また、発光解析と物理解析とを組み合わせることにより、プロセス不良や設計不良などの不良モードの特定ができる。その応用事例として、スルーホールのプロセス異常を検出した事例について述べる。スルーホールのコンタクト抵抗の増大により、これにつながっているインバータの入力がフローティング状態となりNチャンネルのトランジスタで発光が見られた。また、設計不良によるスタンバイ電流の増加の原因を究明した事例についても述べる。

プロセスやデバイスの構造に依存せず、ホットキャリア効果によって発生する発光量はMaxwell-Boltzmann分布に従い、 $gm$ (トランスコンダクタンス)劣化と200nmの発光量との間に強い相関関係があることを見いだした。 $gm$ 劣化はこれまで、界面準位の劣化によるものとされており、200nm(6eV)は界面準位の生成エネルギーに対応するものと推定される。

さらにインバータ回路を用いてAC動作下での発光現象を調べた。発光量はAC動作下でもMaxwell-Boltzmann分布に従い、200nmの発光と寿命の間にユニバーサルな関係があることがわかった。このユニバーサルカーブからLSI上のトランジスタの定量的な寿命を推定することができる。開発途上の64ビットマイクロプロセッサに応用した事例についても述べた。

## Evaluation Technology of VLSI Reliability using Photon Emission Phenomena

### Abstract

Progress in semiconductor manufacturing and designing technology is remarkable. For example, 16MDRAM LSI is going to be implemented and discussion for 256MDRAM is active in the international conference. In order to assure the reliability of these LSIs, development of high evaluation technology is necessary. However, the evaluation has been performed with the conventional electrical method alone, hence, has reached the limit of the evaluation.

We have developed a new technology of reliability evaluation using photon emission phenomena. Photon emission with wavelength from 400 to 1000nm can be observed where the failures going to occur. This technology is to obtain the important information from the emission.

A new technique for evaluating gate oxide reliability using photon emission method has been developed. This method enables the measurements of the initial breakdown characteristics, reliability testing and the failure analysis consistently. From the experimental results, followings are clarified for the first time using this technique. From the relation between the spatial distribution of photon counts and QBD(the charge to breakdown), stress condition for reliability testing can be determined. The failure mode in initial breakdown and TDDDB characteristics has strong correlation. Random failure occurs off the edge, while intrinsic failure occurs at LOCOS edge. Hence the structure of LOCOS edge are found to dominate the lifetime of gate oxide. The results suggest measures to improve the reliability of gate oxide and the existence of new failure mechanism.

A new failure analysis technique for ULSI circuits, using the photon emission is proposed. This method detects failures in ULSI circuits by systematically combining a photon detection system with an LSI circuit tester. The usefulness of such a combination was illustrated using two

examples:

- (a) Failures at via-hole contact identified as a process deficiency and
- (b) "Stand-by current error" analyzed as a design issue.

Photon emission from the MOSFETs by hot carrier effect under AC and DC operation is studied. A method to estimate the lifetime of MOSFETs in LSI chips, which uses the photon emission, is proposed. This method is based on the experimental data that the lifetime of hot carrier degradation is described by an universal curve with respect to the photon count at wavelength of 200 nm. In this paper, quantitative estimations of lifetimes of MOSFETs in a real LSI are demonstrated. This method is applied to the lifetime estimation of a CMOS microprocessor.

Gate oxide damage by plasma processing was evaluated using structures with various antenna lengths. The gate oxide damage by plasma processing was found to be monitored quantitatively by measuring the charge to breakdown, QBD. From the QBD measurements, we have confirmed that the degradation occurs during over-etching, not in main etching. Plasma current was calculated from the decrease of QBD during the etching. The breakdown spot in the gate oxide was detected by photon emission and TEM. The LOCOS structure plays an important role for the degradation by plasma damage.

## 目次

第1章 序論	-----	1
1-1 はじめに	-----	1
1-2 歴史的背景	-----	2
1-3 本研究の目的	-----	3
1-4 本論文の構成	-----	5
1-5 参考文献	-----	5
第2章 発光を利用したゲート酸化膜評価技術	-----	6
2-1 緒言	-----	6
2-2 発光の原理	-----	8
2-3 評価システムと試料	-----	8
2-4 実験結果その1 発光の面内分布	-----	8
2-4-1 $Q_{BD}$ 法		
2-4-2 電流注入量と面内分布		
2-5 実験結果その2 発光とTDDDB特性	-----	11
2-5-1 初期耐圧特性とTDDDB結果		
2-5-2 信頼性評価結果		
2-5-3 絶縁破壊の瞬間		
2-6 議論	-----	23
2-6-1 初期特性とTDDDB特性の関係		
2-6-2 破壊のメカニズム		
2-7 結言	-----	27
2-8 参考文献	-----	30
第3章 MOSFETからのホットキャリア発光	-----	32
3-1 緒言	-----	32
3-2 試料	-----	32
3-3 実験結果	-----	32
3-3-1 発光量とホットキャリア劣化		
3-3-2 発光量の波長解析		

3-3-3	0.7 $\mu$ mNチャネルトランジスタにおける発光		
3-3-4	SRAMの不良解析		
3-4	考察	-----	45
3-5	結言	-----	45
3-6	参考文献	-----	48
第4章	ホットキャリア寿命推定法		
4-1	緒言	-----	49
4-2	評価装置と試料	-----	49
4-3	実験結果	-----	52
4-3-1	AC動作状態での波長スペクトル		
4-3-2	発光量と寿命のユニバーサルカーブ		
4-3-3	LSIへの応用		
4-4	結言	-----	64
4-5	参考文献	-----	65
第5章	超高集積回路の不良解析技術		
5-1	緒言	-----	66
5-2	評価システム	-----	66
5-3	解析手順	-----	68
5-4	実験結果	-----	69
5-4-1	プロセス不良の検出		
5-4-2	物理解析		
5-4-3	設計不良の検出		
5-4-4	本技術の適用範囲		
5-4-5	本技術の課題		
5-5	結言	-----	84
5-6	参考文献	-----	85
第6章	発光を利用したプロセスダメージ解析技術		
6-1	緒言	-----	86
6-2	実験結果	-----	86
6-2-1	テスト構造と試料作成条件		

6-2-2	TDDDB特性		
6-2-3	トラップ特性		
6-2-4	Q <sub>BD</sub> 評価方法		
6-2-5	発光解析結果		
6-2-6	TEM解析		
6-3	討論	-----	98
6-4	結言	-----	103
6-5	参考文献	-----	104
第7章	結論	-----	105
(1)	ゲート酸化膜の信頼性評価技術		
(2)	発光量と劣化量の関係		
(3)	AC動作状態での発光		
(4)	発光を利用した不良解析技術		
(5)	発光を利用したプロセスダメージ評価技術		
謝辞		-----	108
研究業績		-----	109

## 目次

第1章 序論	
第2章 発光を利用したゲート酸化膜評価技術	
2-1 ゲート酸化膜の発光原理	7
2-2 発光解析システム	9
2-3 $Q_{BD}$ 評価回路	10
2-4 $Q_{BD}$ の注入電流密度依存性	12
2-5 発光量のゲート面内分布	13
2-6 発光量と $Q_{BD}$ の注入電流密度依存性	14
2-7 ゲート酸化膜の耐圧分布	16
2-8 破壊箇所からの発光像	17
2-9 破壊箇所の位置	18
2-10 不良モードと破壊箇所の面内分布	19
2-11 TDDDB特性の電界依存性	21
2-12 TDDDB寿命推定法	22
2-13 TDDDB特性の面積依存性	23
2-14 TDDDB寿命と破壊場所の面内分布	25
2-15 LOCOSエッジから離れた箇所で破壊したキャパシタの数 と偶発不良の数の関係	26
2-16 ゲート絶縁膜の破壊の瞬間	27
2-17 TEMによる断面観察	29
第3章	
3-1 ホットキャリア効果による発光	33
3-2 劣化量と発光量のゲート電圧依存性	35
3-3 波長スペクトル (ドレイン電圧依存性)	36
3-4 波長スペクトル (ゲート電圧依存性)	37
3-5 200nmの発光量の推定方法	38
3-6 劣化量と発光量のゲート電圧依存性	39
3-7 劣化量のピーク電圧と200nmの発光量のピーク電圧の相関	40
3-8 ゲート長 $0.7\mu\text{m}$ のトランジスタの劣化量と発光量の関係	

3-9 本方法のSRAM応用事例	41
3-10 トランジスタA,Bの波長スペクトル	42
3-11 回路解析結果	44
第4章	
4-1 インバータ回路とバイアス条件	47
4-2 インバータ回路の発光	50
4-3 波長スペクトルのドレイン電圧依存性	51
4-4 波長スペクトルの周波数依存性	53
4-5 200nmの発光量の推定方法	54
4-6 200nmの発光量と寿命との関係 (ドレイン電圧依存性)	55
4-7 200nmの発光量と寿命との関係 (周波数依存性)	56
4-8 ユニバーサルカーブ	57
4-9 発光量 (700nm)と寿命	58
4-10 64ビットマイクロプロセッサ	60
4-11 発光解析によって検出されたトランジスタA,B	61
4-12 トランジスタA,Bの寿命推定	62
第5章 超高集積回路の不良解析技術	
5-1 不良解析システム	63
5-2 発光を利用した解析プロセス	67
5-3 不良LSIを搭載したボード (治具)	70
5-4 発光によって検出された不良箇所	72
5-5 不良箇所のエネルギースペクトル	73
5-6 不良箇所のマスク図	74
5-7 物理解析結果	76
5-8 良品と不良チップのゲート入力波形	78
5-9 TEGによる検証	79
5-10 回路不良事例	80

5-11 発光解析法の応用範囲	-----	83
第6章 発光を利用したプラズマダメージ解析技術		
6-1 アンテナ効果	-----	87
6-2 テスト構造	-----	88
6-3(a) TDDB特性( $T_{ox}=10\text{nm}$ )	-----	90
6-3(b) TDDB特性( $T_{ox}=8\text{nm}$ )	-----	91
6-3(c) TDDB特性( $T_{ox}=6\text{nm}$ )	-----	92
6-4 トラップ特性	-----	93
6-5 $Q_{BD}$ のアンテナ比依存性	-----	95
6-6 エッチング処理時の $Q_{BD}$ の変化	-----	96
6-7 $Q_{BD}$ の酸化膜厚依存性	-----	97
6-8 破壊箇所での発光像	-----	99
6-9 プラズマダメージによる絶縁破壊箇所	-----	100
6-10 ゲート酸化膜のTEM観察	-----	101
6-11 thinning効果の膜厚依存性	-----	102

## 第1章 序論

### 1-1 はじめに

半導体プロセスや設計技術の進歩には目を瞠るものがある。メモリーでは、16MDRAMが実用化の段階に入り、すでに、研究所レベルでは、64MDRAMに熱がまさに入ろうとしている。トランジスタのゲート寸法は0.5ミクロンルールが実用化の段階に入りつつあり、研究所レベルでは、すでに、0.3 $\mu\text{m}$ の時代に突入しつつある。それに伴い、スケーリング則に従って、ゲート酸化膜厚は10nmを切ろうとしている。

一方、これら半導体チップの搭載される、AV機器、情報、通信関連は今後ますます大きな市場としてメーカー間の過激な競争の波を迎えつつある。これらの勝敗を決するものは当然、高速、高性能という高付加価値であるということはいままでもない。ところが、これらの高付加価値は、高信頼性に支えられて初めて力を発揮するものである。従って、半導体の信頼性評価技術は、ますます重要視されなければならない。

半導体の品質を保証するために、信頼性の高いプロセスを開発したり、信頼性の高い設計をすることが大切であることは言うまでもない。しかし、その前に、もっと重要なことがある。それは、プロセス、デバイス開発の進歩に合わせて信頼性評価技術を向上させることである。微細な加工をするには、微細な寸法を測る技術が必要なと同様に、高い信頼性の半導体を作り込むためには、高い信頼性評価技術を構築する必要がある。

### 1-2 歴史的背景

発光現象そのものについては、逆バイアス下でのpn接合における発光現象として古くから報告されている。このメカニズムについてはいくつか提案されている。

- (1) フォノンを介した電子-ホール再結合<sup>(1)</sup>
- (2) 価電子帯内でのホールの直接遷移<sup>(2) - (4)</sup>
- (3) 伝導帯内でのホールの直接遷移<sup>(5) - (7)</sup>

しかし、pn接合の場合でさえも、発光機構は明確になっていない。



近年、基板中の小数キャリアの発生起源という観点から、議論されつつある。すなわち、ホットエレクトロン効果に伴って生ずる基板中の小数キャリア（p基板中の電子）は2次のインパクトイオン化<sup>(8)</sup>ではなくフォトン（発光）によって作られるという考え方である<sup>(9)-(12)</sup>。

具体的な例を用いて説明すると、Nch-MOSトランジスタにおいてホットキャリアによって発生した小数キャリアが基板中を流れていって、隣接する素子の特性に影響を及ぼす場合、CCDやDRAMメモリセルのようにキャパシタに一時的に蓄えた電荷を情報信号として用いるような素子では、大問題となる。この原因は、当初、基板電流に起因した2次衝突電離によって発生した電子電流であると考えられていた。しかし、さまざまな実験の結果、シリコンバンドキャップ近傍のエネルギーをもつフォトン、逆バイアスされたpウエル-n基板接合に阻止されることなく、n基板領域まで侵入していることがわかった。

ここで見られる発光現象は、制動放射<sup>(7),(13)-(14)</sup>によるものであるという説が有力で、

- (1) その発光スペクトルから、Maxwell-Boltzmann分布に従う
- (2) 電子温度という概念で整理できる

という報告がされている。制動放射（Bremsstrahlung放射）は帯電したクーロン中心（Coulombic Center）によってホットエレクトロンが散乱されるときにおこる放射である。

しかし、決定的な実証は今後に期待される。

一方、最近、この発光現象を逆に利用して半導体チップの不良解析を行おうとする機運が非常に盛んになりつつある。本研究は、発光現象を不良解析ばかりでなく、信頼性評価の分野に取り入れようとする新しい研究である。

### 1-3 本研究の目的

従来から信頼性評価は、デバイスの進歩に追従できず、伝統的な電氣的な評価に頼らざるを得なかった。ところが、先に述べたような、高集積化、微細化、プロセスの複雑化に伴い、電氣的評価の限界が近づいてきている。なぜなら、電氣的な評価は電流、電圧という平均化された結果であり、局所的な劣化評価に対しては、無力であるからである。

そこで、プロセス、設計技術の進歩に呼応して、信頼性評価の分野に新しい光を取り入れた。これが、まさしく発光を利用した信頼性評価技術である。光という2次元空間の情報や、エネルギー空間的な情報を取り入れることによって、劣化メカニズムを解明しつつ、その原理に基づいた高性能な不良解析技術や信頼性評価技術を開発した。

特に、ゲート酸化膜の信頼性評価方法、ホットキャリア劣化のメカニズムの解明と、これを応用した、LSI上のトランジスタの定量的な寿命推定の方法、また、LSIテスターと組み合わせた高集積回路の不良解析手法など数々の技術を構築した。

この技術によって、筆者は、64ビットのマイクロプロセッサや16MDRAMのプロセス開発や設計技術の高信頼性化に貢献し、また一方では、ホットキャリア劣化やゲート絶縁膜の経時絶縁破壊の劣化メカニズムの解明を行ってきた。この研究に対し、1992年3月IEEE/ICMTS国際学会から最優秀論文賞、また、1993年7月には筆者の勤める松下電器産業より技術社長賞を受賞した。

### 1-4 本論文の構成

本論文は7章からなる。

第2章では、発光を利用したゲート酸化膜の信頼性評価技術について述べる。電流注入した時の発光の面内分布と破壊総電荷量 $Q_{BD}$ の関係を議論することにより、信頼性評価の際、重要なストレス条件の決定手法を解説する。

また、初期耐圧特性やTDDDB特性における不良モード（A,B,Cモード、ランダム不良、真性不良）と、発光を利用して検出した面内破壊場所との関係から、信頼性向上のための対策や破壊機構について議論する。

第3章では、ホットキャリア効果と発光の関係について議論する。発光量が、Maxwell-Boltzmann分布に従うこと、ホットキャリア効果による劣化量が、200nmの発光量と関係が深いことを導き出す。

この原理を応用して、開発途上のSRAMで、ホットキャリア劣化の著しいトランジスタを検出した事例を紹介する。

第4章では、インバータ回路を用いてAC動作下での発光を調べた。発光量はAC動作状態でも、Maxwell-Boltzmann分布に従うことを示した。

さらに、200nmの発光量とAC動作状態でのホットキャリア寿命の間にユニバーサルカーブが存在することを導いた。このユニバーサルカーブを用いて、LSI上のトランジスタの定量的な寿命を推定する方法を示し、開発途上の64ビットマイクロプロセッサに応用した。

第5章では、LSI回路テスターと発光解析装置とを間接的に組み合わせて、100万個以上のトランジスタからリアルタイムで不良のトランジスタを検出する方法を示した。また、発光解析から、不良モードの特定、物理解析等を効率的に行う不良解析手順を示した。解析事例として、プロセス不良と設計的な不良の2種類の不良解析を紹介した。

第6章では、 $Q_{BD}$ 評価技術と発光解析技術を用いて、プラズマダメージによるゲート酸化膜劣化の定量的な評価技術について述べる。特殊なテスト構造を用いて、プラズマエッチング工程などによるゲート酸化膜の劣化が $Q_{BD}$ 法によって定量的に評価できることを示した。破壊箇所の解析には発光解析技術を用いた。

第7章でまとめを行う。

#### 1-5 参考文献

- [1]A.G.Chynoweth and K.G.Mckay, Phys. Rev., vol.102, no.2, p.369,1956.
- [2]P.A.Wolff, J.Phys.Chem. Solids 16,p.184,1960.
- [3]A.G.Chynoweth and H,K, Gummel, J.Phys. Chem. Solids 16,p191,1960.
- [4]W.Haecker, Phys.Stat.Sol. (a)25,p.301,1974.
- [5]T.Figielski and A.Torun, Proc. Int Conf. Phys. Semiconductors, p.853, 1962.
- [6]E. Kamieniecki , Phys. Status Solidi., vol.6, p.877,1964.
- [7]J.Shewchun and L.Y.Wei, Solid-State Electron., vol.8, p.485,1965.
- [8]J.Matsunaga, H.Momose, H. Iizuka, and S.Kohyama, IEDM Tech. Dig., p.736,1980.
- [9]A.Toriumi and M.Yoshimi, IEDM Tech Dig., p.56,1985.
- [10]P.A.Childs, R.A.Stuart, and W.Eccleston, Solid State Electron. 26, p.685, 1983.
- [11] S.Tam, F.C. Hsu, P.K.Ko, C. Hu and R.S. Muller, IEEE Electron Device Lett., EDL-4, p.386,1983.
- [12]T.Tsuchiya and S.Nakamura, IEEE Trans Electron Devices, ED-32, p.405, 1985.
- [13]A.Toriumi and M.Yoshimi, IEEE Trans. Electron Devices, ED-34,No.7,p.1501, 1987.
- [14]S.Tam and C.Hu, IEEE Trans.Eletron Devices, ED-31, p.1264, 1984.
- [15]小柳光正著 p176-180「サブミクロンデバイスII」丸善出版社

2-1 緒言

素子を微細化すると、MOS型集積回路の基本構成要素であるゲート酸化膜の膜厚がスケーリング則に従って薄膜化される。最近の最先端集積回路ではすでに10nm程度のシリコン酸化膜が使用される状況になっている。従って、薄い酸化膜を本格的に実用化するためには、現象を正確に把握し、その対策を構ることが必要である。

ゲート酸化膜の信頼性評価方法については、以前より多くの報告がされており、電気的な評価方法は、ほぼ確立されている。その代表的な方法として、TDDB評価方法<sup>(1)-(4)</sup>がある。これは、定電圧、定電流、ランプ電圧、ランプ電流などを加えて、破壊にいたるまでの時間や、注入電荷量を測定する方法である。ところが、これらの方法は寿命推定は可能であっても、具体的な改善のための対策や劣化メカニズムの解明までは不可能である。即ち、電気的な評価の限界に達しているといえる。

本章では、発光を利用した新しいゲート酸化膜の評価方法について述べる。ゲート酸化膜の発光については、不良の前後で発光が見られることを、Ching-Lang Chiangらがすでに報告<sup>(5)-(6)</sup>している。ここでは、この発光を利用して、信頼性評価のためのストレス条件の決定手法、破壊場所の検出を行うことによるTDDB不良モードとの関連、劣化メカニズムの考察を行う。

2-2 発光の原理

まず、破壊する前の発光の原理について説明する。図2-1に示すように、ゲート酸化膜に高電界が印加されると、F-Nトンネル電流が酸化膜中を流れる。電子がポリシリコン電極から酸化膜のコンダクションバンドに注入されると、高電界から運動エネルギーを得る。これらの高いエネルギーを持つ電子がシリコン基板に到達すると、さらに電子-正孔対をつくりながら、正孔と再結合する。この再結合の際に発光が見られるのである。

絶縁破壊すると、1箇所電流が集中されるため、ゲート面内全体ではなく、1箇所で強い発光が観測される。しかし、この発光のメカニズムに

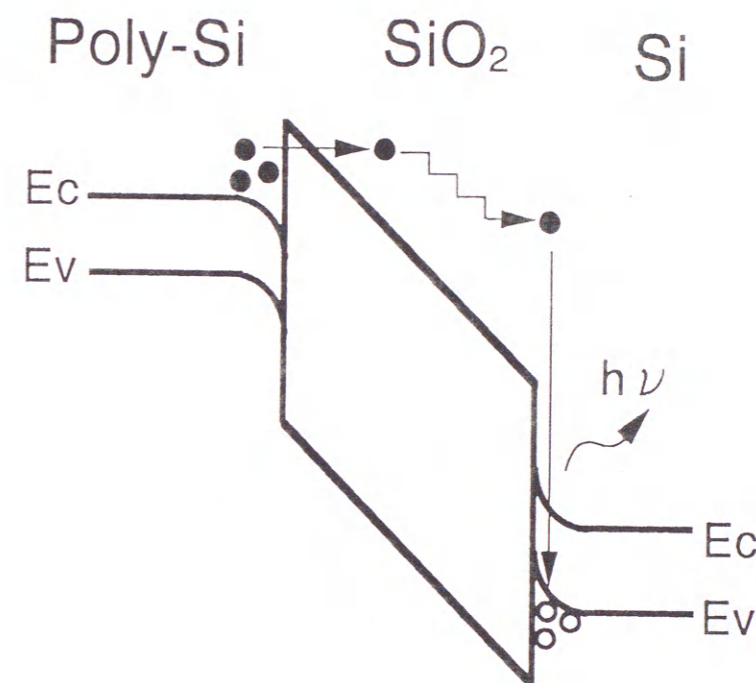


図2-1 ゲート酸化膜の発光原理

ついてはわかっていない。

### 2-3 評価システムと試料

本評価システムは、電気的ストレス印加部と発光解析部から構成されており、GP-IB制御によってHP社製ワークステーションにて全体の制御を行っている。電気的ストレス印加部は、ウエハーレベルで、初期耐圧特性、TDDDB試験を実施することが可能であり、一度に最大360チップを同時に摂氏150度加熱しながら試験できる。

発光解析部は図2-2に示すように光学顕微鏡、フォトンカウントカメラ、イメージプロセッサ、コントローラーから構成されており、波長感度は400nmから1000nm、位置分解能は約0.3 $\mu$ mである。フォトンカウントカメラは、浜松ホトニクス製である。発光は重心検出したのち、発光量として、外部に取り出すことができる。

評価に用いる試料は2種類あり、トランジスタの酸化膜部のみを取りだし、面積を大きくしたゲートキャパシタとトランジスタを数多く組み合わせたゲートアレーを用いた。ゲートキャパシタは数百 $\mu$ m角のものから数mm角のものがよく使われるが、構造が簡単なため、プロセスが簡単であり、プロセス工程のモニターなどに非常によく使われる。一方、トランジスタアレーは構造が実LSIに近いので、プロセスの最終確認等に便利である。

### 2-4 実験結果その1 発光の面内分布

#### 2-4-1 $Q_{BD}$ 評価法

ゲート絶縁膜の経時絶縁破壊[TDDDB(Time Dependent Dielectric Breakdown)]を調べる方法の一つに、図2-3のようにゲートキャパシタに定電流を酸化膜に印加しながら、破壊までの電荷量を測定する $Q_{BD}$ 評価法がある。つまり、

$$Q_{BD} = \int I_s dt = I_s * t_{BD}$$

ここで、 $t_{BD}$ は破壊するまでの時間、 $I_s$ はストレス電流密度である。

当然、 $Q_{BD}$ が大きいものほど、信頼性的にみて良い膜であるということ

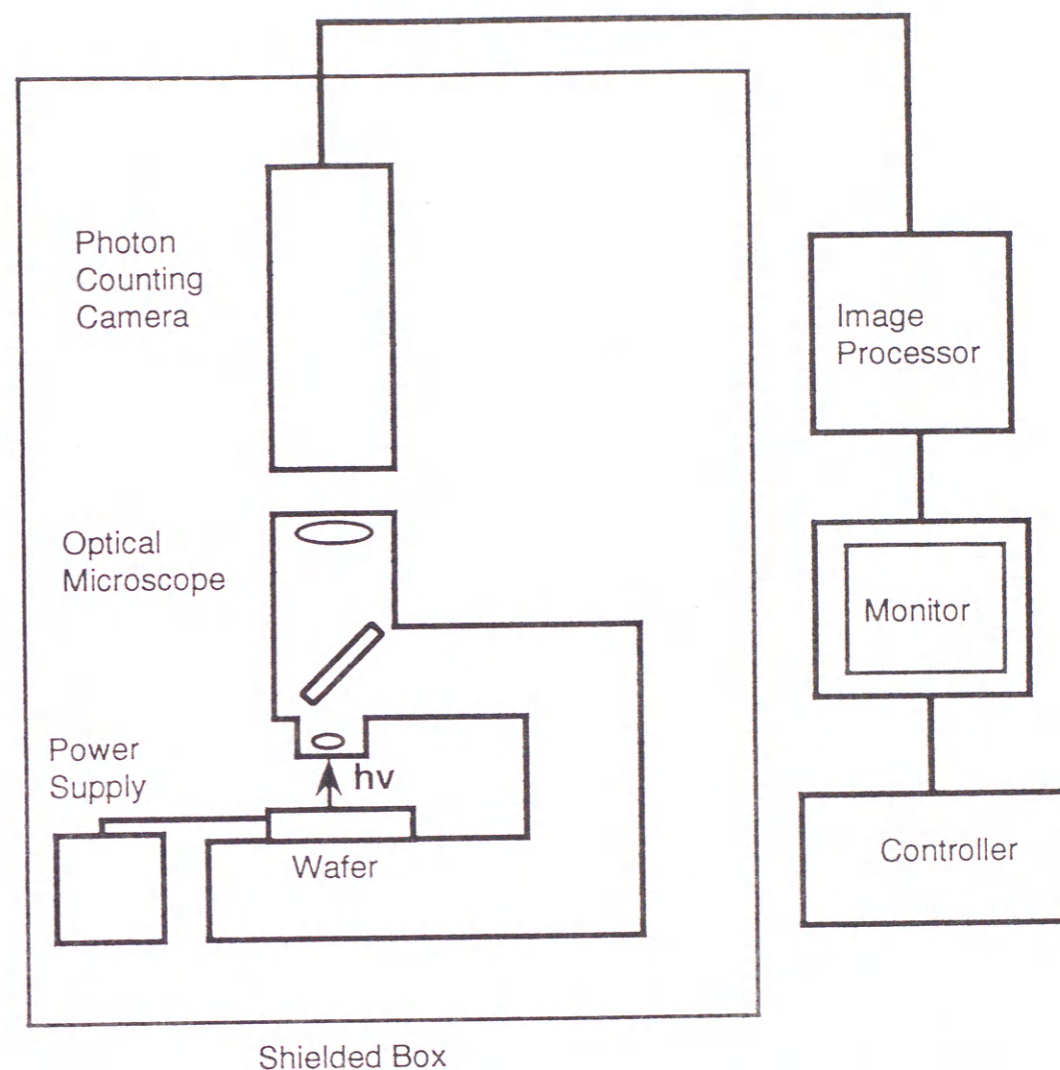


図2-2 発光解析システム

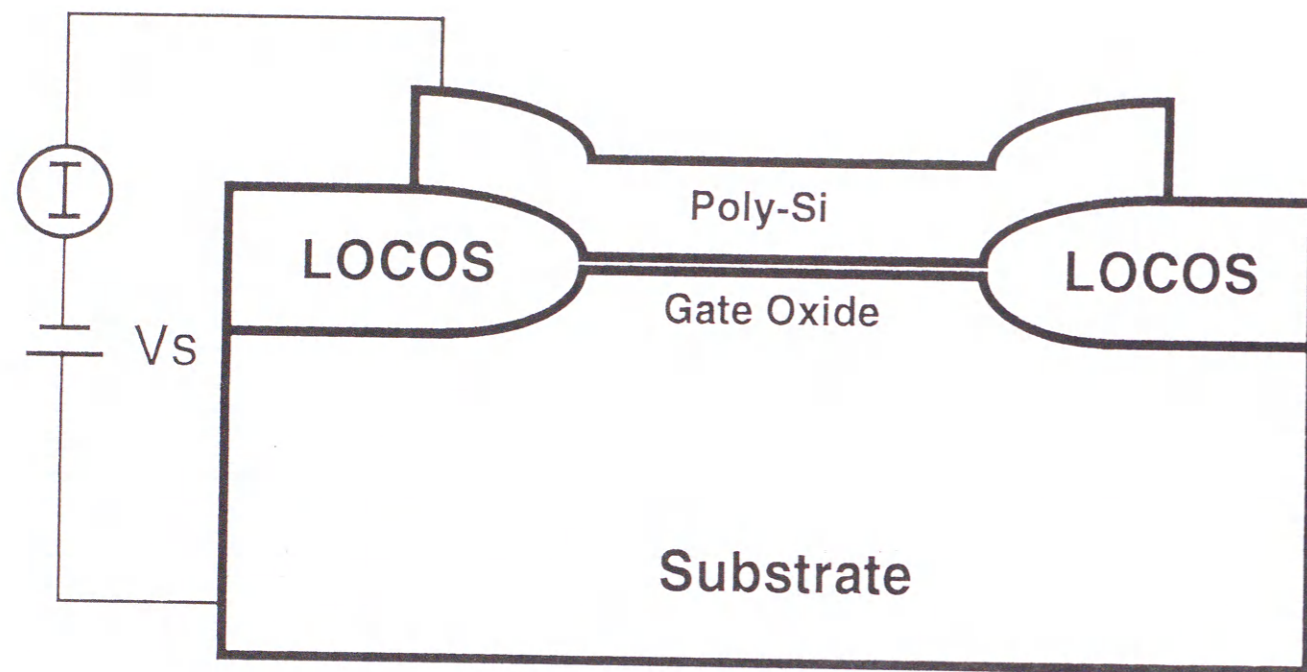


図2-3  $Q_{BD}$ 評価回路

ができる。図2-4にゲート酸化膜厚が16nm、面積 $0.14\text{mm}^2$ のキャパシタを用いて測定した $Q_{BD}$ の電流密度 (Injected Current Density)依存性を示す。 $Q_{BD}$ はある電流密度までは一定の値を示すがそれ以上では電流密度の増加とともに減少している。ある電流密度以下では $Q_{BD}$ が一定であることから、実動作時の電流密度がわかれば、酸化膜のおおよその寿命が推定できる。

ストレス電流密度が高いほど測定時間も短くできるが、図2-4に示すように、電流密度が $20\text{mA}/\text{cm}^2$ を越えると $Q_{BD}$ が下がってきており、破壊モードが変わっているものと考えられる。従って、ストレス電流密度が高いほど評価は速いが、高すぎると、破壊モードが変わるため、適切な電流設定が非常に大切である。

#### 2-4-2 電流注入量と面内分布

定電流をゲートキャパシタに注入しながら、発光の面内分布を調べた。図2-5に示すように電流密度が $10\text{mA}/\text{cm}^2$ 程度までは、発光の面内分布は均一であるが、 $100\text{mA}/\text{cm}^2$ 以上では、強い発光はゲート周辺に偏っていることがわかる。発光分布を定量的に表すために、周辺付近での平均フオトンカウント数と中央での平均フオトンカウント数の割合 (Ratio me/mc)を示した結果が図2-6である。電流密度が $20\text{mA}/\text{cm}^2$ 程度までは、発光の面内分布は均一であるが、それ以上では周辺での発光量が急激に増加していることがわかる。

発光分布と $Q_{BD}$ の電流密度依存性を重ねてみると、図2-6に示すように $Q_{BD}$ の低下と周辺での発光量の増大がほぼ同時に起こっていることがわかる。つまり、電流密度が増大すると面内の電流分布が不均一、即ち、電流ストレスを強くすると、電流分布が周辺に偏るために、周辺での劣化が加速され、見かけの $Q_{BD}$ が低下するものと考えられる。従って、適切な評価を行うためには、ゲート面内の局所的な劣化が加速されないように、均一な面内分布をもつ電流印加をする必要がある。

発光分布をモニターすることにより、均一な分布が得られる最大の電流密度を決定することが可能であり、信頼性評価に最適な電流密度を決定することができる。

#### 2-5 実験結果その2 発光とTDDDB特性

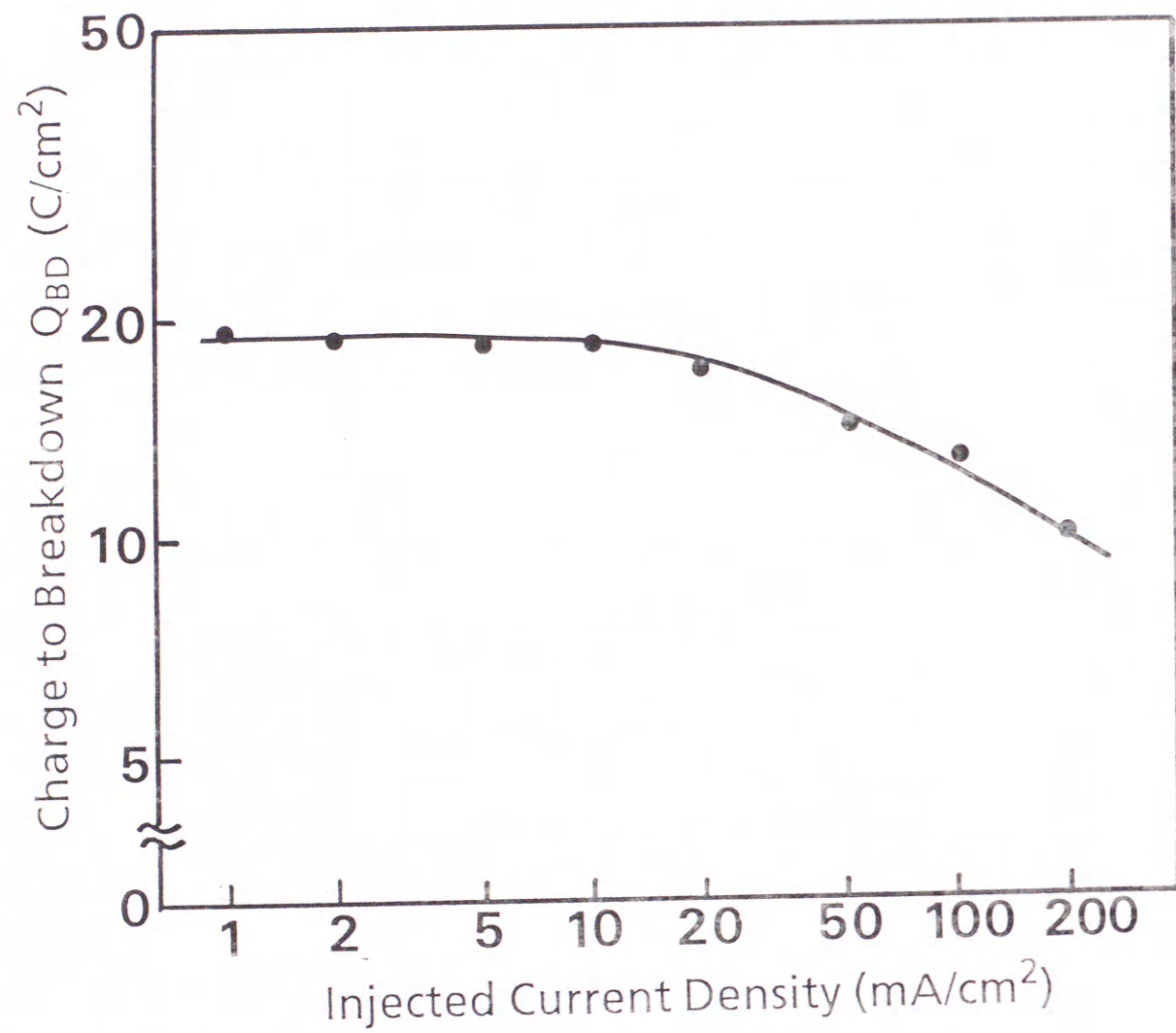


図2-4  $Q_{BD}$ の注入電流密度依存性

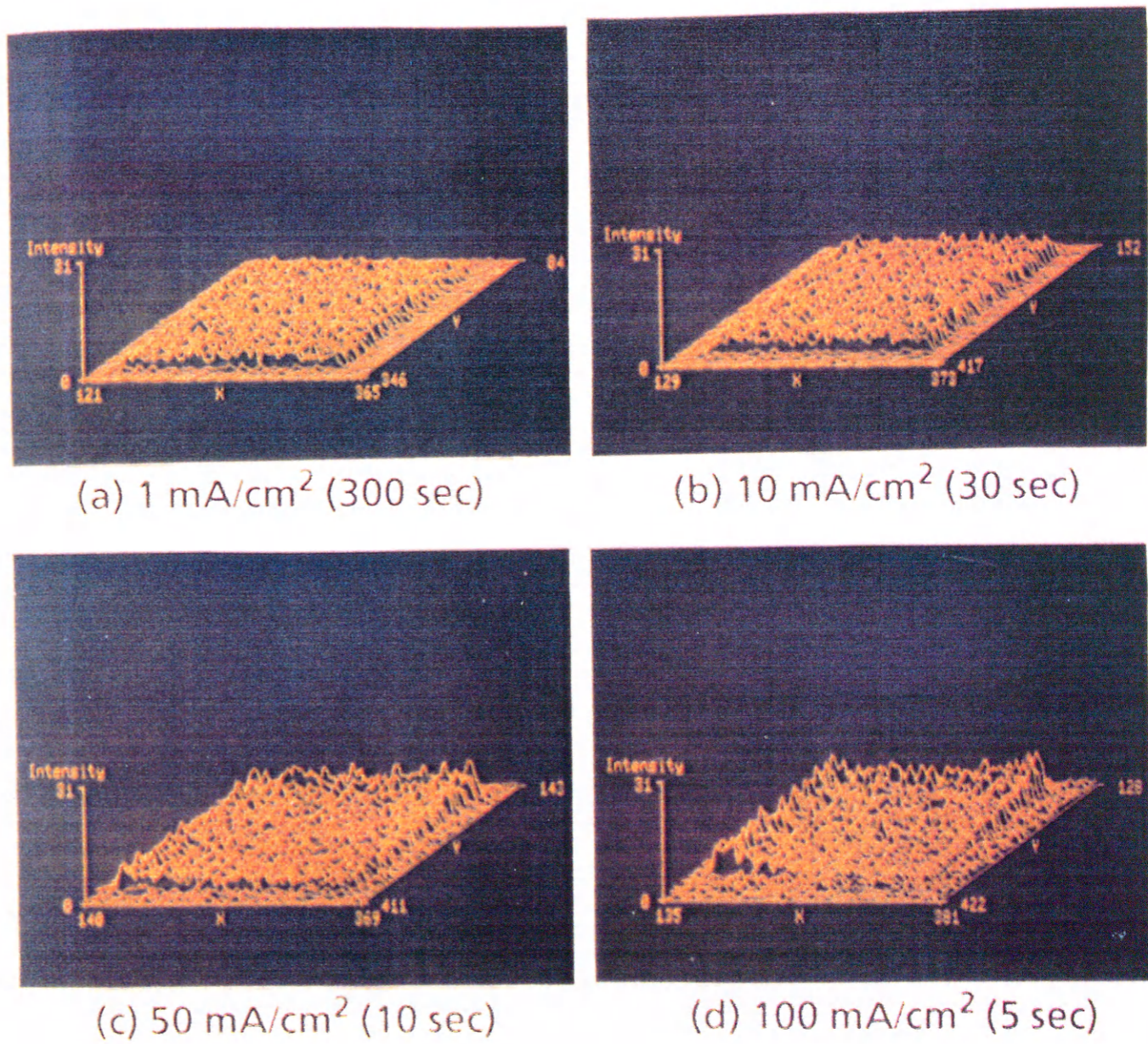


図2-5 発光量のゲート面内分布

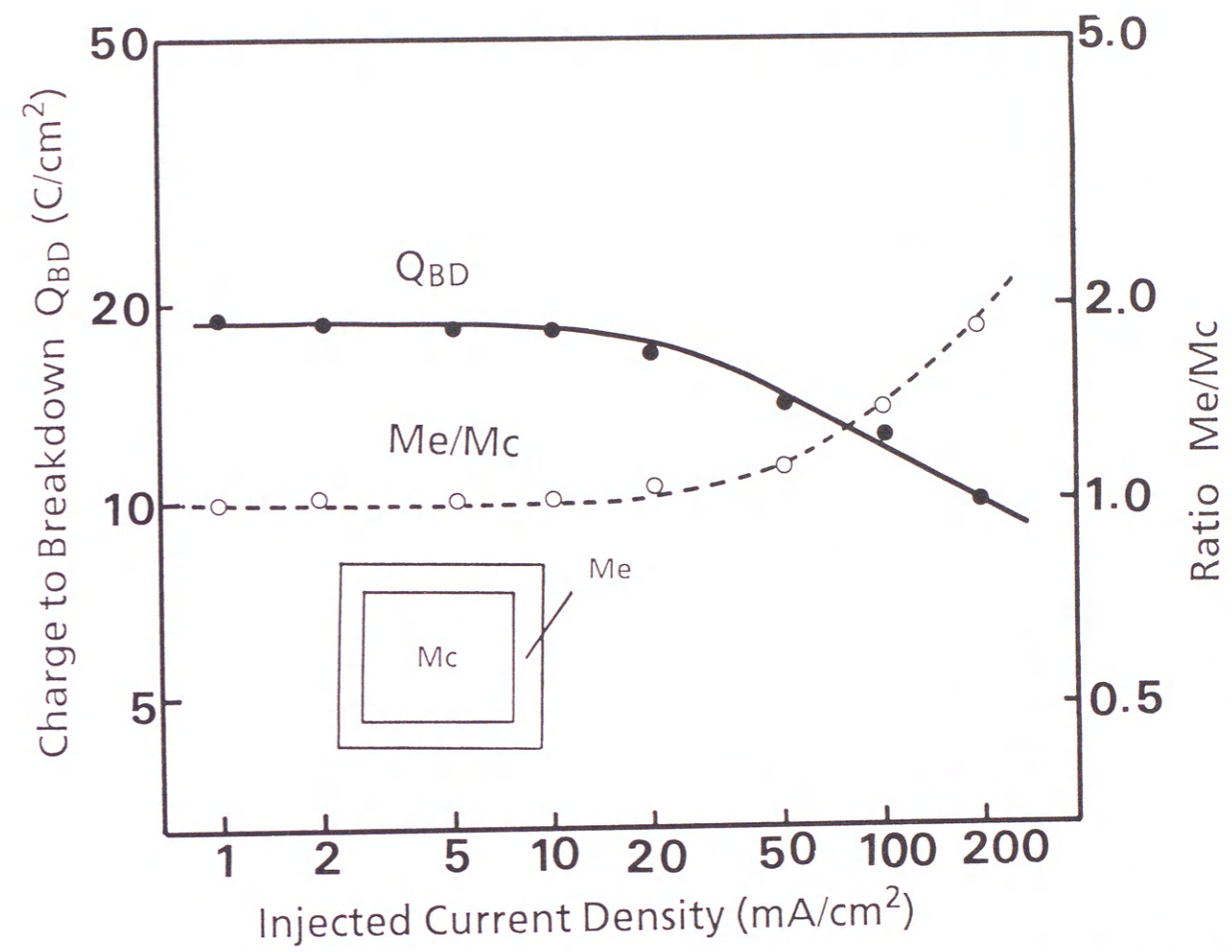


図2-6 発光量と $Q_{BD}$ の注入電流密度依存性

### 2-5-1 初期耐圧特性とTDDB結果

図2-7に典型的な初期耐圧分布を示す。破壊は一般的に、Aモード、Bモード、Cモードに分類されることが報告されている<sup>(8)</sup>。Aモードは酸化膜内部のピンホールが原因、Bモードは酸化膜のウイークスポット、Cモードは真性の破壊とされていた。

これらの酸化膜の発光解析を試みた。破壊箇所では、図2-8に示す様に強い発光が見られた。破壊箇所は図2-9に示すように、キャパシタのLOCOSエッジで破壊したものと、エッジから離れた箇所で破壊したものの大きく2種類に分類された。ウエハー内の不良モードの分布と破壊箇所の分布を図2-10に示す。Aモード不良はウエハーの周辺部、Bモード不良はウエハー内にランダムに分布しており、残りの大半はCモードである。

不良モードと破壊場所の面内分布を比較すると、不良モードと破壊箇所の分布の間に強い相関関係があることがわかる。即ちA、Bモードはキャパシタ面内、一方、CモードはLOCOSエッジで破壊している。

### 2-5-2 信頼性評価結果

図2-11に定電圧9MV/cmから12MV/cmまで電界を変えた時の典型的なTDDB特性を示す。ゲート電圧の増加に伴い、寿命が低下していることがわかる。50%での寿命のバイアス依存性より、動作状態での寿命を図2-12のように推定することができる。図から、この酸化膜は10年以上の十分な寿命を持ち合わせていることがわかる。

印加電界を9MV/cmに固定して、面積を0.48から10mm<sup>2</sup>まで変化させて測定したTDDB特性を図2-13に示す。それぞれの面積の特性に対し、水平に近い部分と、垂直に近い部分を持ち合わせている。このストレス条件では、1000秒程度に境界がある。この水平に近い部分がランダム不良（偶発不良）、垂直に近い部分が真性不良（磨耗不良）と呼ばれている。ゲート面積の増大に従って、ランダム不良は増大している。なぜなら、面積の増加に対し、ウイークスポットが入る確率が高くなるからである。

これらの、TDDBストレスによって破壊したウエハーを全て、発光解析システムを用いて解析を行った。解析は非常に簡単であり、1チップ数

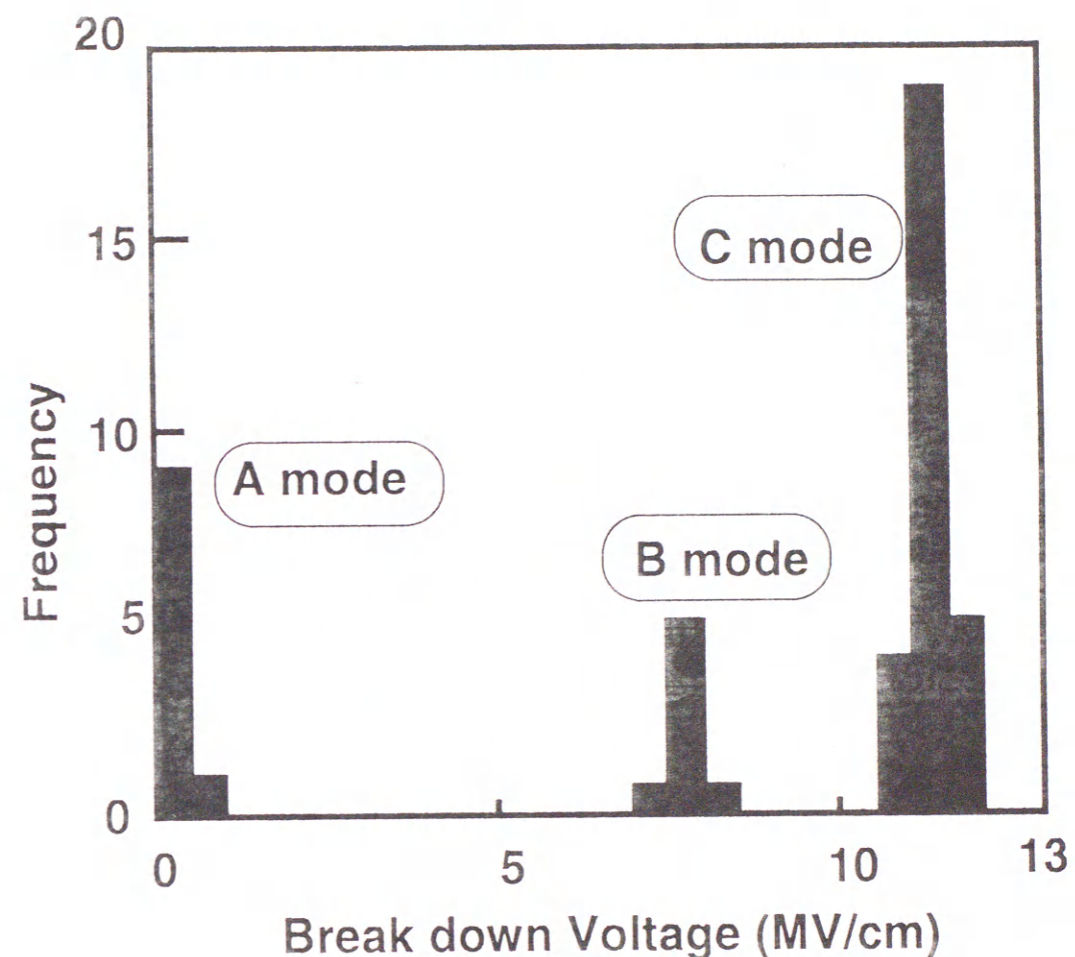


図2-7 ゲート酸化膜の耐圧分布



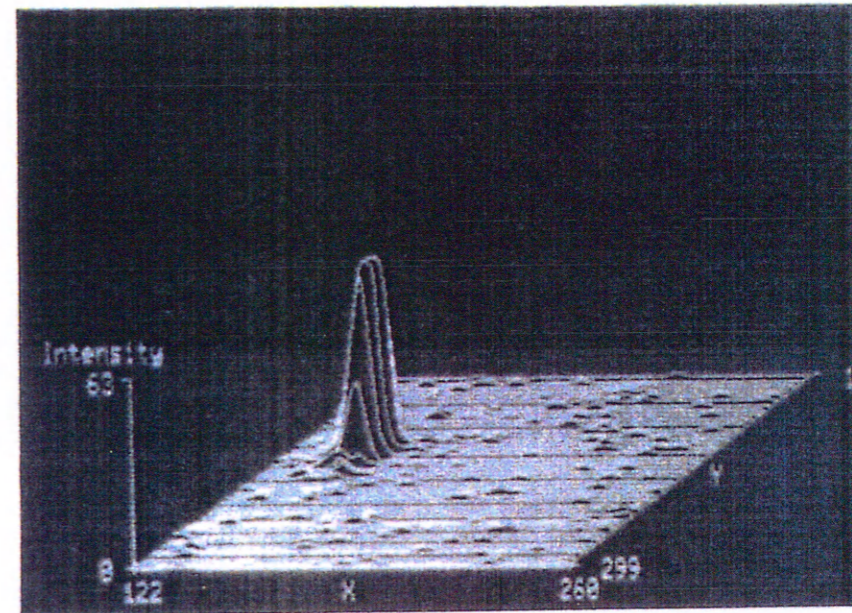
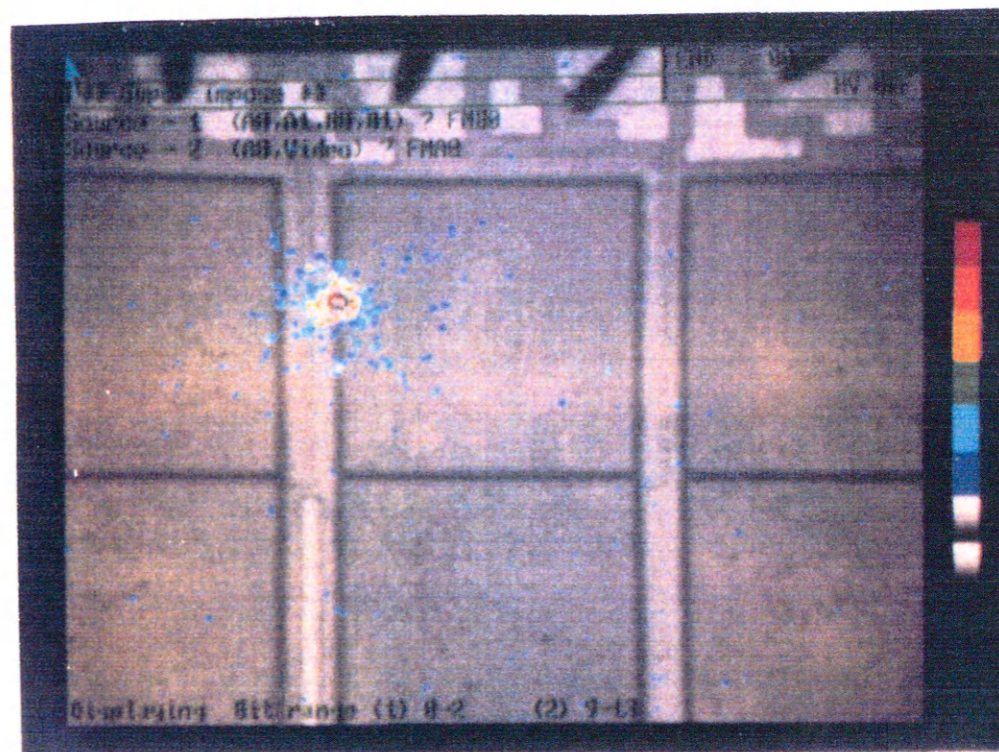


図2-8 破壊箇所からの発光像



(a)LOCOSエッジ破壊



(b)面内破壊

図2-9 破壊箇所的位置



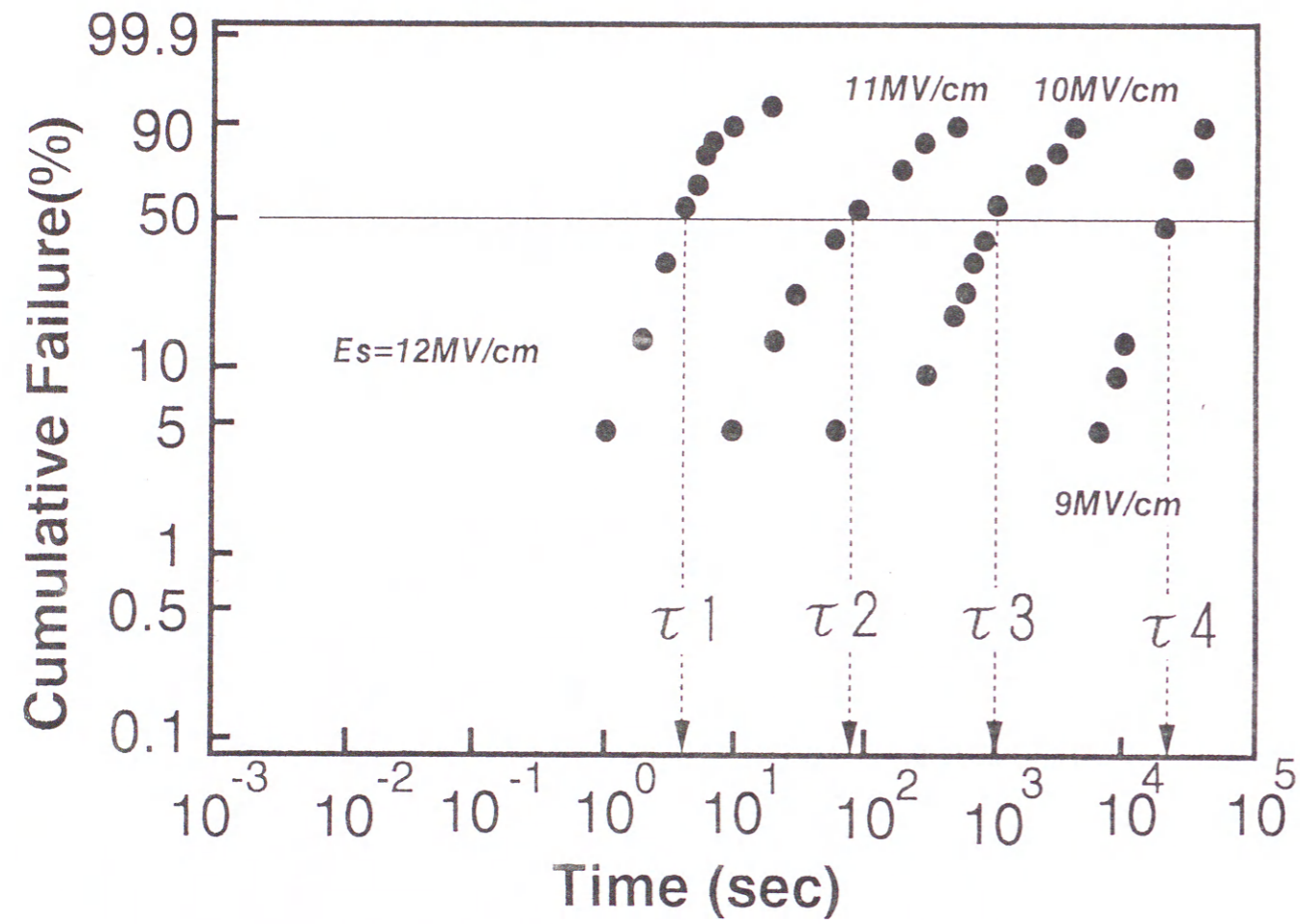


図2-11 TDDB特性の電界依存性

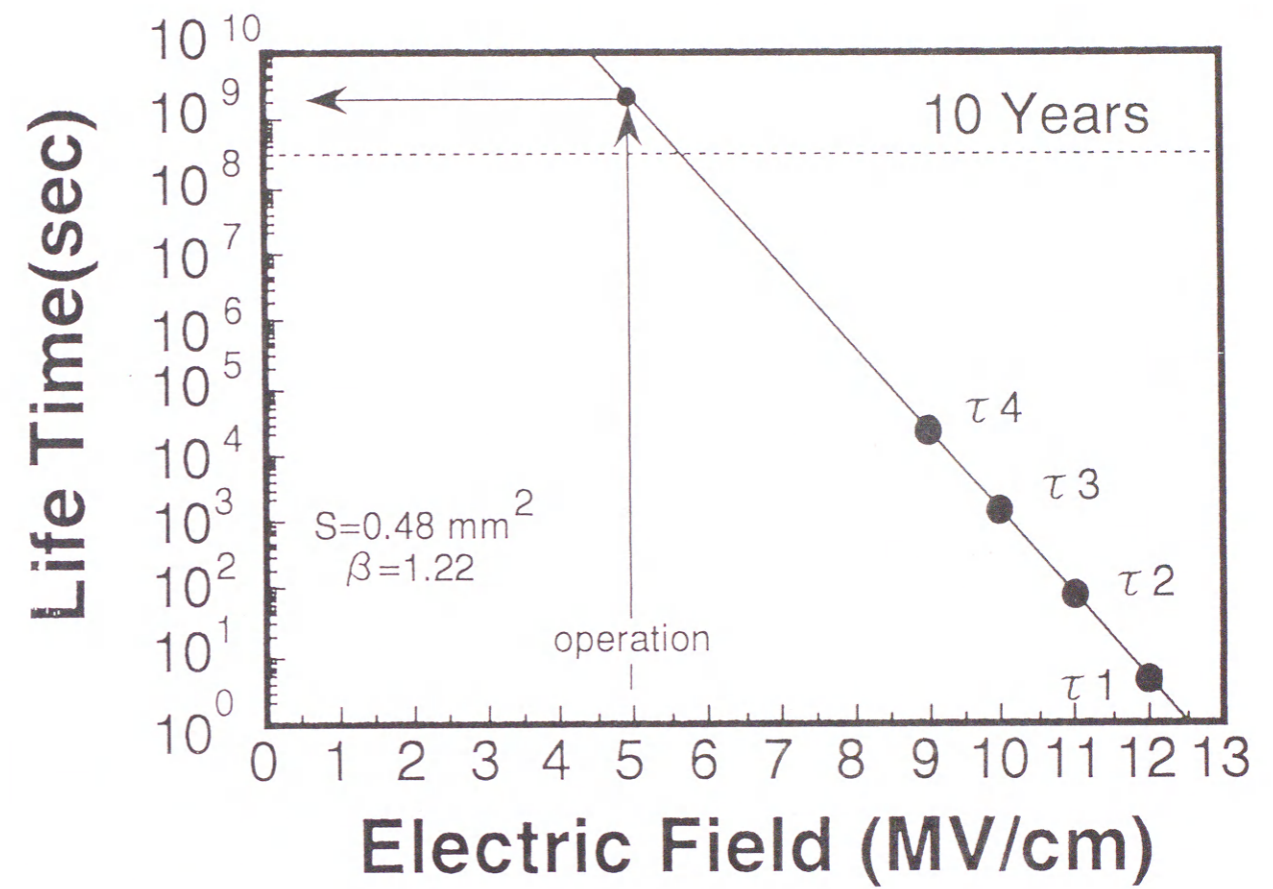


図2-12 TDDB寿命推定法

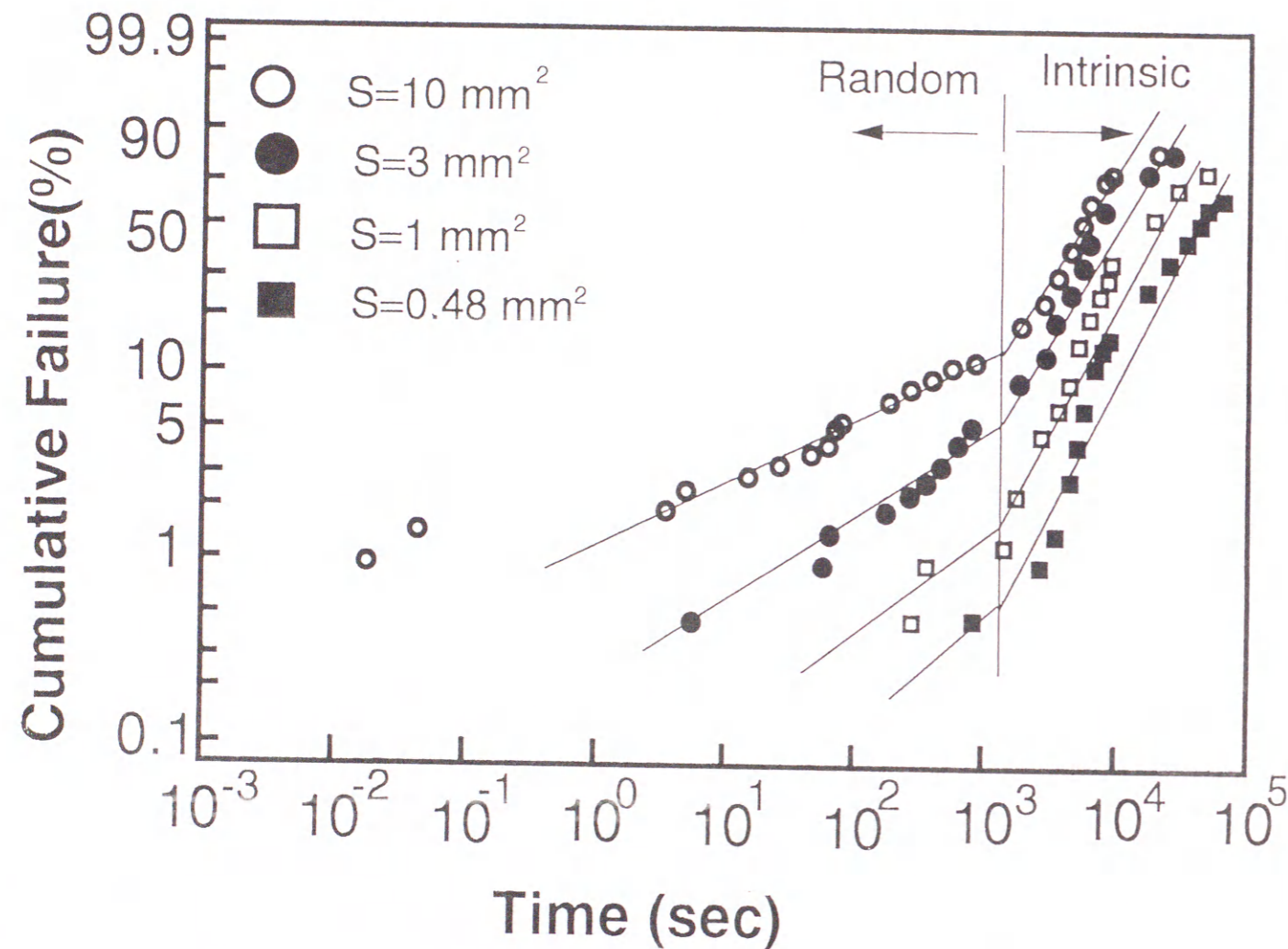


図2-13 TDDDB特性の面積依存性

秒で行えるため、ウェハー状態で全チップを解析することが可能である。  
 10mm<sup>2</sup>のキャパシタにおいて、不良モード（ランダム不良、真性不良）と破壊場所（LOCOSエッジ、面内）の関係を示したのが図2-14である。図より、不良モードと破壊場所の間に強い相関があることがわかる。ランダム不良は面内、真性不良はLOCOSエッジで破壊されているのである。図2-15に示すようにこれらの関係はゲート面積に依存せず、成り立っている。面内で破壊したキャパシタの数はほぼ、ランダム不良の数に一致している。

### 2-5-3 絶縁破壊の瞬間

このシステムを用いて、破壊の瞬間を解析した。図2-16は0.14mm<sup>2</sup>のキャパシタを用いて10MV/cmの定電圧を印加した時、破壊が発生する前後の発光の状態を示している。この測定は、キャパシタからの発光をリアルタイムでビデオに録画し、破壊の前後を写真（間隔は1/60秒）にしたものである。破壊が発生する前は面内全体で、均一な発光が見られるが、破壊する直前に局所的にかなり強い発光がみられる。しかし、なおそれ以外の場所では均一な発光がみられる。

興味深いことは、破壊が完全に終わるまでに、ウイークスポットで、発光が見られることである。図2-16のように、破壊が発生し終わると、破壊箇所しか発光は見られない。

### 2-6 議論

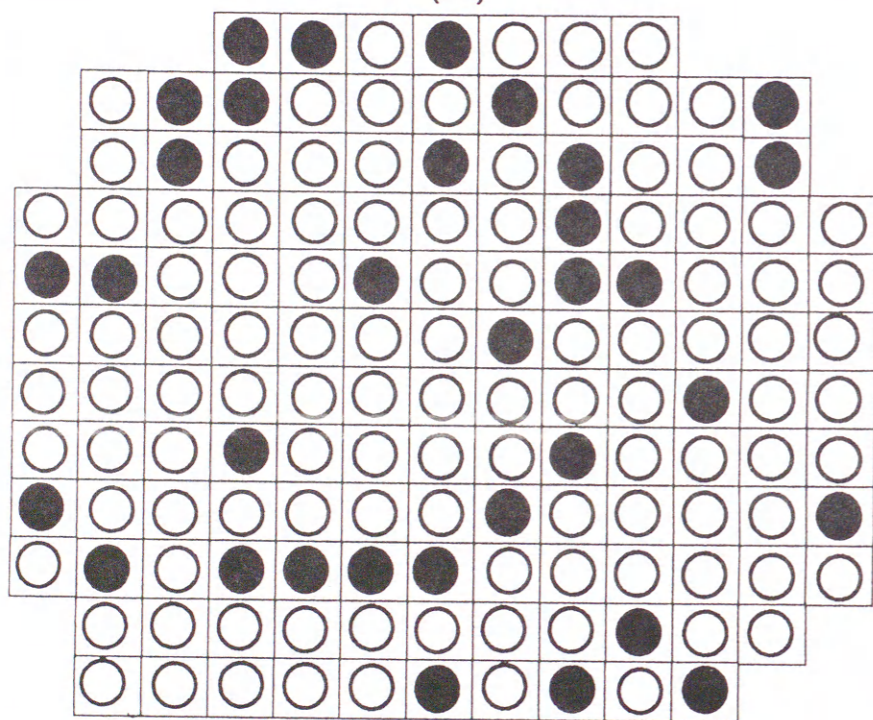
#### 2-6-1 初期特性とTDDDB特性の関係

初期耐圧の不良モード（A、B、Cモード）とTDDDB不良モード（ランダム、真性不良）は発光で検出された破壊場所（LOCOSエッジ、面内）との相関が強い。これらの相関関係より、初期耐圧不良モードとTDDDB不良モードとの間に以下の関係があることがわかる。初期耐圧のA、BモードはTDDDB特性のランダム不良、初期耐圧のCモードはTDDDB特性の真性不良に対応している。

従って、A、Bモードを低減させる対策は市場に出荷された際、最も重要なランダム不良の低減につながる。即ち、信頼性向上の鍵を握ること

		2k	500	5k	4k	9k	20k	30k				
	7k	4k	200	7k	8k	20k	600	30k	3k	20k	4	
	5k	2k	6k	2k	20k	30	20k	100	30k	8k	20m	
3k	OL	8k	6k	9k	7k	20k	5k	600	2k	20k	20k	6k
GL	3k	2k	6k	7k	400	8k	9k	700	6	7k	20k	5k
OL	4k	3k	8k	6k	5k	5k	300	8k	10k	5k	10k	6k
6k	4k	6k	6k	4k	8k	5k	7k	10k	6k	2k	3k	7k
7k	5k	7k	3k	2k	6k	5k	3k	300	7k	4k	4k	7k
80	5k	4k	7k	5k	7k	8k	800	9k	8k	4k	5k	300
3k	200	4k	20m	200	50m	400	6k	5k	7k	9k	6k	8k
	2k	2k	4k	4k	5k	3k	6k	6k	20	3k	6k	
	OL	4k	3k	2k	3k	70	2k	80	3k	50		

(a)



(b)

図2-14 TDDDB寿命(a)と破壊場所(b)の面内分布

丸で囲まれた数字：偶発不良の破壊時間（単位は秒）

丸で囲まれていない数字：真性破壊時間（単位は秒）

黒○：LOCOSエッジから離れた箇所での破壊

白○：LOCOSエッジ破壊

Area Dependence

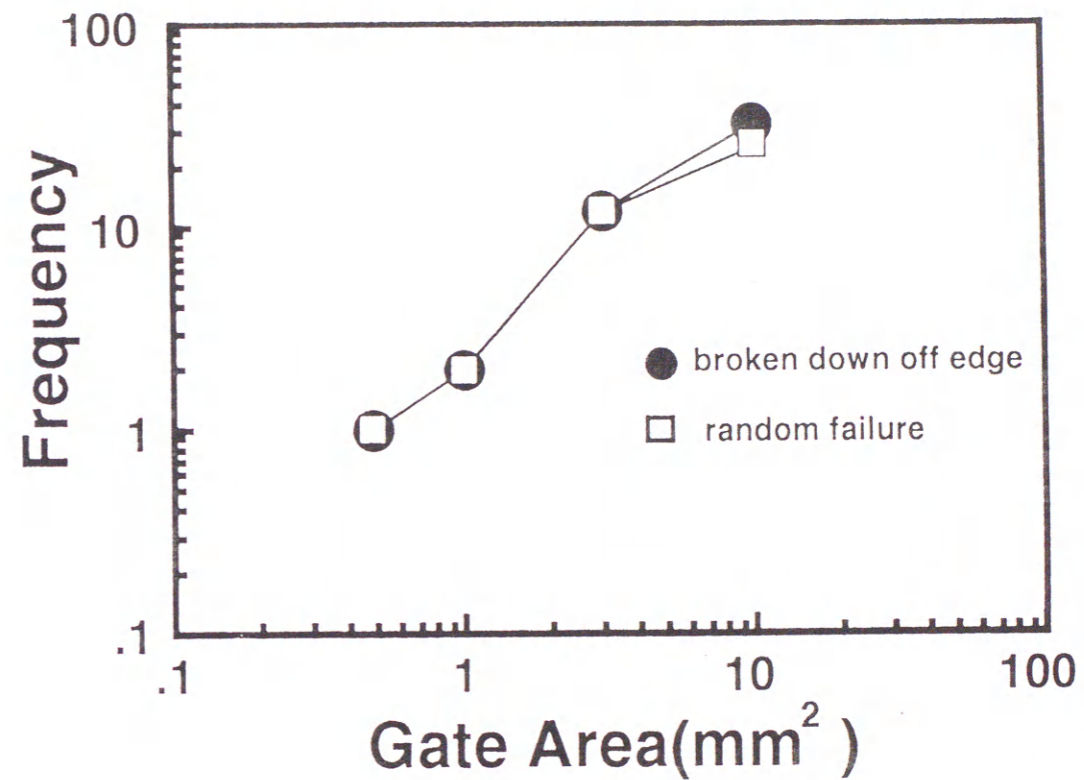


図2-15 LOCOSエッジから離れた箇所で破壊したキャパシタの数と偶発不良の数の関係

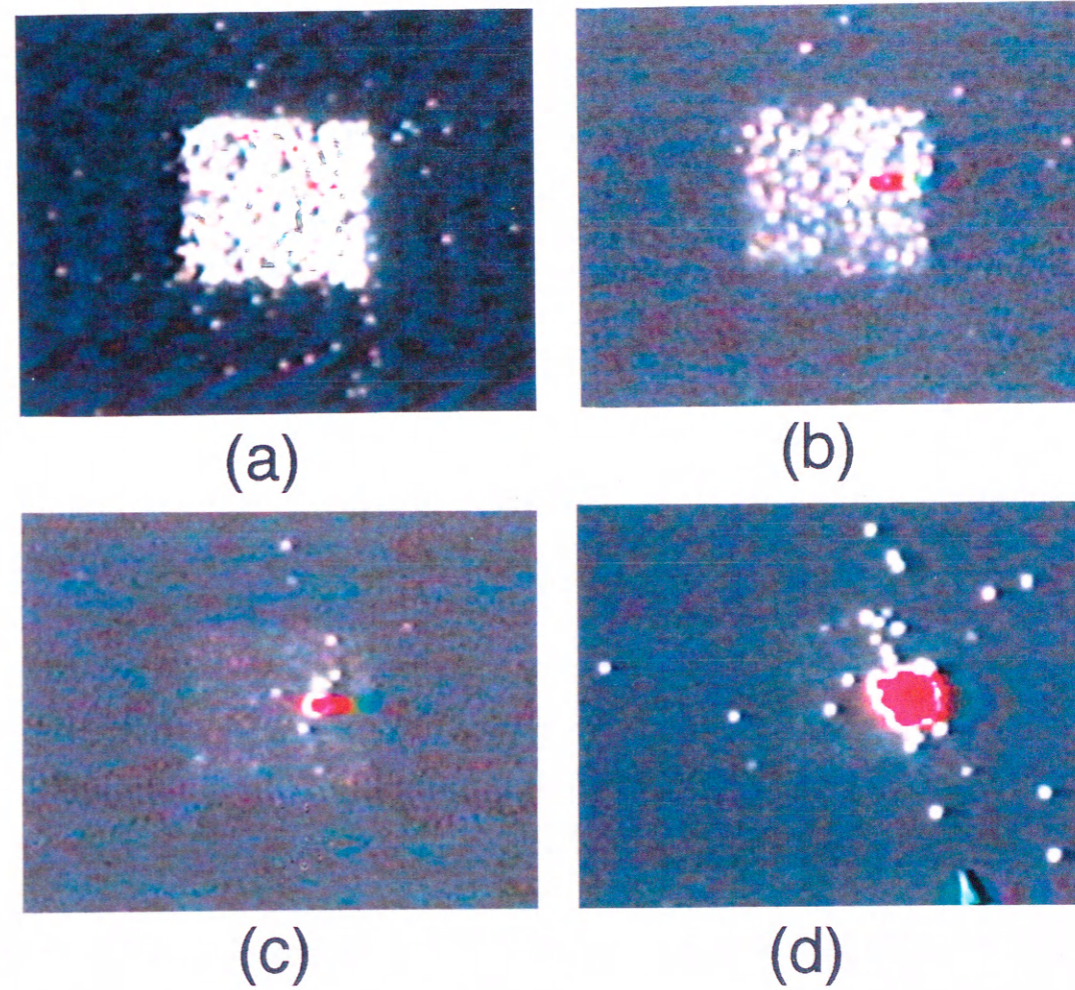


図2-16 ゲート絶縁膜の破壊の瞬間  
(時間間隔は1/60秒)

になる。

LOCOS形成に関連のあるプロセスは、初期耐圧のCモードや真性寿命に対し支配的であり、一方、酸化プロセスやイオン注入時のダメージはA、Bモードやランダム不良に対し支配的であるといえる。真性領域での寿命、即ち、真性寿命を増大させるためには、LOCOSエッジを確認する必要がある。

このように、発光解析は、新規プロセスの開発や定常的な歩留まり確保のために、非常に有効な手段である。

#### 2-6-2 破壊のメカニズム

そこで、TEM（透過電子顕微鏡）で、LOCOSエッジを解析した。その結果、図2-17に示す様にLOCOS付近での薄膜化は起こっていないが、“うねり”が観測された。

これまで、ゲート酸化膜の破壊メカニズムとして、Naイオンモデル<sup>(9)</sup>、ホールトラップモデル<sup>(10)</sup>、電子トラップ<sup>(11)</sup>などが報告されている。ところが、今回の発光を用いた評価結果より、他のメカニズムの存在が示唆される。2-4-1の結果より、電流注入量に依存して、酸化膜中の電流分布が変化することやリーク電流がLOCOSエッジで加速されるという報告<sup>(12)</sup>や、また今回の発光による破壊場所の依存性から、主な劣化機構は、エッジ付近での電流の集中であるといえる。即ち、LOCOSの形状がゲート酸化膜の信頼性に大きな役割を担っているといえる。

#### 2-7 結言

本章では発光を利用したゲート酸化膜の信頼性評価技術について述べた。以下の結論が得られた。

(1) 電流注入した時の発光の面内分布と破壊総電荷量 $Q_{BD}$ の関係を調べた結果、発光の面内分布の不均一性が $Q_{BD}$ の低下の原因となる。

(2) 発光の面内分布をモニターしながら、ストレス条件を決定できる。

(3) 初期耐圧特性やTDDB特性における不良モード（A、B、Cモード、ランダム不良、真性不良）と、発光を利用して検出した面内破壊場所の間に深い関係がある。



(4) TDDDB 特性のランダム不良はゲート面内で発生する。

(5) TDDDB 真性破壊は、LOCOS エッジでの電流の集中が原因である。  
真性寿命は LOCOS 形成にかかわる工程を改善すべきである。

以上のように、破壊前の発光分布からは、信頼性ストレス条件が決定され、破壊場所の解析からは、改善対策のための重要な情報が得られる。このように、発光解析は、ゲート酸化膜の信頼性評価には非常に有効である。

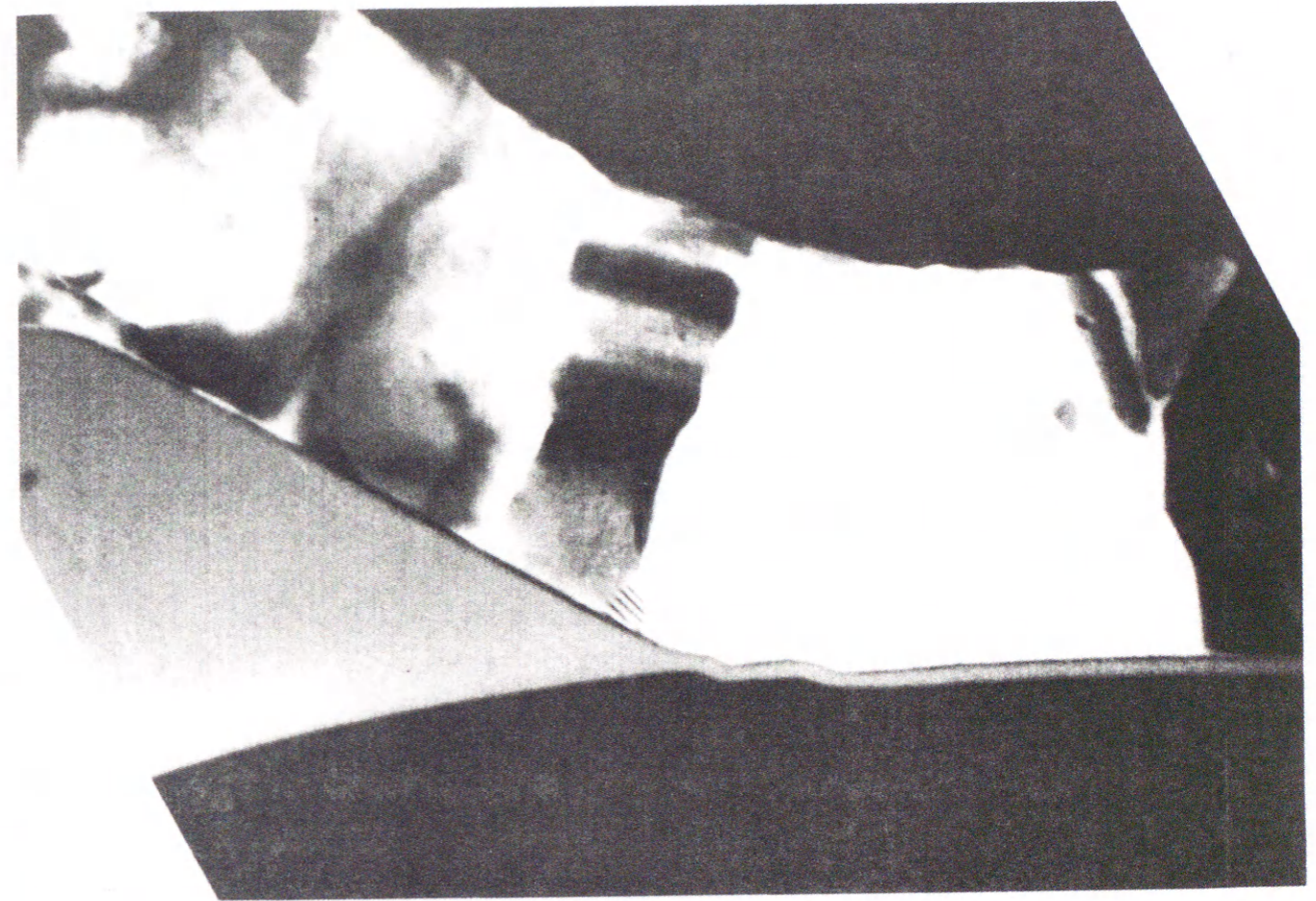


図2-17 TEMによる断面観察 ( $10^5$ 倍)

## 2-8 参考文献

- [1]E.S.Anolick, IEEE IRPS, p8(1979).
- [2]D.R.Wolters, Philips J.Res.,40, p115(1985).
- [3]A.Berman, IEEE IRPS,P204(1981).
- [4]D.L.Crook et al, IEEE IEDM Tech. Dig. p.444, 1987.
- [5]C-L Chiang and N.Khurana, IEDM Tech. Dig., p672, 1986.
- [6]N.Khurana and C.Chiang, IEEE IRPS, P.72,1987.
- [7]M.S.Liang et al., IEDM Tech. Dig., p.396,1981.
- [8]K.Yamabe, IEEE IRPS, p184, 1983.
- [9]T.H.DiStefano, J.Appl.Phys.,44, p527, 1973.
- [10]T.H.DiStefano, J.Vac.Sci.Technol., 12, p37, 1975.
- [11]E.Harari, J. Appl. Phys.,49, p2478, 1987.
- [12]J.Yugami, IEEE ICMTS,Vol.4,No.1,p17, 1991.
- [13]Y.Uraoka, Y.Nakata, H.Esaki, IEEE ICMTS,Vol.2,p.97,1989.
- [14]Y.Uraoka, and K.Tsuji, IEEE ICMTS,Vol.4, No.1,1991.
- [15]Y.Uraoka, N.Tsutsu, Y.Nakata and S.Akiyama, IEEE Trans. Semiconductor Manufacturing, Vol.4,No.3,p.183,1991.

## 第3章 MOSFETからのホットキャリア発光

### 3-1 緒言

第1章で述べたように、MOSFETの発光現象についての報告は数々されている。これまでの報告<sup>(1)-(4)</sup>をまとめると

- (1) 発光量は基板電流とよく一致する。
- (2) 発光量はMaxwell-Boltzmann分布に従う
- (3) 発光のメカニズムは制動放射である。

の3点にまとめられる。ところが、信頼性評価にもっとも重要な劣化との関係について議論した報告はない。本章は、信頼性評価という観点に立ち、劣化量と発光量に着目して、劣化メカニズムの考察やLSI上でホットキャリア劣化について調べた。

### 3-2 試料

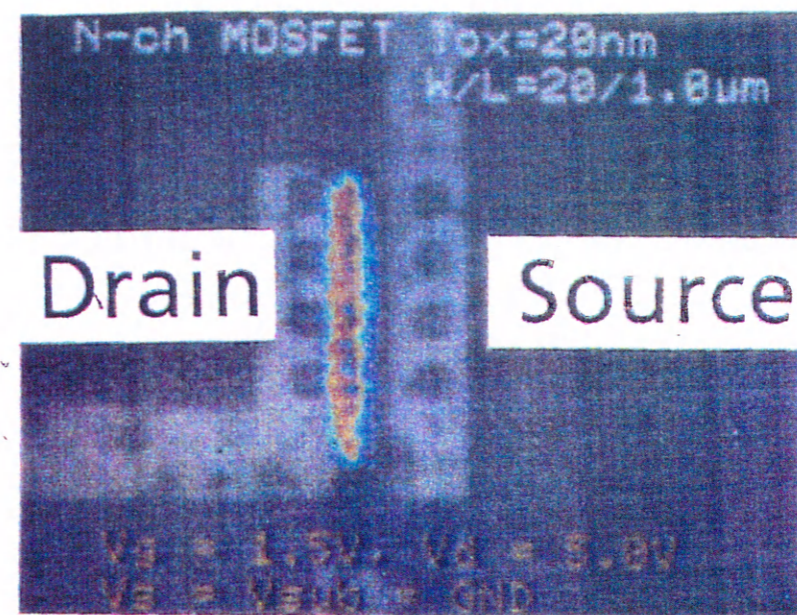
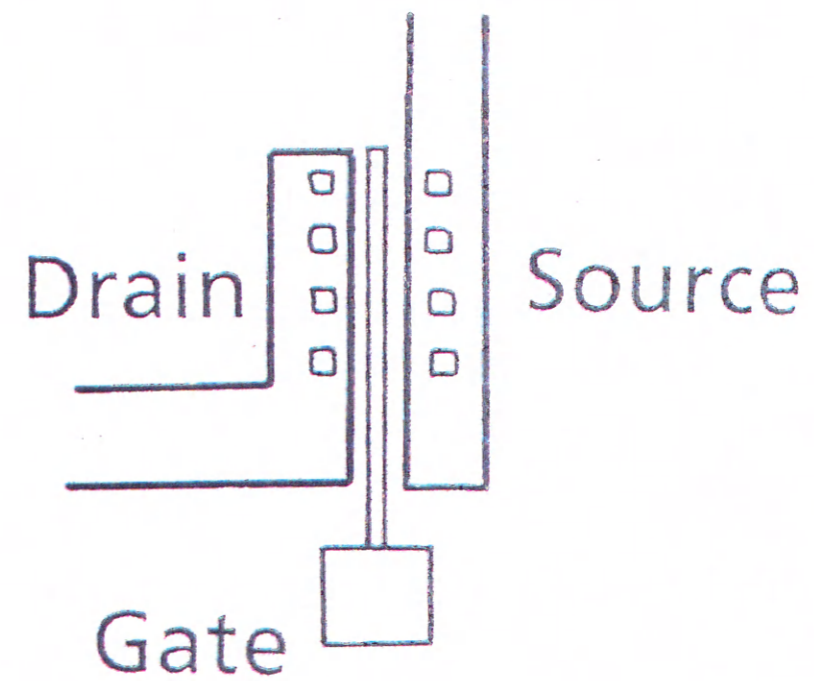
本実験に用いた試料はゲート酸化膜厚16nmのNchMOSFETであり、トランジスタ長1.0 $\mu\text{m}$ 、トランジスタ幅20 $\mu\text{m}$ である。ゲートはポリシリコン、ドレイン構造はLDDである。

### 3-3 実験結果

#### 3-3-1 発光量とホットキャリア劣化

図3-1にNch-MOSFETの発光の様子を示す。発光測定は、ゲート電圧 $V_g = 1.5\text{V}$ 、ドレイン電圧 $V_d = 5.0\text{V}$ 、ソースと基板は接地して、15秒間発光を蓄積した。この写真は発光像と光学顕微鏡像を重ね合わせたものである。発光はソースとドレインの間で見られ、ややドレイン側によっている。このことから、ホットキャリアが、ドレイン近傍で発生していることがわかる。

ホットキャリア劣化のメカニズムを解析したり、その劣化量を予測するには、ホットキャリアのエネルギーを調べることが重要である。発光解析は、このエネルギーをモニターすることが可能であり、従来法ではでき



W/L = 20/1.0um

$V_g = 1.5V$

$V_d = 5.0V$

$V_s = V_{sub} = 0V$

図3-1 ホットキャリア効果による発光

なかったキャリアのエネルギー分布を測定する有効な手段である。

### 3-3-2 発光量の波長解析

そこで、発光量とホットキャリア劣化の関係を調べるために、400nmから800nmの間で、半値幅10nmの波長フィルターを用いて、波長解析を行った。ポリシリコンの吸収、レンズ及びフィルターの透過、フォトンカウンタカメラの効率の波長に対する補正は全て行っている。

図3-2はドレイン7V印加時の各波長に対する発光量と1000秒ストレス印加時の相互コンダクタンス $g_m$ の劣化量を示す。発光量のピークは、波長が短くなるに従い、 $g_m$ 劣化のピークに近づいている。従って、短波長の発光ほど劣化に関係が深いことを示している。しかし、400nmでも、発光量と劣化は一致していない。ところが、400nm以下の発光は、現在の技術では直接測定できない。

そこで、400nm以下の発光量を推定するために、発光量のエネルギー分布を計算した。単位エネルギーあたりの発光量 $N(E)$ を求めるために、次の式を用いた。

$$N(E) = \lambda E \cdot N(\lambda), \quad (1)$$

ここで、 $N(\lambda)$ は単位波長当たりの発光量である。 $\lambda$ は波長、 $E$ はエネルギーである。以上の計算を用いて、 $V_g=1.5V$ 、 $V_d=4, 5, 6, 7(V)$ と変化させた時の発光スペクトル分布を示したのが図3-3である。それぞれのドレイン電圧に対し、単位エネルギー当たりの発光量と発光エネルギーとの間に以下の関係が成立することがわかる。

$$N(E) = C1 \exp(-C2 \cdot E), \quad (2)$$

ここで、 $C1$ 、 $C2$ は定数である。

今度は、ドレイン電圧を $V_d=7V$ 一定で、ゲート電圧を $V_g=1, 2, 3, 4V$ と変化させた時の、発光スペクトル分布を図3-4に示す。式(2)はここでも成り立っていることがわかる。

以前の報告より、発光エネルギーが(2)で表せられると仮定すれば、N-ch MOSFETにおいてホット電子はMaxwell-Boltzmann分布に従う<sup>(1)-(2)</sup>ことがわかっている。

従って、(2)式は以下のように書き直される。

$$N(E) = C1 \exp(-E/(k \cdot T_e)), \quad (3)$$

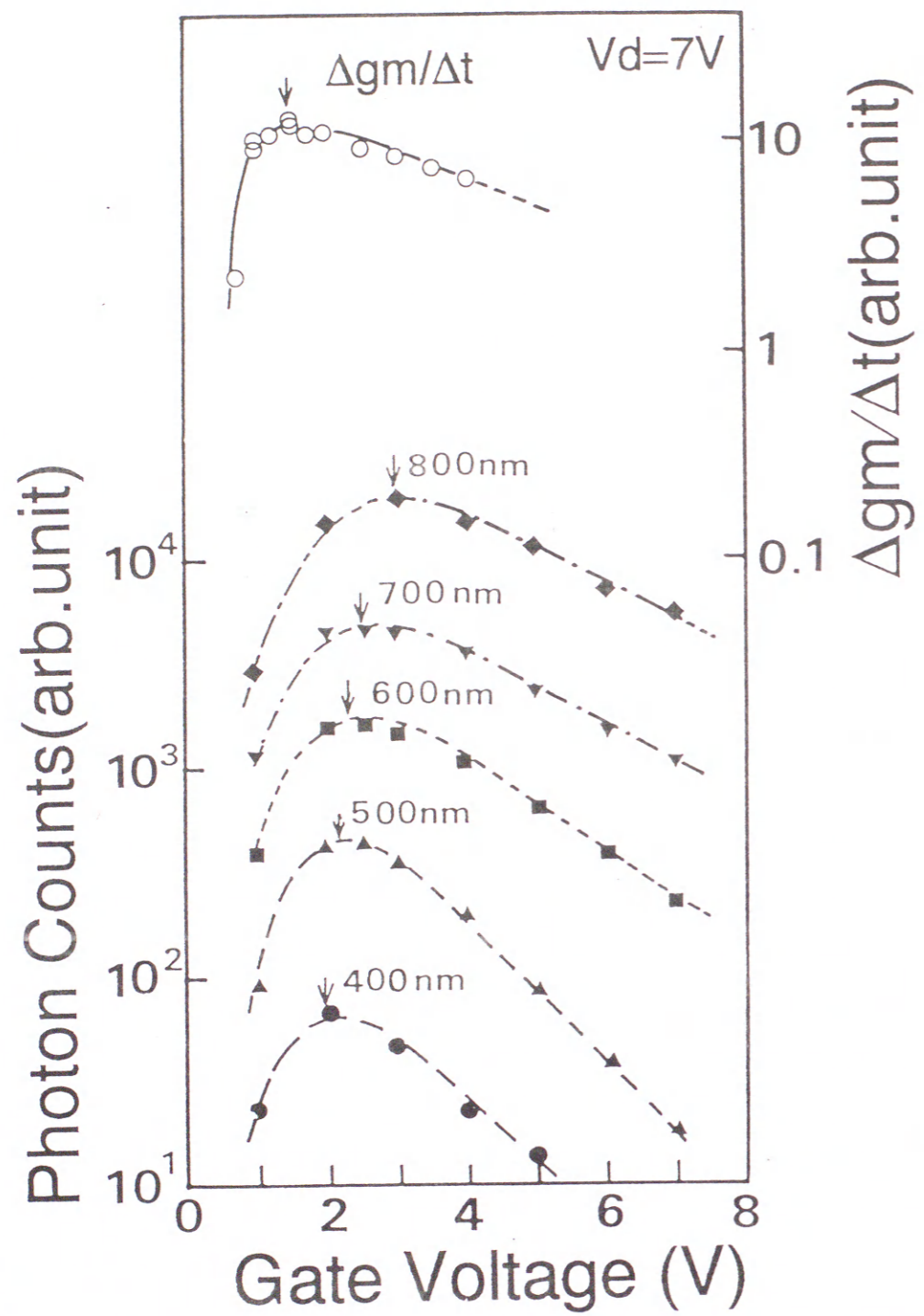


図3-2 劣化量 ( $\Delta g_m / \Delta t$ ) と発光量のゲート電圧依存性

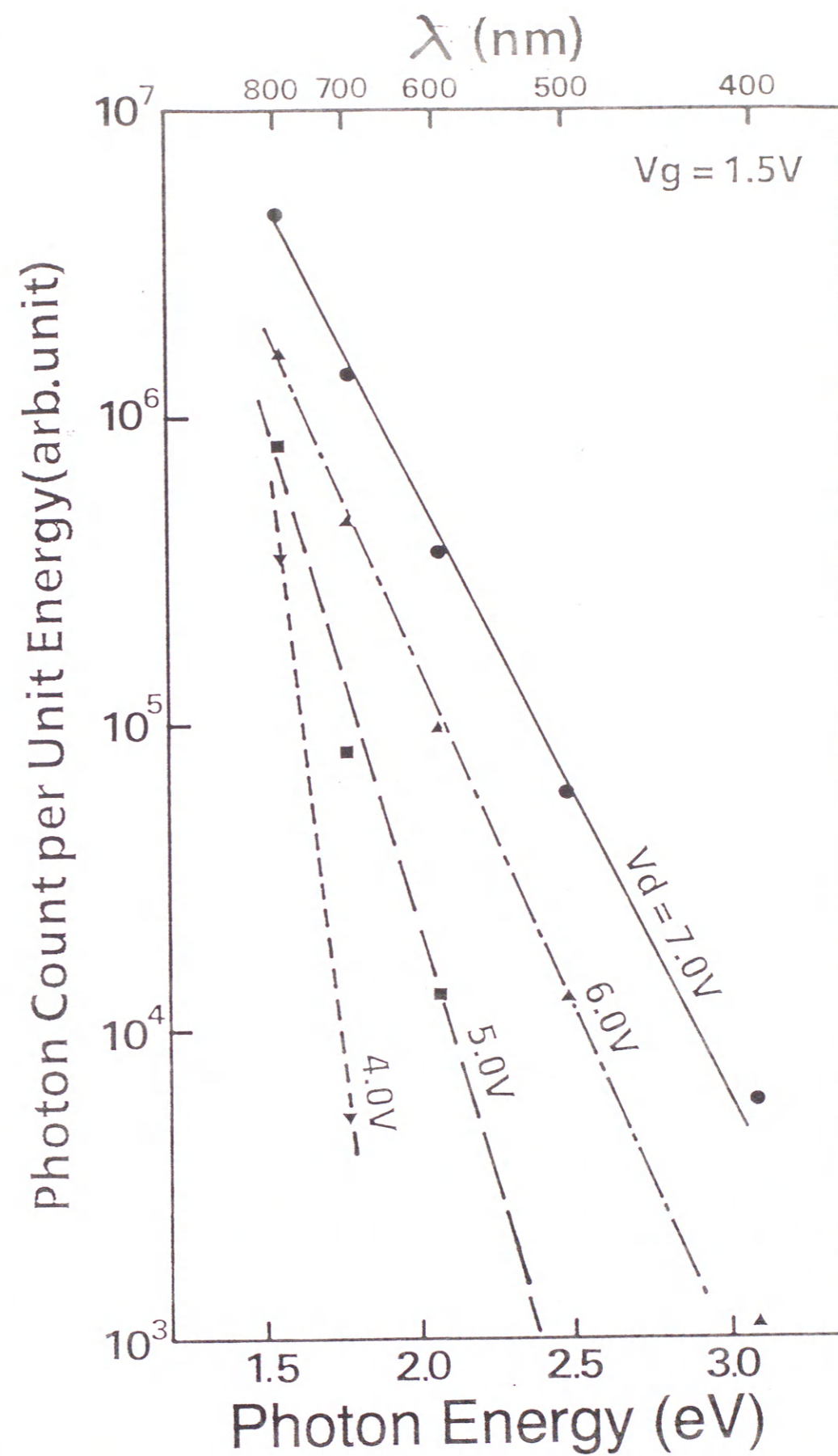


図3-3 波長スペクトル (ドレイン電圧依存性)

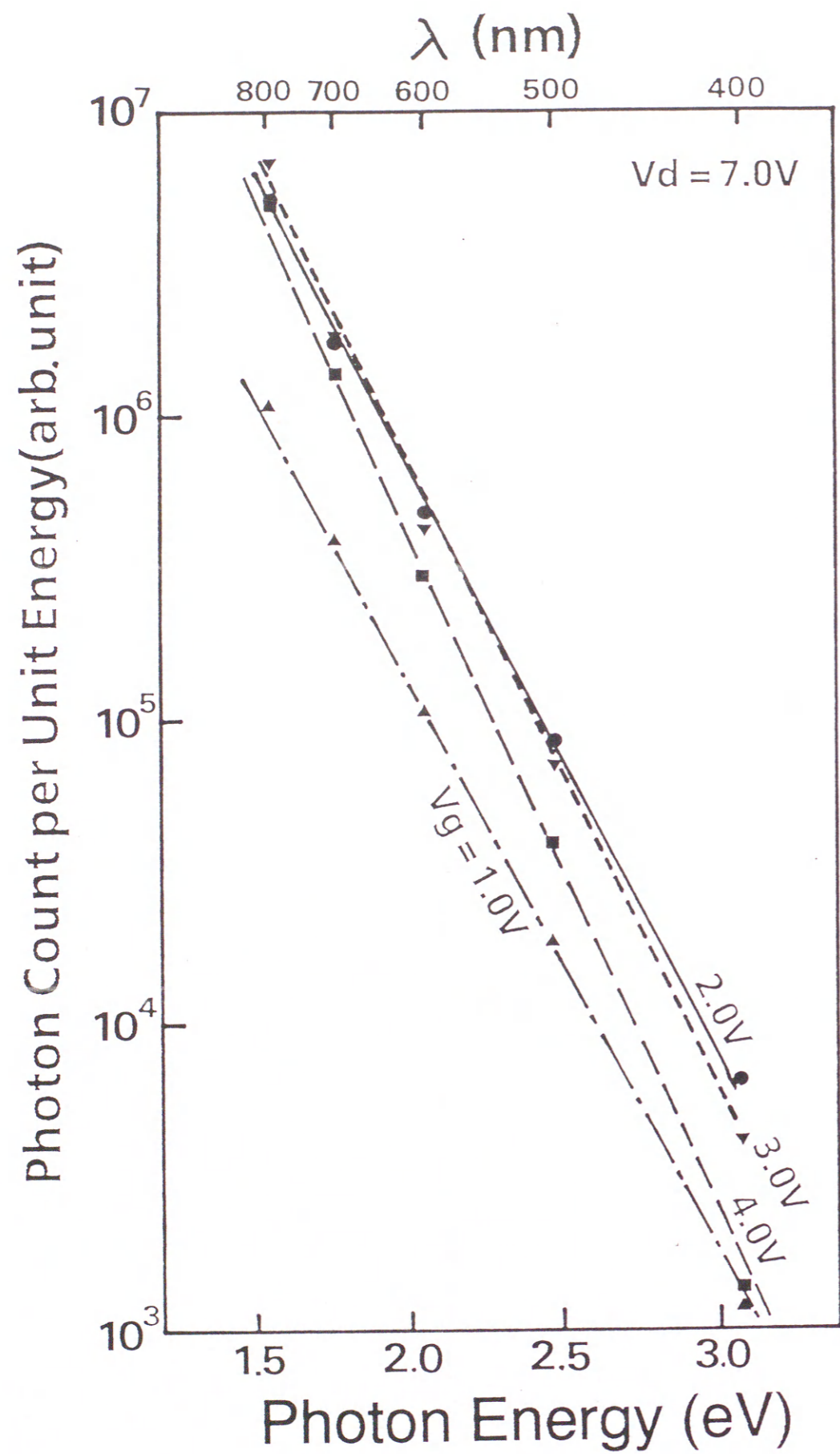


図3-4 波長スペクトル (ゲート電圧依存性)

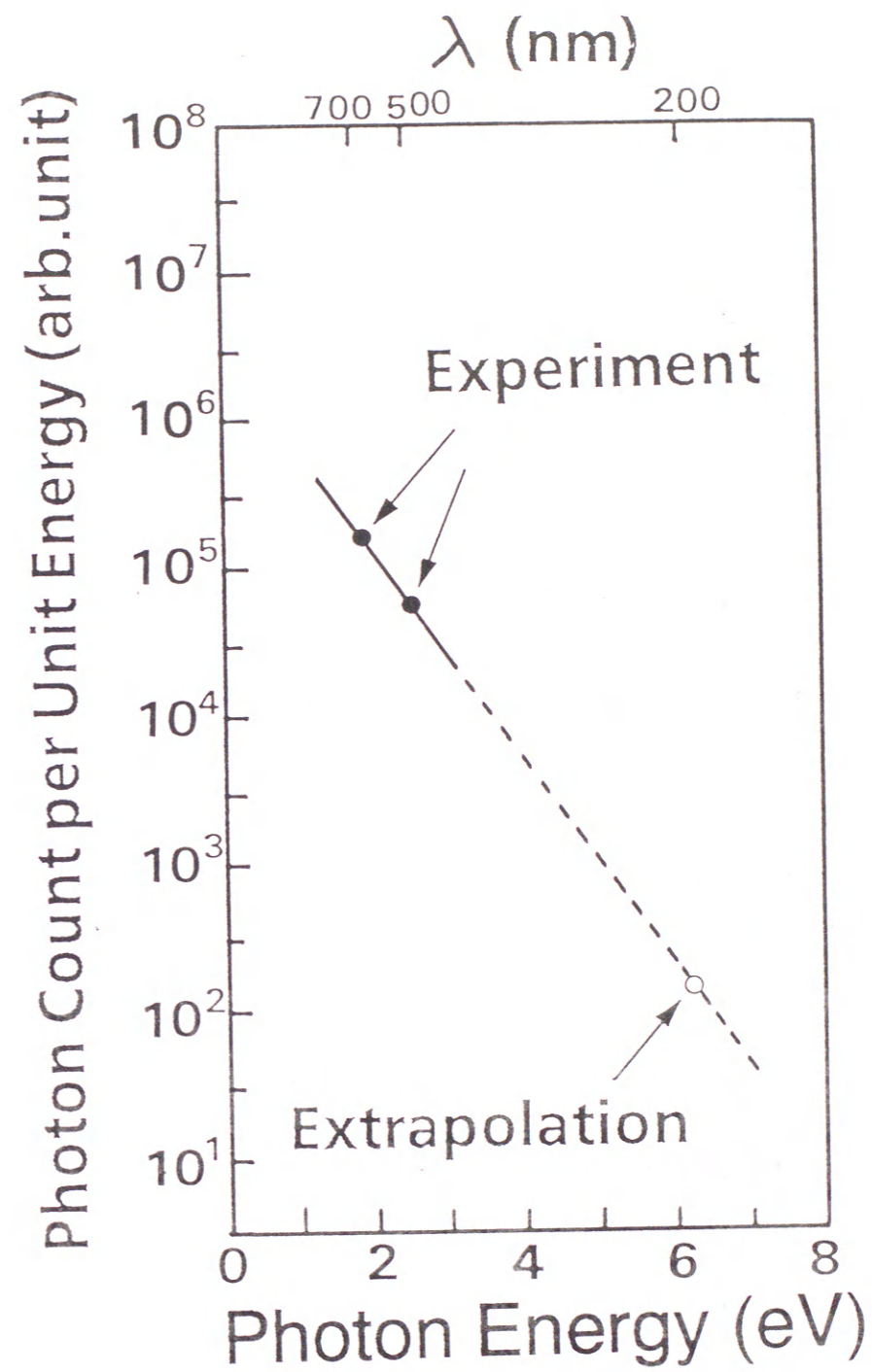


図3-5 200nmの発光量の推定方法

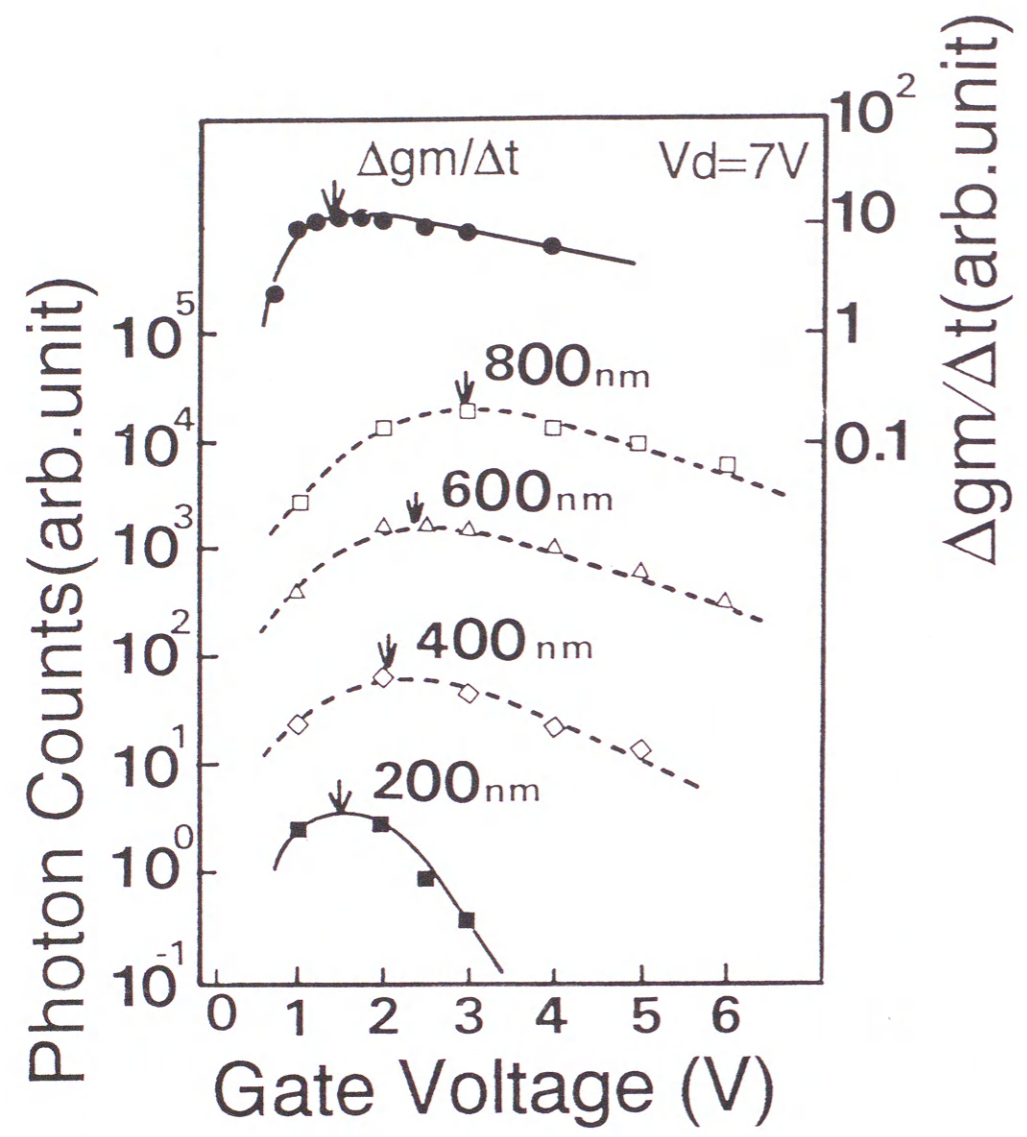


図3-6 劣化量 ( $\Delta g_m / \Delta t$ ) と発光量のゲート電圧依存性

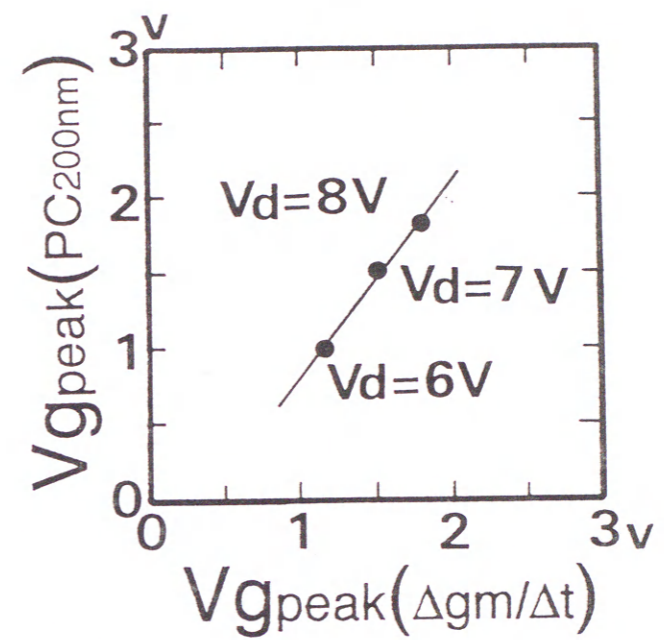


図3-7 劣化量のピーク電圧と200nmの発光量のピーク電圧の相関

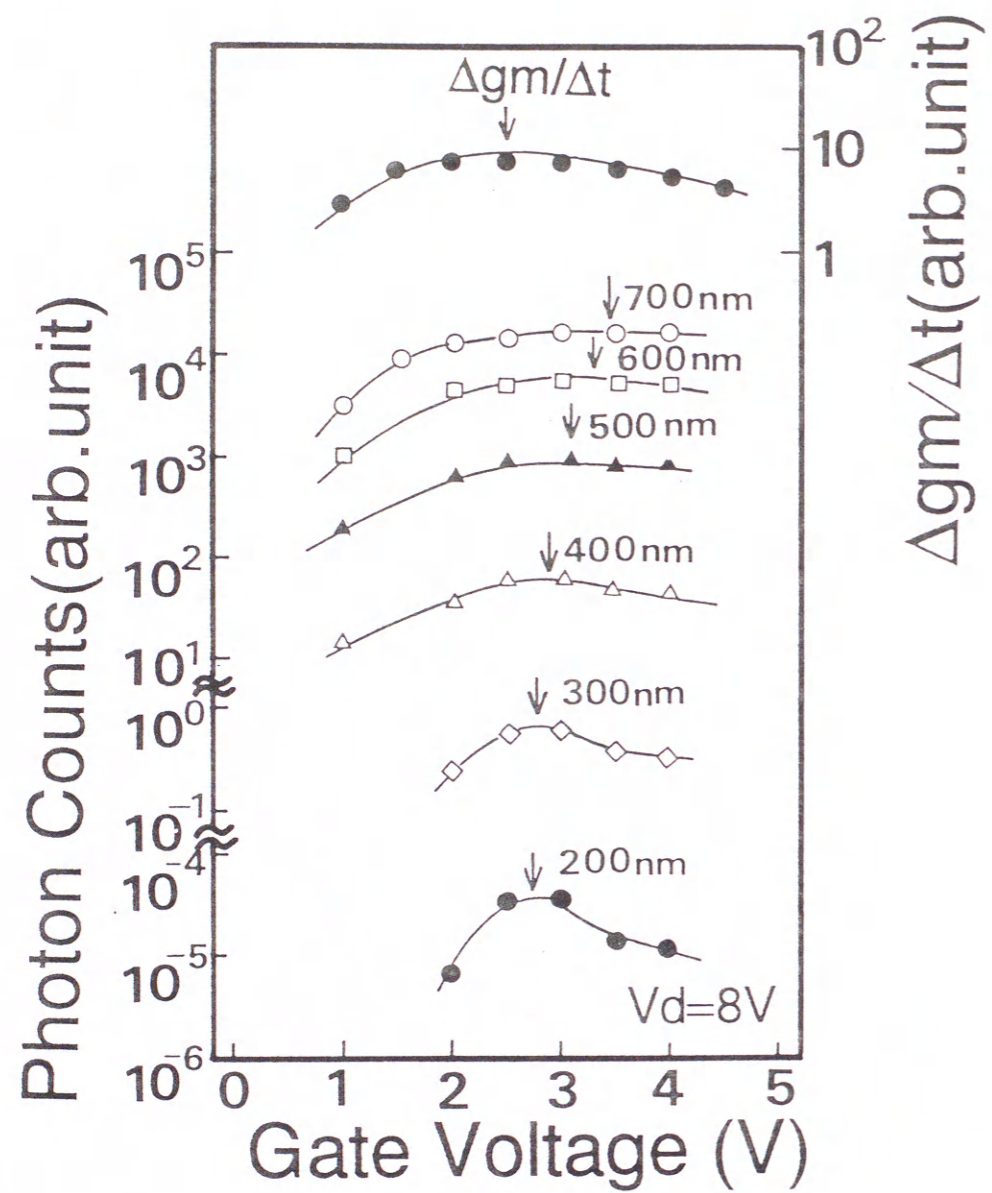
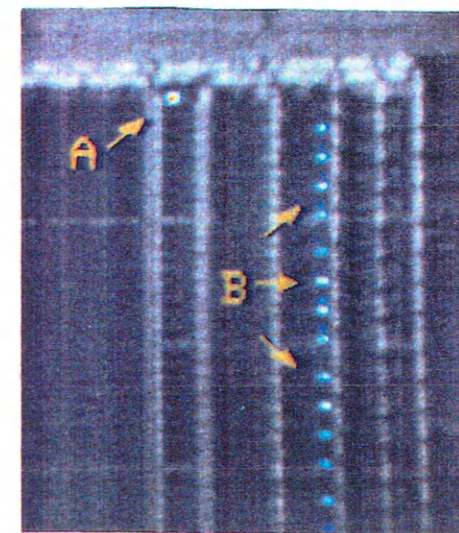
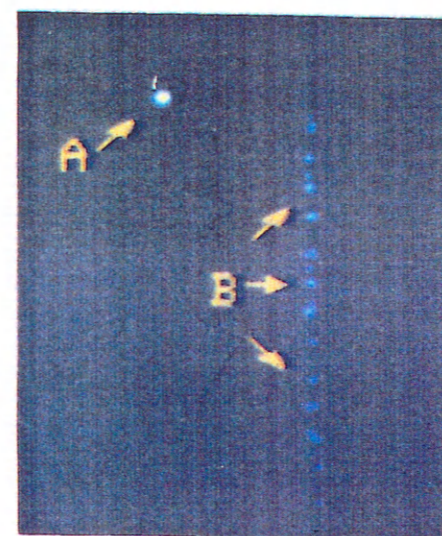


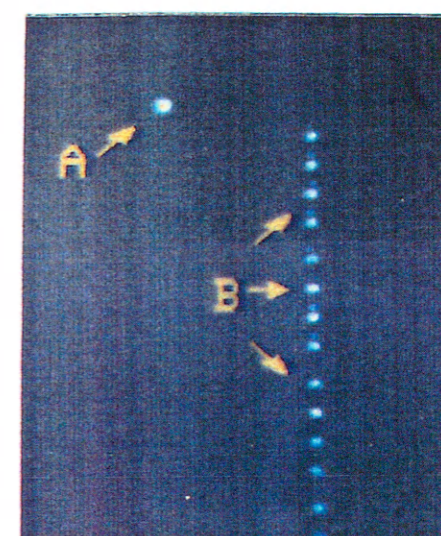
図3-8 ゲート長 $0.7\mu m$ のトランジスタの劣化量と発光量の関係



Superimposed Picture



700nm



500nm

図3-9 本方法のSRAM応用事例



ここで、 $T_e$ は電子温度、 $k$ はボルツマン定数である。式(3)は以下のことを意味する。電子温度は、図3-3、3-4の傾きから得られる定数 $C_2$ から求められる。従って、図3-3、3-4の傾きの違いは電子温度の違いで説明できる。

図3-5のように、式(2)を用いると、少なくとも2つの異なる波長の発光量から任意の波長の発光量を推定できる。図3-6はこの推定方法を用いた200nmの発光量のゲート電圧依存性を示している。この図は200nmの発光量は劣化のゲート電圧ピークと一致していることを示している。図3-7に示すように異なるドレイン電圧や酸化膜厚の異なる場合でも、200nmの発光量のゲート電圧ピークは一致していることが確認できる。

従って、劣化に関係の深い200nmの波長の発光量の検出は、劣化の正確な予想を可能にする。評価時間においても、電氣的ストレスのみによる方法に比べ、発光を用いた方法は1/10以下である。

### 3-3-3 0.7 $\mu$ mNチャンネルトランジスタにおける発光

先のトランジスタは1.0 $\mu$ mのトランジスタであったが、ゲートサイズが0.7 $\mu$ m ( $T_{ox}=12$ nm)で、全く異なったプロセスで最適化されたトランジスタを用いて発光量と劣化について調べた。図3-8に示すように、ここでも、相互コンダクタンス劣化のゲート電圧と200nmのゲート電圧のピークは一致している。従って、ホットキャリア劣化と200nmの波長は、デバイスサイズやプロセスには依存せず、深い相関関係があることが確認された。

### 3-3-4 SRAMの不良解析

この方法を開発途上のSRAMに応用した。図3-9に示すように、実動作中に2種類のトランジスタA、Bが検出された。トランジスタAは、一点で、トランジスタBは規則正しく並んだ発光が見られた。フィルターなしの状態、トランジスタAはトランジスタBより強い発光が見られた。

フィルターを用いて、それぞれのトランジスタについて各波長での発光量を測定した。700nm、500nmの波長から、式(2)を用いて図3-10に示すように200nmの波長を推定した。700nmでは、トランジスタAはトランジスタBより高い発光量を示すが、500nmではほぼ同等の発光量であるが、劣化

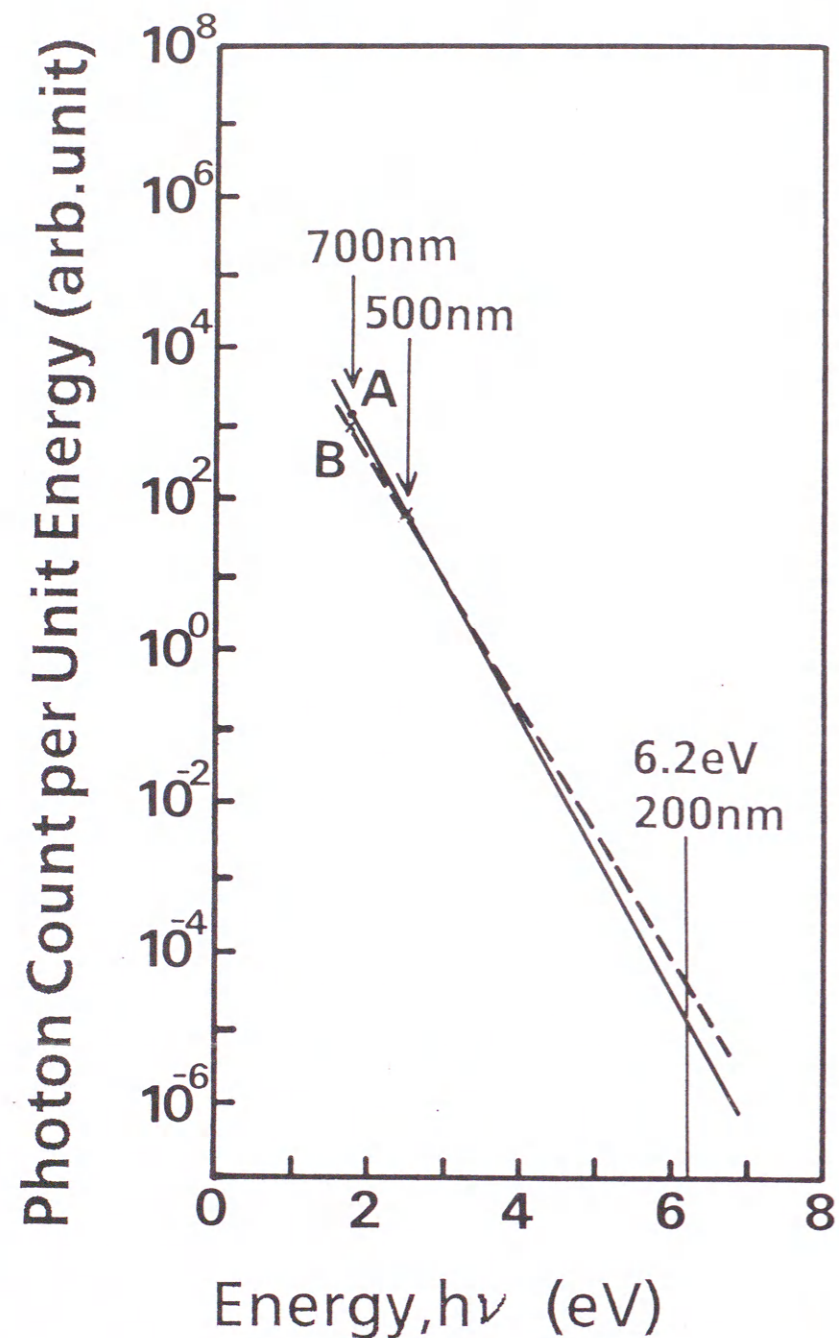


図3-10 トランジスタA,Bの波長スペクトル

に關係の深い200nmでは、トランジスタBがトランジスタAより高い発光量を示した。つまり、本方法は、トランジスタBがトランジスタAより、ホットキャリア劣化に対し弱いことを示唆している。

図3-11に示すように、トランジスタAとトランジスタBの回路解析を行い、以下の情報が得られた。検出した2種類のトランジスタは、いずれも、インバータ回路のnチャンネルのMOSFETであった。タイミングのミスマッチにより、プリチャージ回路と入出力制御回路が両方とも予期せず、オン状態に固定されていた。その結果、これらの回路は不安定なゲート電圧が印加されていた。両方のドレインは、ほぼ同電圧が印加されていたが、トランジスタAには3V、トランジスタBには1.5V、即ち、トランジスタBに、ホットキャリアの発生しやすい電圧が印加されていたのである。

### 3-4 考察

相互コンダクタンスの劣化は界面準位の生成によって引き起こされ<sup>(5)</sup>、<sup>(8)</sup>、その生成エネルギーが6eV程度であることがいくつか報告されている。発光によって得られたエネルギーはよく一致している。200nmの発光量と劣化量のゲート電圧依存性の形に違いがあるのは、劣化は、6eV以上の高いエネルギーの電子によって引き起こされるため、200nm以下の発光量をすべて加えあわせねばならないためだと考えられる。

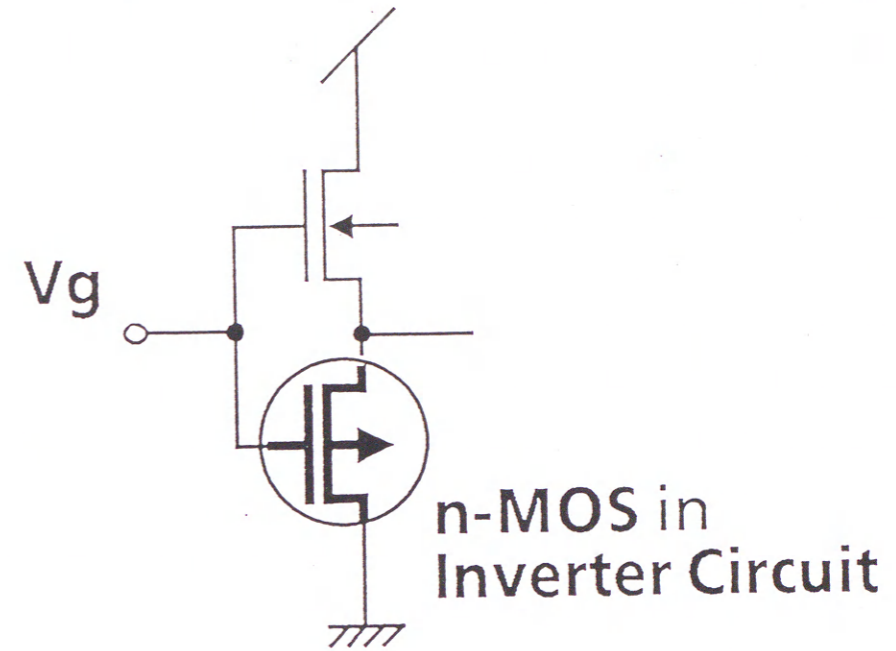
### 3-5 結言

本章では、発光と劣化の關係について議論した。その結果、以下の結論を得た。

- (1) ホットキャリア効果に対する相互コンダクタンスの劣化と200nmの発光量は相関が強い。
- (2) 相互コンダクタンスの劣化は界面準位の劣化が原因であるから、6.2eV以上のエネルギーをもつ電子がホットキャリア劣化に關係が深いと考えられる。
- (3) 開発途上のSRAMに応用し、劣化のきびしいトランジスタを検出した。回路解析の結果、200nmの発光量の多いトランジスタには、ホットキ

キャリア劣化のきびしいバイアスが印加されていた。

Circuit Analysis



Tr.A	Vg  ~3V
Tr.B	Vg  ~1.5V

図3-11 回路解析結果

### 3-6 参考文献

- [1]A.Toriumi, M.Yoshimi, IEDM Tech. Dig., p.56,1985.
- [2]A.Toriumi, M.Yoshimi, M.Iwase, Y.Akiyama and K.Taniguchi, IEEE Trans. Electron Devices, vol. ED-34, p.1501,1987.
- [3]J.Shewchun and L.Y.Wei, Solid-State Electron., vol.8, p.485,1965.
- [4]S.Tam and C.Hu, IEEE Trans.Electron Devices, ED-31, p.1264, 1984.
- [5]E.Takeda, Y.Nakagome, H.Kume, N.Suzuki and S.Asai, IEEE Electron Device Lett., vol. EDL-4, p.111, 1983.
- [6]C.Hu, IEEE J.Solid State Circuits 20, p.295,1983.
- [7]Y.J.Choi, P.K.Ko and C.Hu, Appl. Phys. Lett.50,p.1190,1987.
- [8]T.Tsuchiya, T.Kobayashi and S.Nakajima, IEEE Trans. Electron. Devices ED-34, p.386, 1987.
- [9]Y.Uraoka, N.Tsutsu and K.Tsuji, Semicond. Sci. Technol. 7, B.576, 1992.
- [10]N.Tsutsu, Y.Uraoka, Y.Nakata, S.Akiyama and H.Esaki, IEEE ICMTS, vol.3, p143, 1990.

### 第4章 ホットキャリア寿命推定法

#### 4-1 緒言

本章では、LSI上でのトランジスタの定量的な寿命推定方法について述べる。従来、ホットキャリア劣化に対する寿命推定は、単体のトランジスタを用いて、ドレイン電圧依存性から、その定量的な寿命を推定していた<sup>(1)-(6)</sup>。ところが、この方法には、大きな課題があった。それは、この評価結果が、いかにLSI上のトランジスタの寿命を反映しているかがわからないことであった。

そこで、発光解析技術を用いて直接LSI上のトランジスタの寿命を推定できないかを試みた。前章にて、DC電圧（直流ストレス）印加状態での、波長スペクトルや、ホットキャリア劣化との関係を議論した。ところが、実動作中のトランジスタは、AC状態（交流状態）で動いており、正確な寿命を推定するためには、AC動作状態での発光を調べる必要がある。

本章では、AC状態での発光量と寿命の関係を電源電圧や周波数を変化させて、その関係を、LSI上の発光するトランジスタに応用する方法について述べた。

#### 4-2 評価装置と試料

図4-1に示すようにインバータ回路を用いて、AC動作下での発光を調べた。インバータ回路はロジック用LSIの基本回路である。実験にはLDD

(Lightly Doped Drain)構造のNチャネルMOSFET (W/L=20 $\mu$ m/1.0 $\mu$ m)とPチャネルMOSFET (W/L= 30 $\mu$ m/1.0 $\mu$ m) から構成されたCMOSインバータを用いた。ゲート金属はポリシリコンで、ゲート酸化膜厚は16nmである。LSI上のインバータを想定して、出力に負荷容量を付加した。

図4-2にドレイン電圧7.5V、周波数1MHzで動作させた時のインバータの発光を示す。発光量の蓄積時間は15秒である。Pチャネルのトランジスタに比べて、Nチャネルのトランジスタは発光効率が高いため、ゲートに沿って、Nチャネルのみのトランジスタからの発光が見られる。ホットキャリア劣化もNチャネルのトランジスタが大きいことが、別の実験からも確

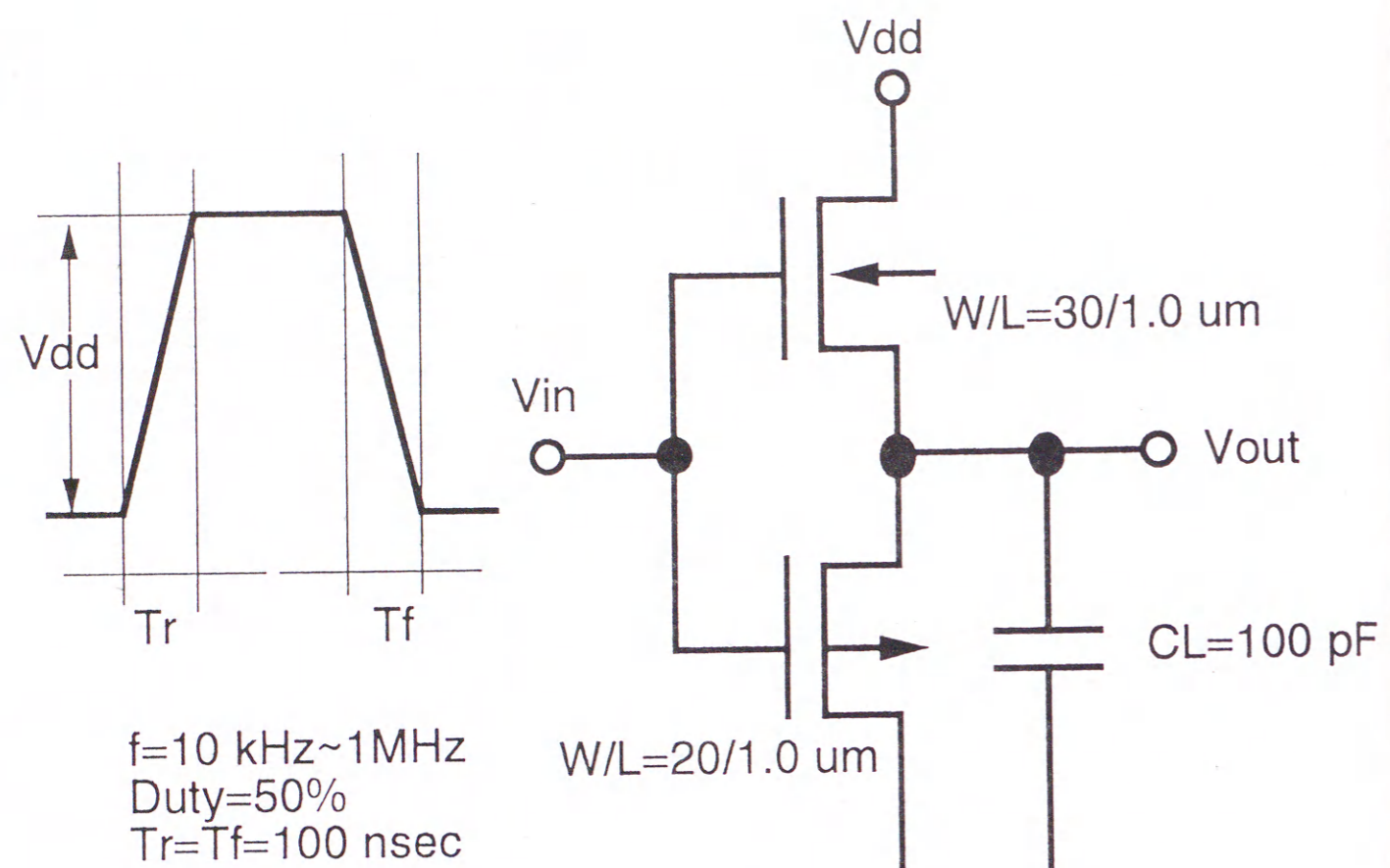


図4-1 インバータ回路とバイアス条件

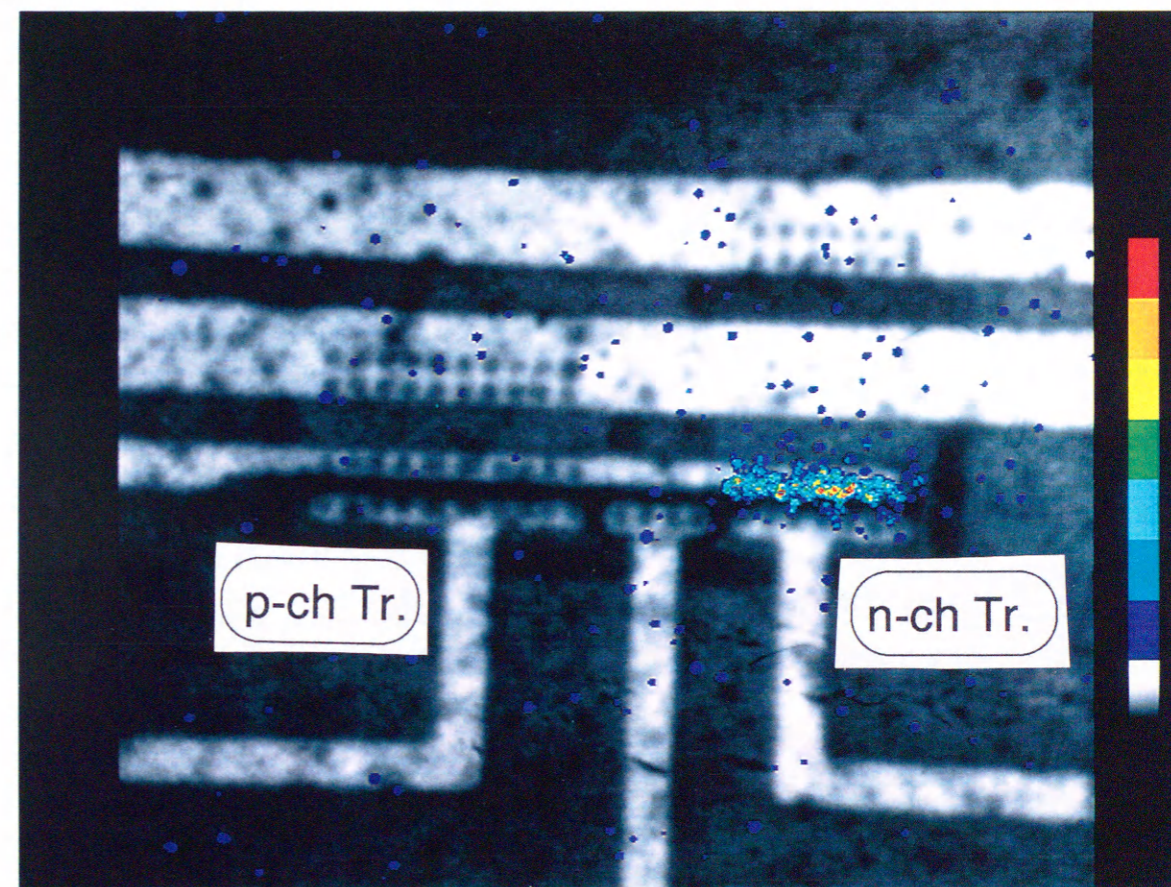


図4-2 インバータ回路の発光

認されている。

### 4-3 実験結果

#### 4-3-1 AC動作状態での波長スペクトル（電源電圧および周波数依存性）

先に示したインバータ回路を用いて、AC動作状態でのスペクトル解析を行った。図4-3に示すように、発光量はそれぞれのドレイン電圧に対し、exponentialの関係を持つ。これから、DC動作状態と同じく、AC状態でも、発光はMaxwell-Boltzmann分布近似をしてもよいことがわかる。ただし、発光量は単位ゲート幅で正規化した値を用いている。以後も正規化した値を用いる。ドレイン電圧の上昇に伴い、傾きが緩やかになっている。従って、第3章の議論から、電子温度が上昇していることがわかる。

今度は、発光量の周波数依存性を調べた。図4-4に示すように、発光量は動作周波数に対してもMaxwell-Boltzmann分布に従うことがわかる。周波数の変化に対し、その傾きは変わっていないことから、この周波数範囲では電子温度に変化がないことがわかる。

AC動作下で、発光量はMaxwell-Boltzmann分布に従うことから、第3章で行ったように、劣化に関係が深い200nmの発光量を400nmと800nmの間の発光量から図4-5のように推定した。

#### 4-3-2 発光量と寿命のユニバーサルカーブ

ドレイン電圧を変化させて、200nmの発光量と寿命の関係を図4-6に示した。寿命は、Nch-トランジスタの相互コンダクタンスが10%劣化するまでの時間とした。ドレイン電圧の上昇に伴い、寿命は減少するが、発光量は増大する。同様な実験を、今度はゲートの入力周波数を変化させて行った。同様に、寿命は相互コンダクタンスが10%劣化するまでの時間とした。図4-7に示すように、周波数の増加に伴い、寿命は減少し、発光量は増大する。

これらの結果を用いて、寿命と発光量の関係を直接、図4-8のようにプロットし直した。この図から、電源電圧や発光量に依存せず発光量と寿命の間に1本の直線関係があることがわかる。即ち、寿命と200nmの発光の

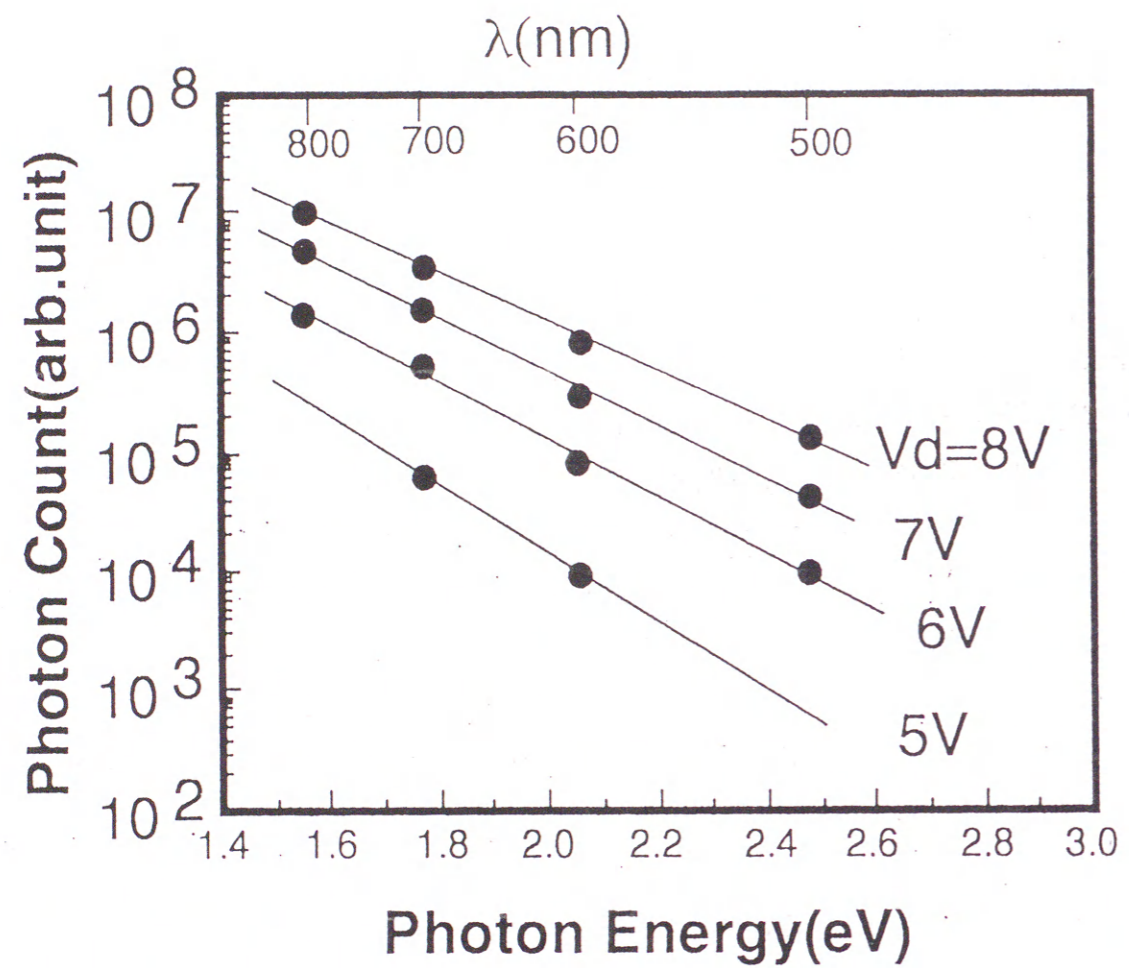


図4-3 波長スペクトルのドレイン電圧依存性

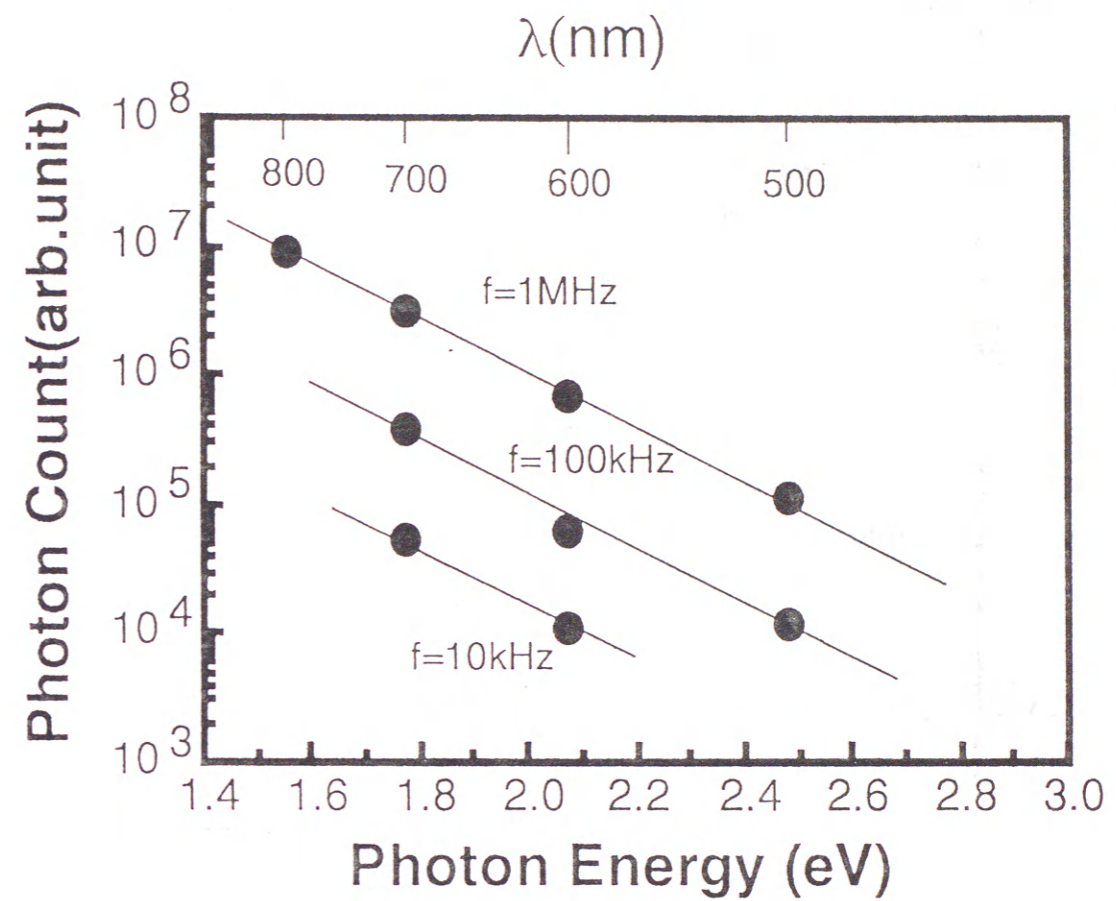


図4-4 波長スペクトルの周波数依存性

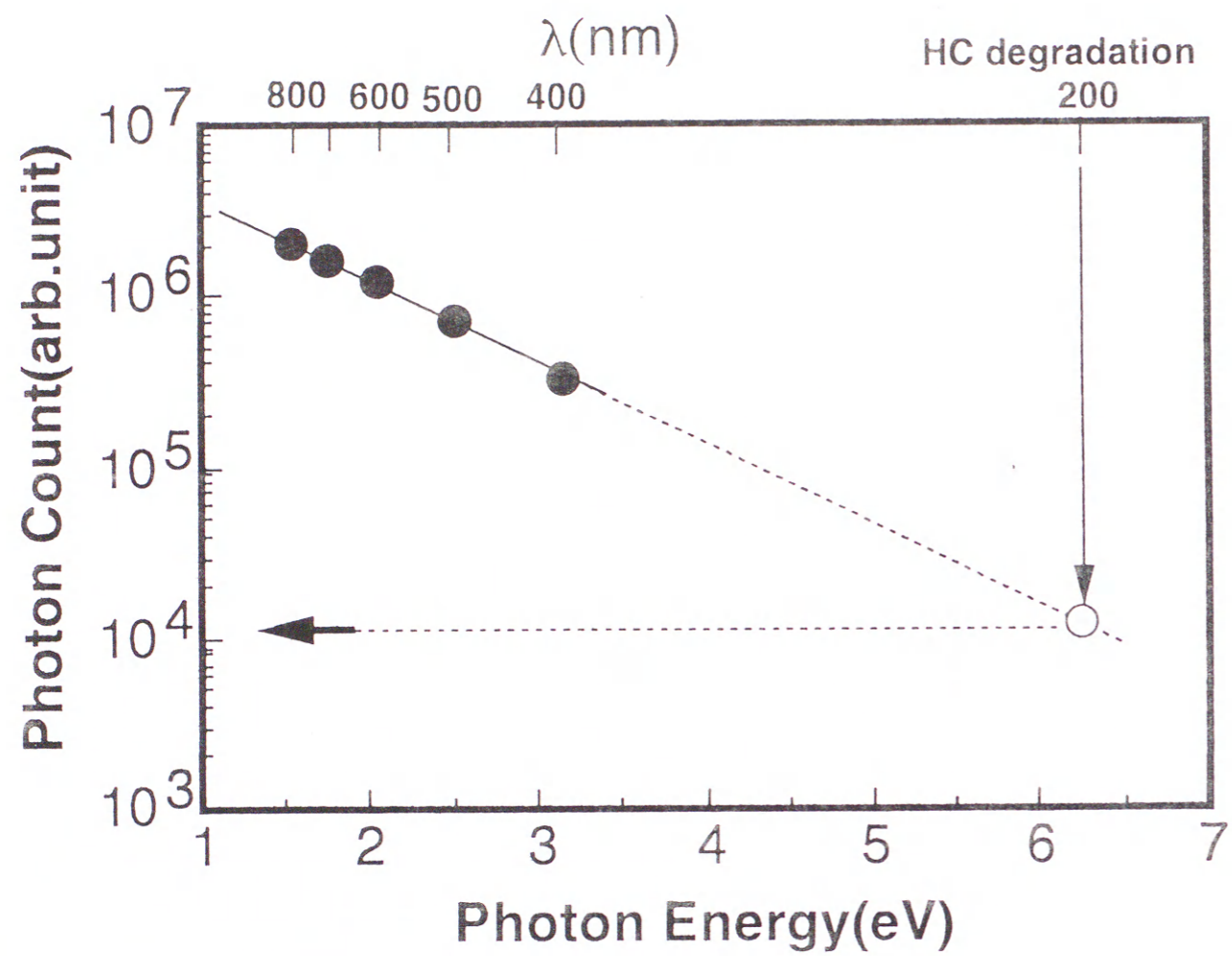


図4-5 200nmの発光量の推定方法

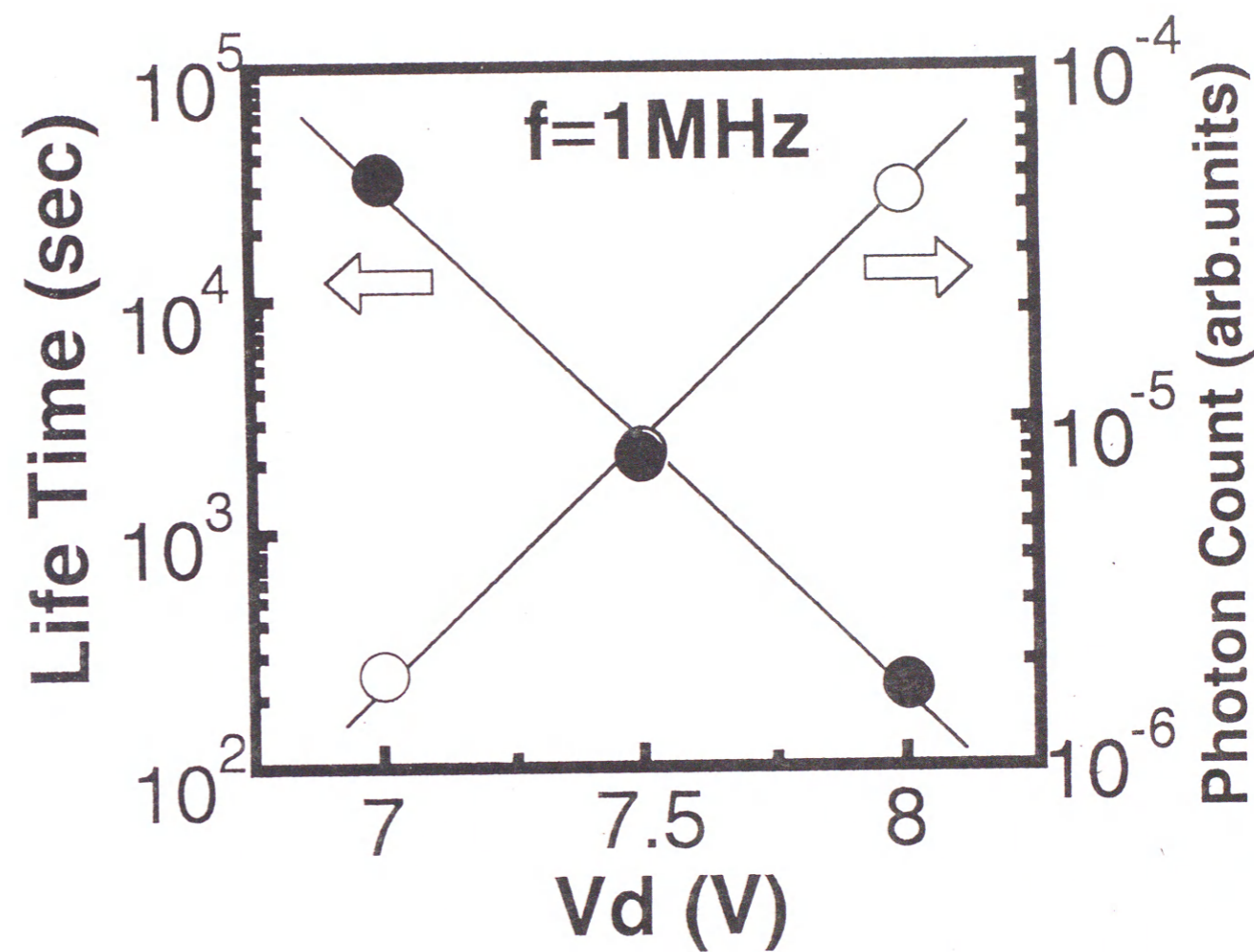


図4-6 200nmの発光量と寿命との関係  
(ドレイン電圧依存性)



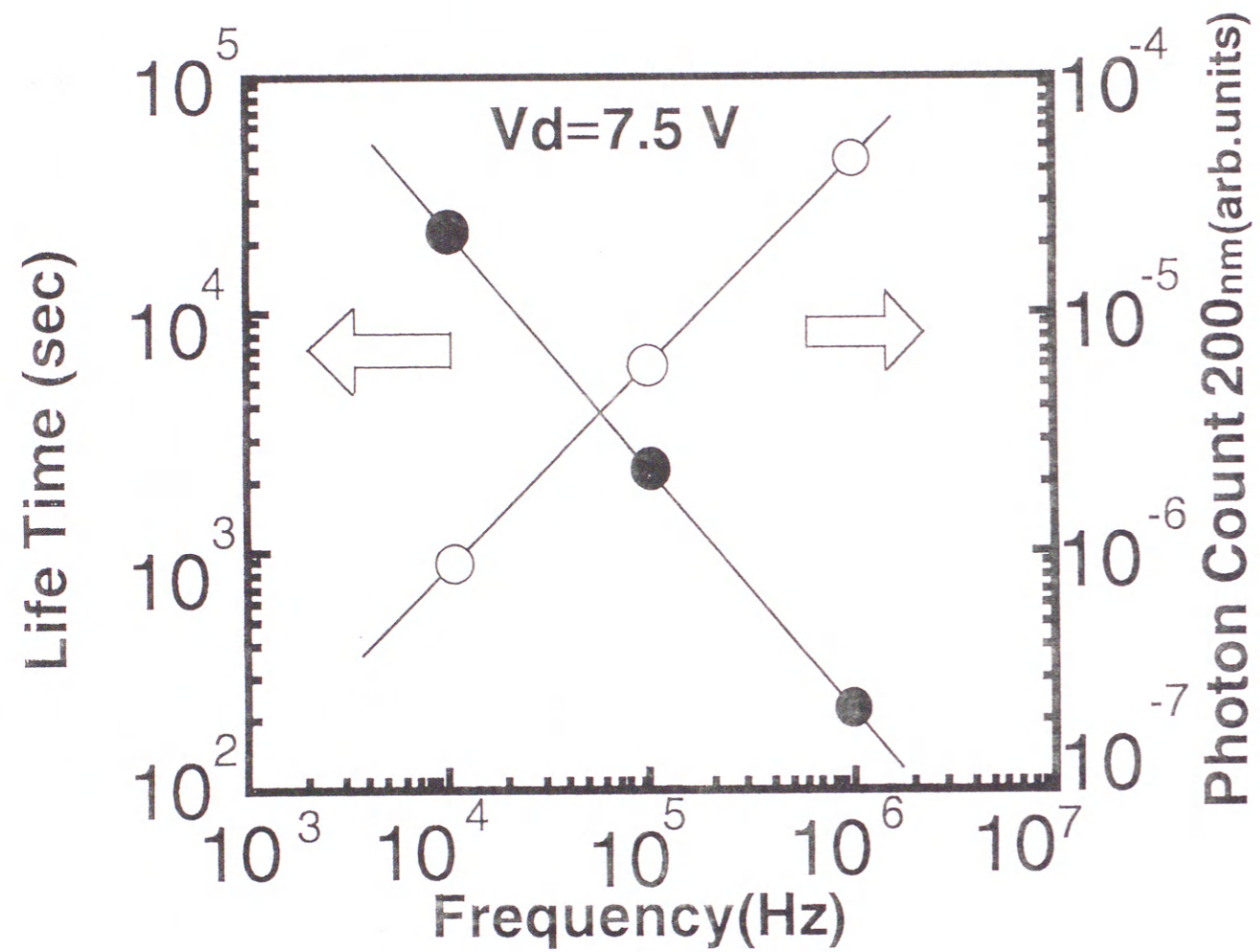


図4-7 200nmの発光量と寿命との関係  
(周波数依存性)

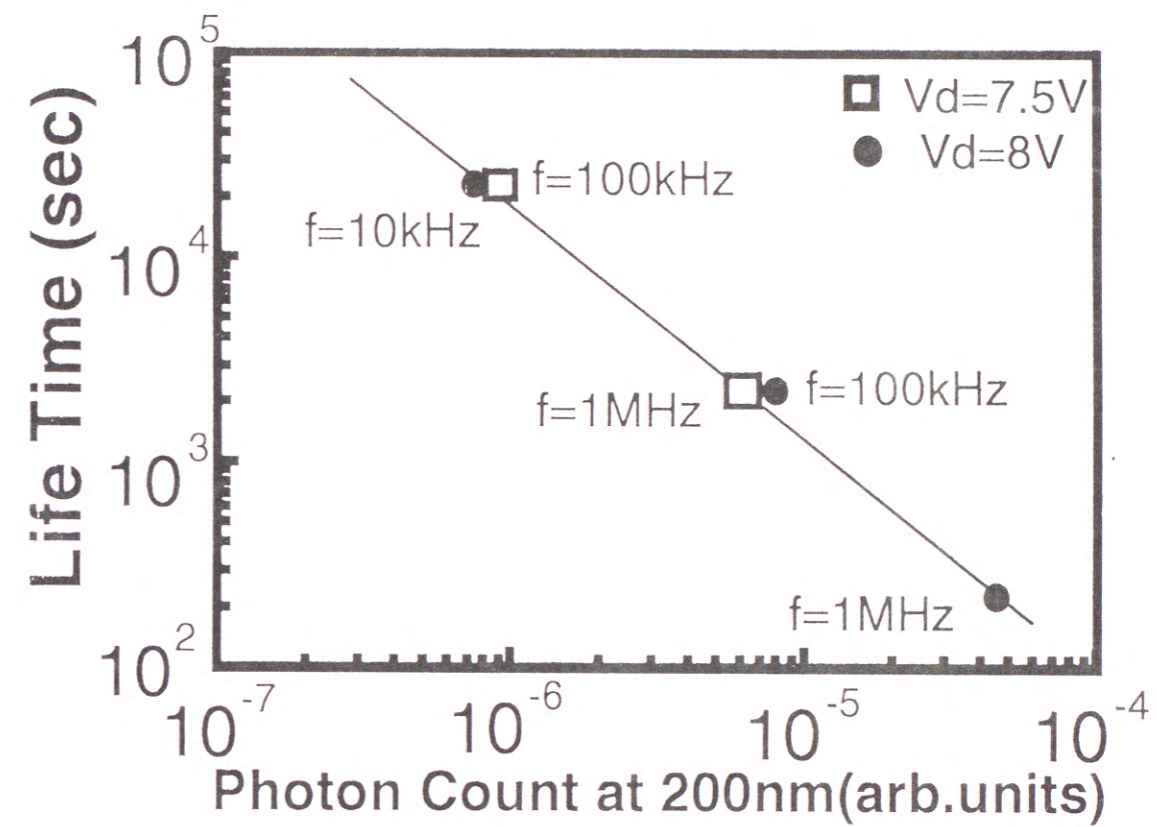


図4-8 ユニバーサルカーブ

間に、ユニバーサルな関係が存在することを示している。従って、200nmの発光量さえわかれば、LSI回路上のMOSトランジスタの寿命が推定できることを表しているのである。

ちなみに、図4-9に700nmで、ドレイン電圧、周波数を変えて同様なプロットをした場合を示す。異なるドレイン電圧や、周波数に対し、さまざまな傾きが存在しており、ユニバーサルな関係が存在していないことがわかる。つまり、700nmの発光量からは、寿命推定できないことを示している。これは、ユニバーサルカーブが、200nmの特定の波長のみで、存在することを示している。

従って、DC動作状態ばかりでなく、AC状態でも、200nmの発光量と劣化との強い相関があることを示している。

#### 4-3-3 LSIへの応用

この方法を、開発途上のLSIに適用した。図4-10は寿命推定を行った64ビットのマイクロプロセッサである。15 x 15mm<sup>2</sup>に約100万個のトランジスタが搭載されている。このLSIのプロセスは前節のインバータTEGと同様であり、標準ゲート長1.0ミクロン、クロック周波数1MHz、電源電圧5.5Vである。

LSIテスターでは、このチップは良品と判定されているが、図4-11(a)に示すように、2種類のトランジスタ (A、B)が検出された。すなわち、ホットキャリアの発生が顕著なトランジスタが2種類検出されたのである。図4-11(b)のように、マスク図と比較すると、インバータのNチャネルトランジスタであった。

劣化と相関が深い200nmの発光量を推定するために、両方のトランジスタについて波長解析を行った。ゲート幅に対し、正規化を行った後、寿命推定するために、図4-12に示すようにユニバーサルカーブにプロットした。その結果、10年の寿命保証に対し、十分な寿命を有することが確認された。

本方法を用いることにより、LSIチップ上のホットキャリア劣化に対し、実動作状態で、弱い箇所を検出し、さらに、短時間で、チップを破壊せずユニバーサルカーブを用いて定量的な寿命推定が可能である。本方法は、将来ホットキャリア評価において重要な役割を示すものと考えられる。

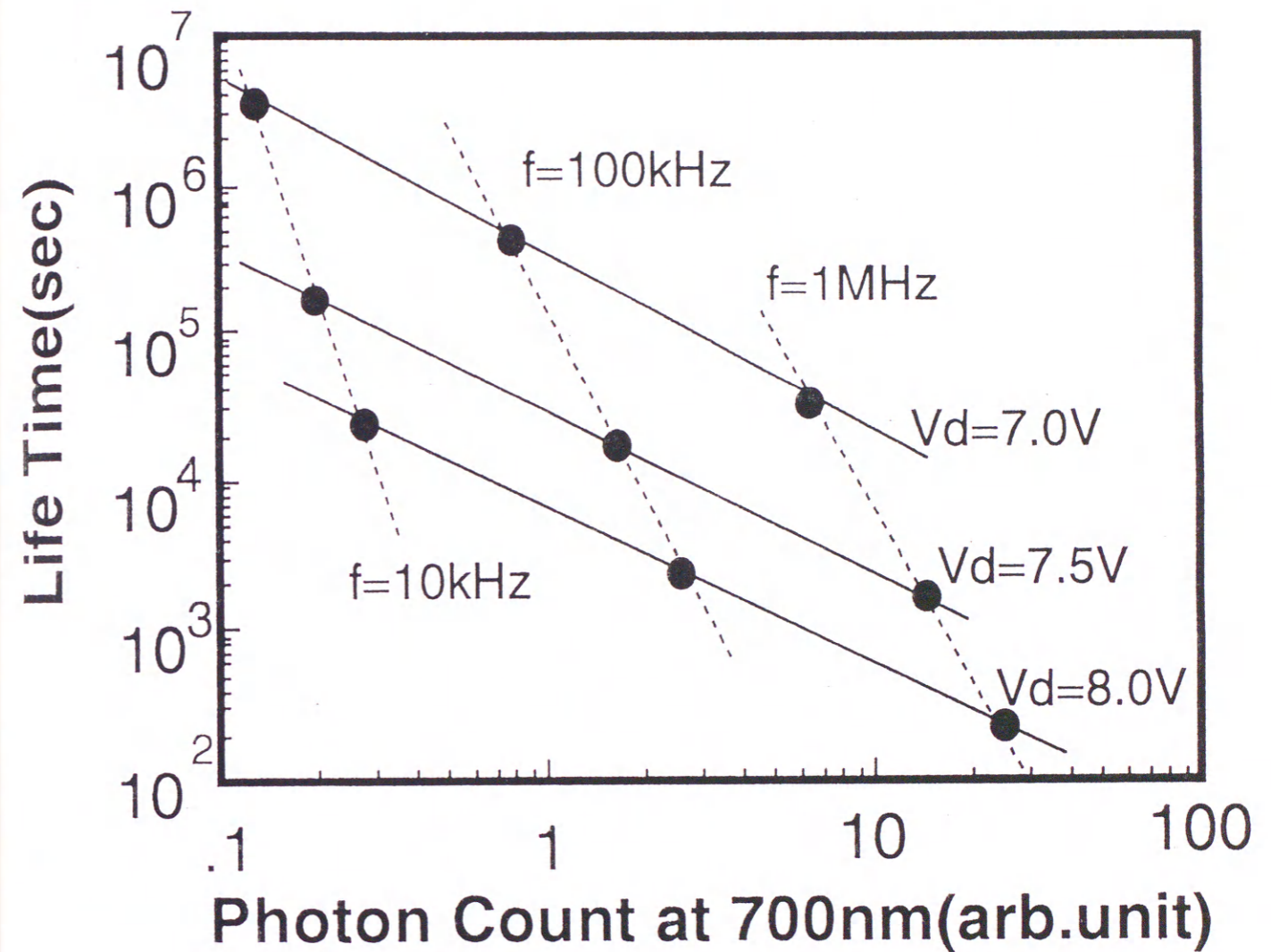


図4-9 発光量 (700nm)と寿命

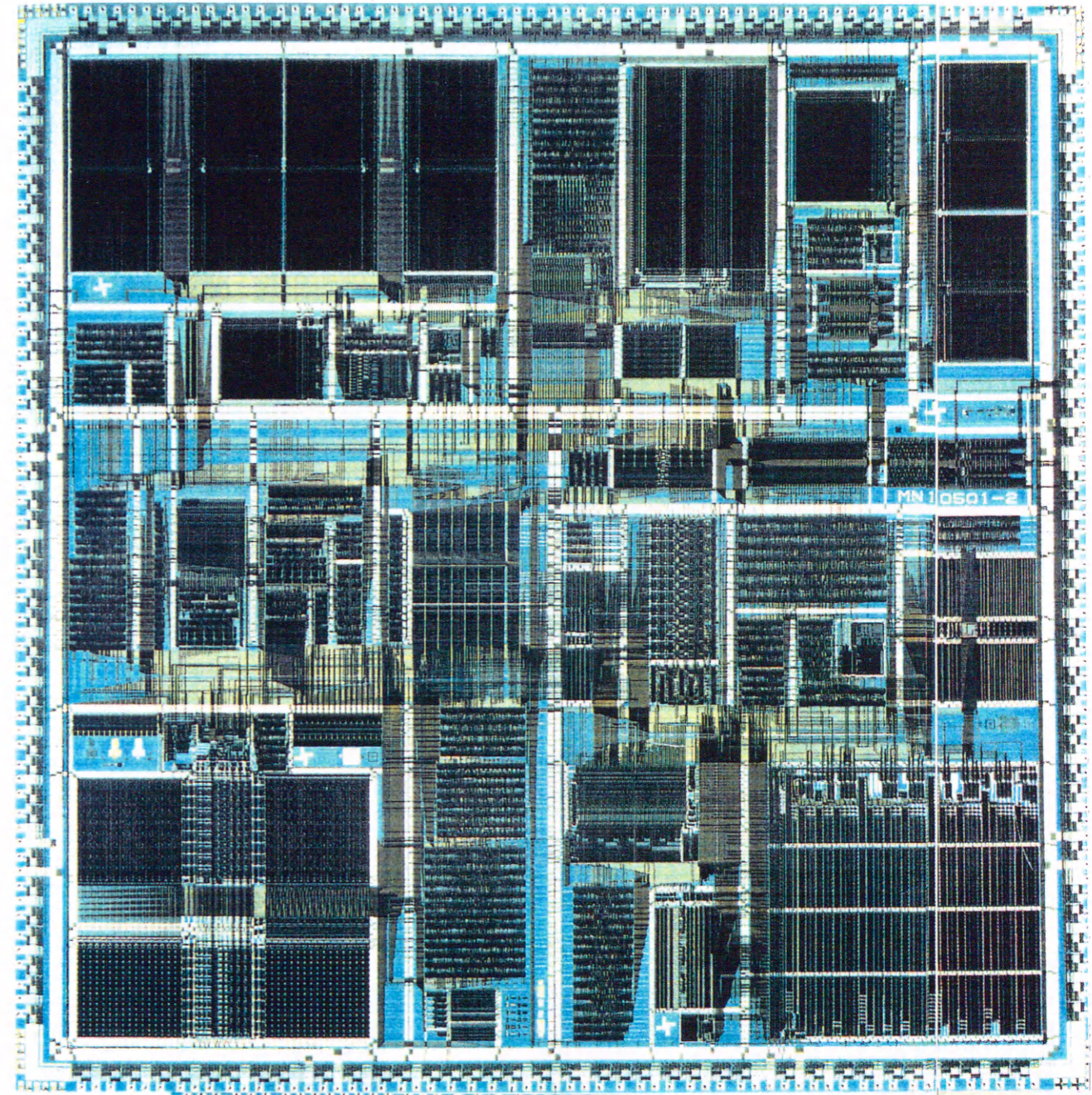


図4-10 64ビットマイクロプロセッサ

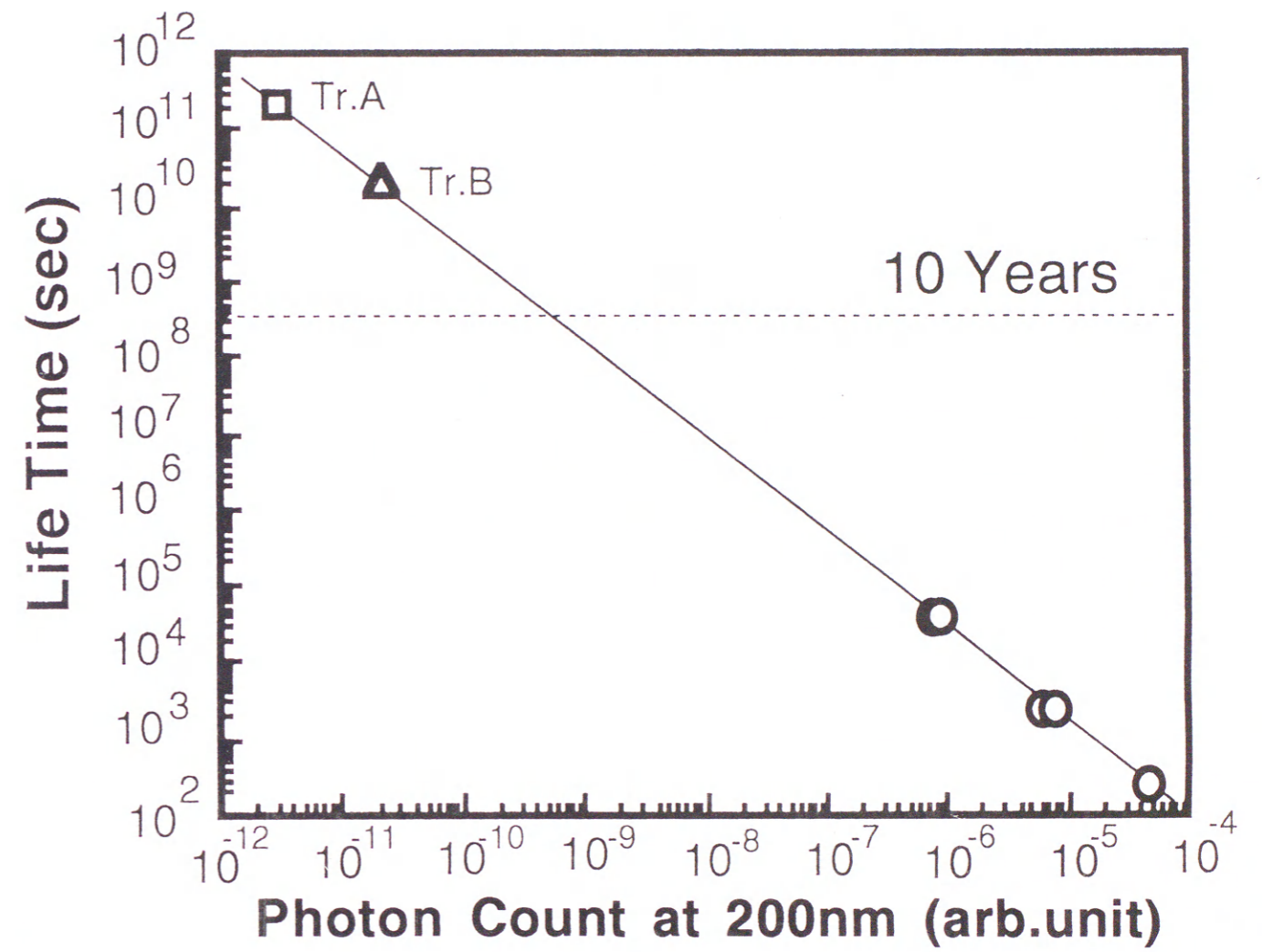


図4-12 トランジスタA,Bの寿命推定

#### 4-4 結言

実際のLSI上でのホットキャリア寿命を推定するために、AC動作状態での発光解析を行った。その結果以下の結論を得た。

- (1) 発光量はAC動作状態でも、Maxwell-Boltzmann分布に従う。
- (2) 200nmの発光量とホットキャリア寿命との関係を調べた結果、200nmの発光とホットキャリア寿命の関係にユニバーサルな関係が存在する。
- (3) この方法を開発途上のロジック用LSIに応用し、ユニバーサルカーブを用いて発光量から、LSI上のMOSFETの寿命推定を行った。

本方法は、複雑な動作をしているLSI上のトランジスタの寿命を直接求めることができ、今後も非常に有用な方法である。この技術は、現在LSIの品質保証のために、行われている高温動作連続試験を省くことができる可能性を示唆しており、デバイス開発時間の大幅な短縮につながる技術である。

#### 4-5 参考文献

- [1]C.Hu, S.Tam, F.Hsu, P.Ko, T.Chan and K.Terrill, " Hot-electron-induced MOSFET degradation-Model, Monitor.and Improvement," IEEE J.Solid State Circuits, vol.SC-20, No.1, p295, 1985.
- [2]W.Weber, C.Werner and G.Dorda, IEEE Electron Device Lett. EDL-5, p.518, 1984.
- [3]T.Horiuchi, H.Mikoshiha, K.Nakamura and K.Hamano, IEEE Electron Device Lett. EDL-7, p.337, 1986.
- [4]K.R.Hofmann, C.Werner, W.Weber and G.Dorda IEEE Trans. Electron Devices ED-32, p.691,1985.
- [5]W.Weber, IEEE Trans. Electron Devices ED-35, p1476, 1988.
- [6]R.Bellens, P.Heremans, G.Groeseneken, H.MAes and W.Weber IEEE Trans. Electron Devices ED-37,p310, 1990.
- [7]N.Tsutsu, Y.Uraoka, Y.Nakata, S.Akiyama and H.Esaki et al., IEEE ICMTS, vo.3, p143, 1990.
- [8]N.Tsutsu, Y.Uraoka,T.Morii and S.Akiyama, IEEE ICMTS, vo.5, p94, 1992.
- [9]Y.Uraoka, N.Tsutsu and S.Akiyama, Semicond. Sci. Technol. 7, B576, 1992.
- [10]Y. Uraoka, N.Tsutsu and S.Akiyama, HCIS-7, p.164,1991.

## 第5章 超高集積回路の不良解析技術

### 5-1 緒言

3章から4章までに、主にホットキャリア効果に対する信頼性評価方法について説明してきた。ここでは、広範囲の信頼性不良に対する解析手法について述べる。従来からの不良解析手法にはさまざまな方法がある。

- (1) 液晶解析法
- (2) 電位コントラスト法

などがあるが、それぞれに短所がある。液晶法は、不良箇所からの熱を利用して不良を検出する方法であるが、空間分解能がなく、また、ホットキャリアや絶縁膜破壊のように熱を伴わない不良に対しては効果がない。電位コントラスト法は、試料を真空中に固定し、解析に熟練を要する。

ところが、発光解析技術は、

- (1) 不良箇所をリアルタイムで検出できる。
- (2) 空間分解能が0.3 $\mu\text{m}$ 程度である。
- (3) 熟練を必要としない。
- (4) 非破壊で検出できる。

などの数々の特長を持つ。

本章では、これらの特長とこの特長を利用して100万個以上のトランジスタの中から不良の1個を検出する方法を説明する。

### 5-2 評価システム

本評価システムは図5-1はULSI駆動回路部と発光解析部の2つから構成されている。このシステムの特長は、LSI回路テスターと発光解析装置を2台のパターンジェネレータを通して、間接的に組み合わせてあることである。

ULSI駆動回路は、LSI回路テスター (ADVANTEST:T3340), CPU(HP360),2台のパターンジェネレータ (Intefface:RS670)から構成されている。LSI回路テスターはCPUとイーサネットケーブルでつながっており、CPUとパターンジェネレータはGP-IBケーブルで接続されている。ここで用いられているパターンジェネレータは64チャンネルの汎用デジタルシ

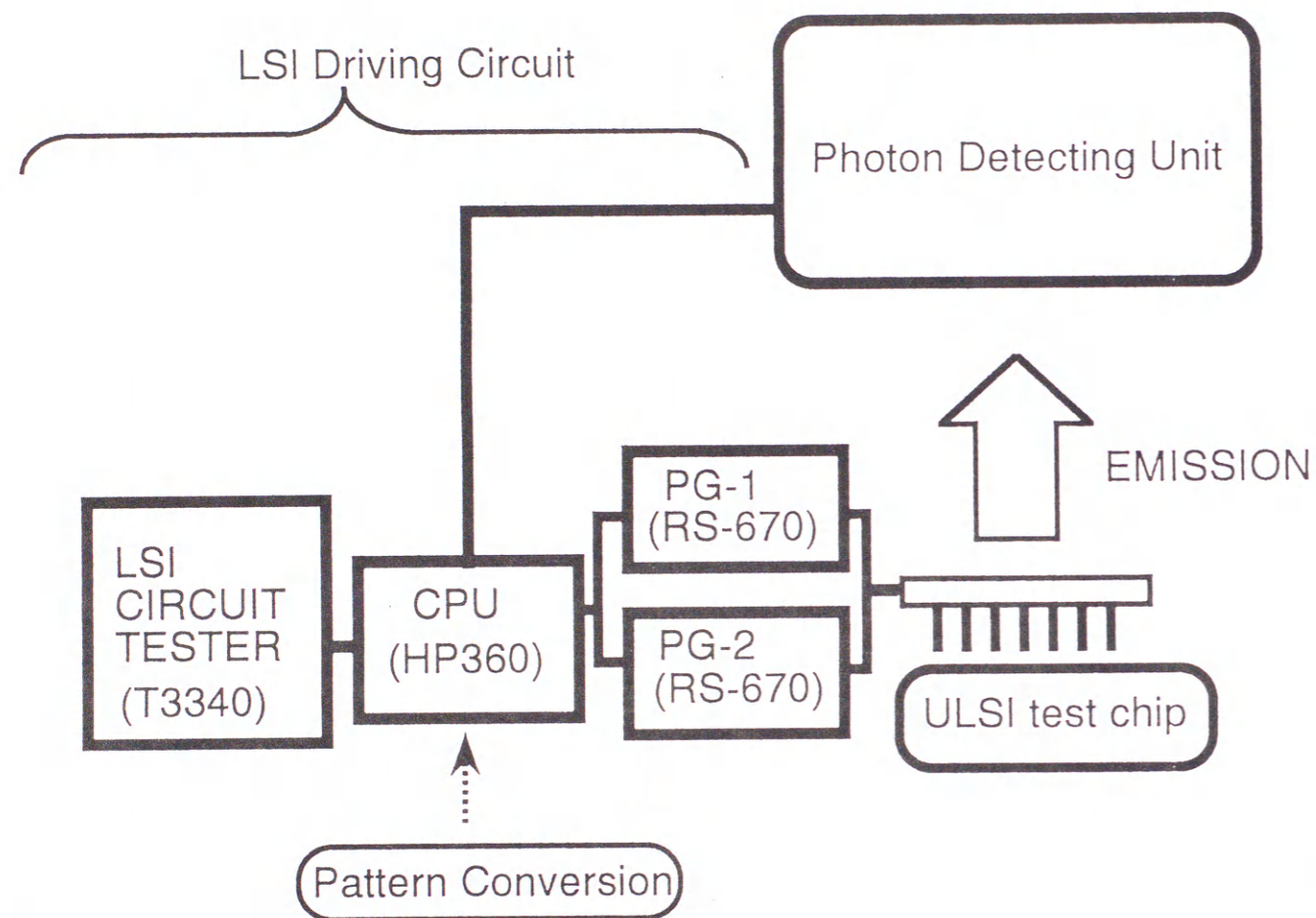


図5-1 不良解析システム

グナル発生器であり、40MHzの周波数をもつ。2台のパターン発生器を用いているため、トータル128のI/Oチャンネルである。パルスジェネレータはHP8112AはLSIのクロック信号を入力するために用いている。

LSIテスターは非常に高価であるため、このシステムが常時占有することは経済的でないが、本システムとはイーサネットに接続されているため一度、必要なファイルがCPUに転送されておれば、ほとんど、LSIテスターを使用することはない。しかも、場所も別のところにあるため、空間的にも制限を受けない。

### 5-3 解析手順

短時間で効率良く不良箇所を検出し不良原因を究明するための手順を図5-2に示す。手順は、不良のモードや難易度に依存する。ここで挙げた手順は最も困難な不良を検出する場合である。

#### 1) テストパターンの測定及びその変換

LSI回路テスターを用いて、LSIを駆動するテストパターンを作成する。チップサイズにより、2種類のテストパターンがある。1つは、テストチップの全てを駆動するパターンと、任意のブロックを駆動するパターンである。

CPUはLSIテストパターンをデータベースの全く異なるパターンジェネレータのために、データ変換を実施する必要がある。この変換は”CORSAGE (Conversion Software for Pattern Generator)”と呼ばれるソフトを用いて行う。このソフトも筆者らが開発したものである。

#### 2) 発光箇所の検出

クロックと同期させるための遅延回路を通して、回路テスターで作られたテストパターンをテストチップに印加する。テストパターンで駆動すると同時に、発光箇所が検出される。発光箇所はテストチップのバックグラウンドにリアルタイムで重ね合わせられるため、非常に短時間で、不良箇所の検出を行うことができる。

最初は、1倍の低倍率のレンズで、広い範囲を検索し、不良箇所が見つかり、倍率をあげてゆき、最終的には、250倍のレンズを用いれば最小単

位のトランジスタまで検出可能である。

### 3) 発光スペクトル解析

不良モード（ゲート酸化膜破壊、ホットキャリア、接合破壊）を決定するため、波長フィルターを用いて波長スペクトル解析を実施する。スペクトル分布は不良モードに依存するため、不良モードの決定には非常に有効である。フィルターホイールは、CPUにRS232Cケーブルで接続されているため、自動的に発光スペクトルの測定が可能である。

### 4) マスク図面との比較

次に発光箇所と、LSIテストチップのマスク図面の照合を行うことにより、どこで、不良が発生しており、どのような動作をする回路のトランジスタかを調べる。この段階で、十分不良原因の可能性を検討しておれば、全体の解析時間は早い。次に、不良モードにより、発光解析から得られた情報をもとにSEM(走査型電子顕微鏡)やFIB (Focused Ion Beam)解析を実施する。

### 5) 設計チェック

物理解析で検出できない時には、設計的なエラーでないかどうかをチェックする。不良によっては、物理解析の前に設計確認を実施する。

### 6) 検証

これまでの不良原因の推測が正しかったかどうかを、別の角度から確認する。例えば、TEG(Test Element Group)によって検証する方法がある。LSIのウエハーには大抵、PCMと呼ばれるプロセスモニター用のTEGが含まれているから、これは非常に有効である。TEGとはコンタクトチェーンやゲートキャパシタのように単純なテスト構造を意味するものである。

## 5-4 実験結果

本方法の有用性を示すために、2つの不良解析事例を紹介する。本解析に用いられたLSIは238ピンのPGA(Pin Grid Array)で、前章で、用いたLSIと同様である。勿論、ここで、解析されたチップは良品ではなく、不良品

## Analysis Procedure

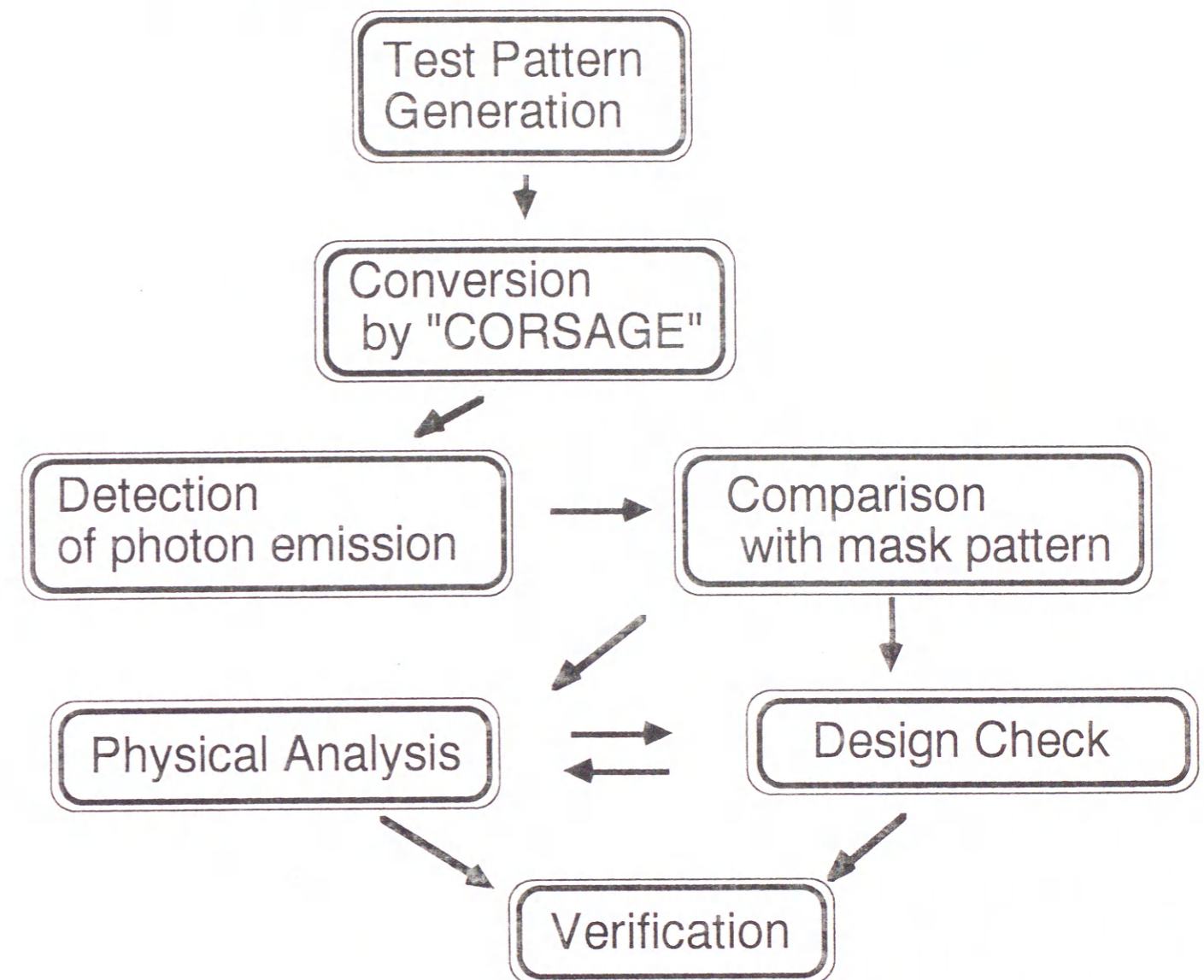


図5-2 発光を利用した解析プロセス



である。

図5-3はLSIを搭載するためのボードである。テストチップは中央に搭載され、正面からテストパターン信号が、供給される。出力波形確認のためのピンが左側に付加されている。

これまでの解析の結果、不良原因は、プロセスに起因するか、設計に起因するかに分類される。まず初めに、プロセス不良について説明する。

#### 5-4-1 プロセス不良の検出

1000時間の高温動作試験によって、ファンクション不良となったチップを解析した。LSIテスターによって検出される不良は、大きく2つある。1つはDC不良と呼ばれるもので、電源のみを加えた時に検出される不良、これは、チップの周辺、即ち、パッドに近い部分の不良である。

もう一つはファンクション不良と呼ばれるもので、ファンクション不良は、内部に信号が伝わった時に初めて検出されるものである。不良のなかで、最も解析が困難な不良である。熱的に不良を検出する液晶解析は、この種の不良には役に立たないことが多い。

##### 1) 動作条件

データピン数、電源ピン、モニターの数はいずれも、90、47、49本ある。クロック周波数は2MHz、電源は5-6Vである。

##### 2) 不良箇所の検出

図5-4に示すように、LSI回路テスターで作成されたパターンで、テストチップを駆動することによって、発光箇所が検出できた。本チップ中、合計5箇所の不良が検出できた。電源のみを印加した場合は、発光は見られず、テスト信号を印加した場合のみ、発光が検出できることから、LSIテスターと結合することがいかに重要かがわかる。

##### 3) 波長解析

発光箇所において、波長フィルターを用いて波長解析を実施した。図5-5に示すように発光量がエネルギーに対し、exponentialの関係があり、Maxwell-Boltzmann分布より電子温度が見積られることは3、4章で述べた。

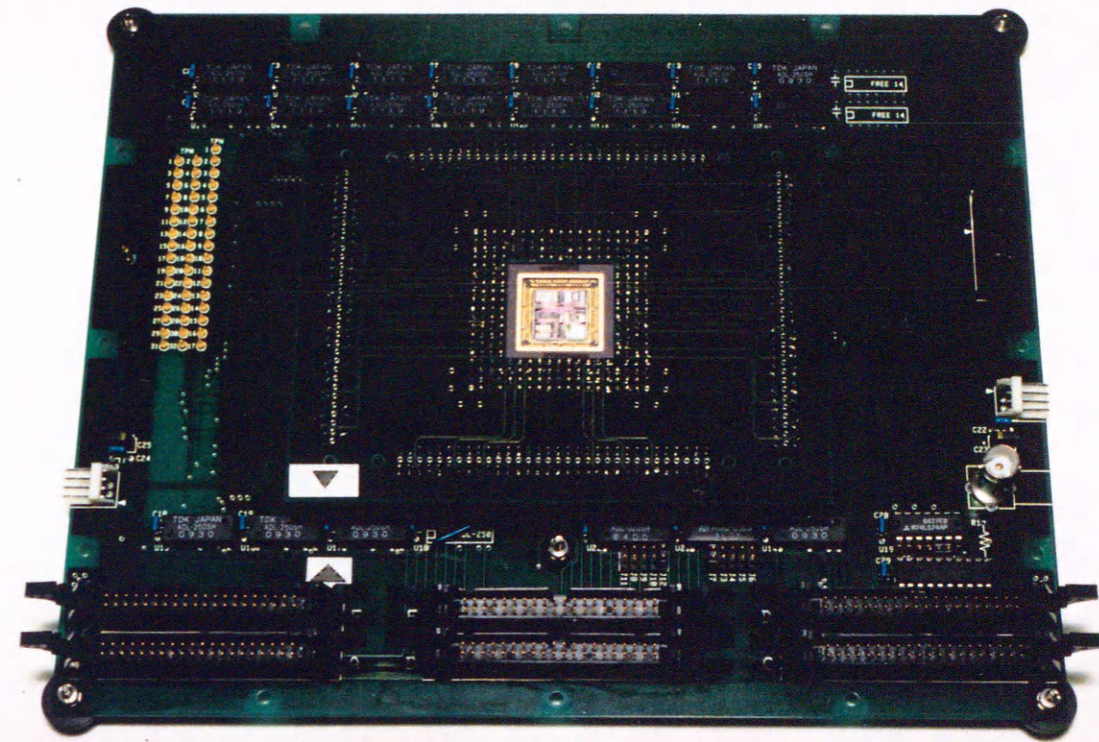


図5-3 不良LSIを搭載したボード（治具）

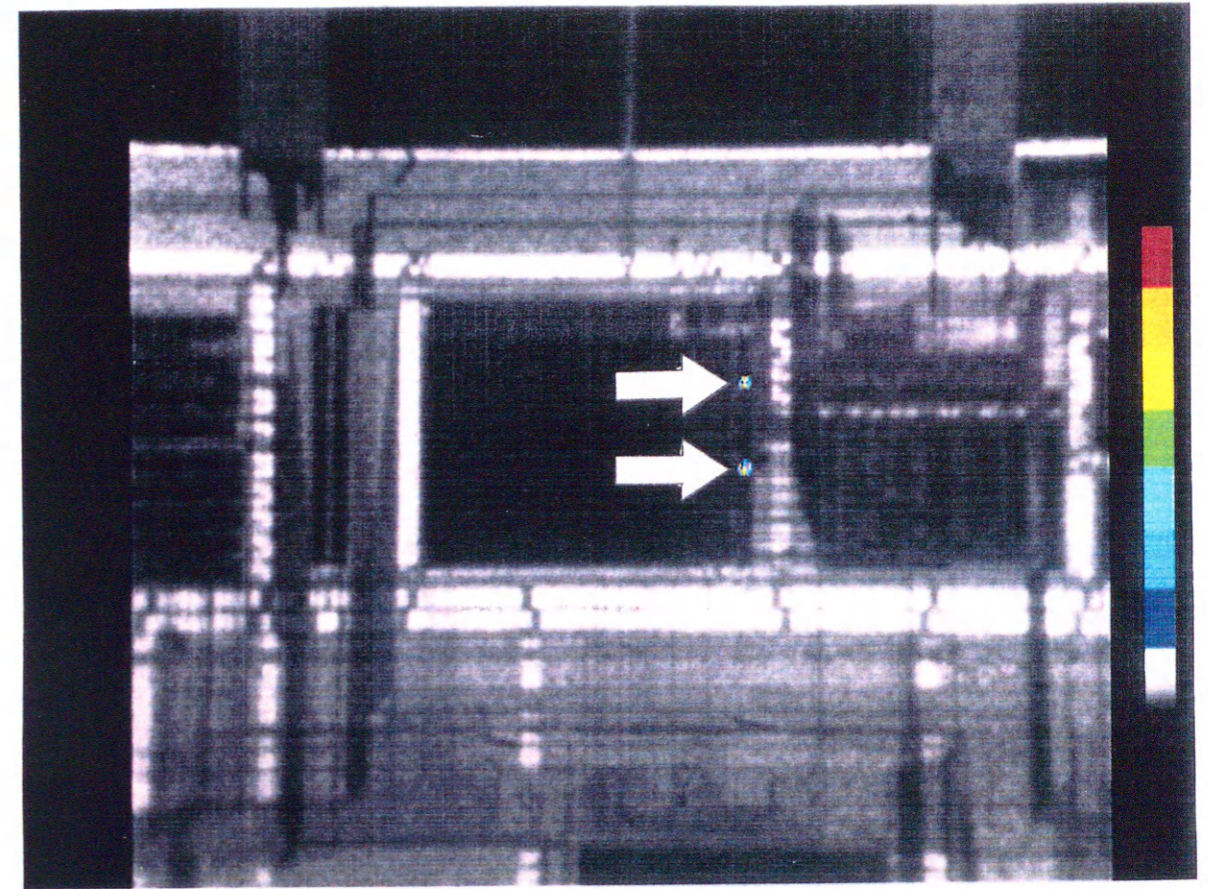


図5-4 発光によって検出された不良箇所

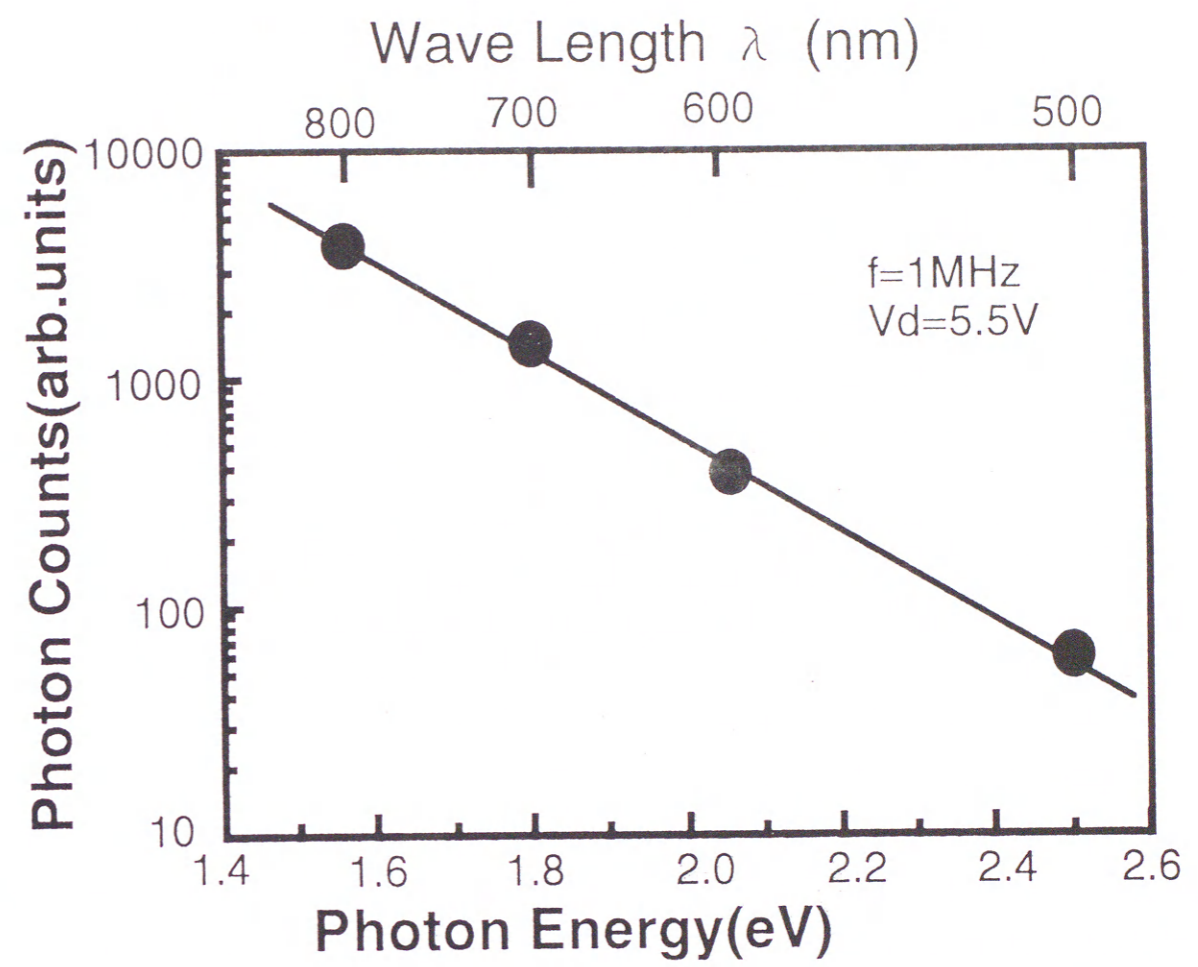


図5-5 不良箇所のエネルギースペクトル

電子温度はこのグラフの傾きより、2600 Kと推定できる。従って、この発光はホットキャリア効果によるものである。

#### 5-4-2 物理解析

発光箇所と設計マスク図面との比較から、発光箇所がどのような回路で発生しているのかをつきとめた。その結果、インバータ回路の nch-NMOSFETが不良となっていることが判明した。図5-6(a)(b)はそれぞれ発光箇所と対応するマスク図面、図5-6(c)はインバータ回路である。さらに、そのトランジスタの近傍を注意深く光学顕微鏡で観察したところ、第1アルミと第2アルミを接続しているヴィアホールが異常であることを発見した。

そこで、この情報をもとに、SEMとFIBを用いて物理解析を行った。図5-7に示すように、ヴィアホールコンタクトが変形していることがわかる。これが、まず、不良の原因であると考えられた。それでは、ヴィアホールと発光の間にどのような関係があるのかを考察した。

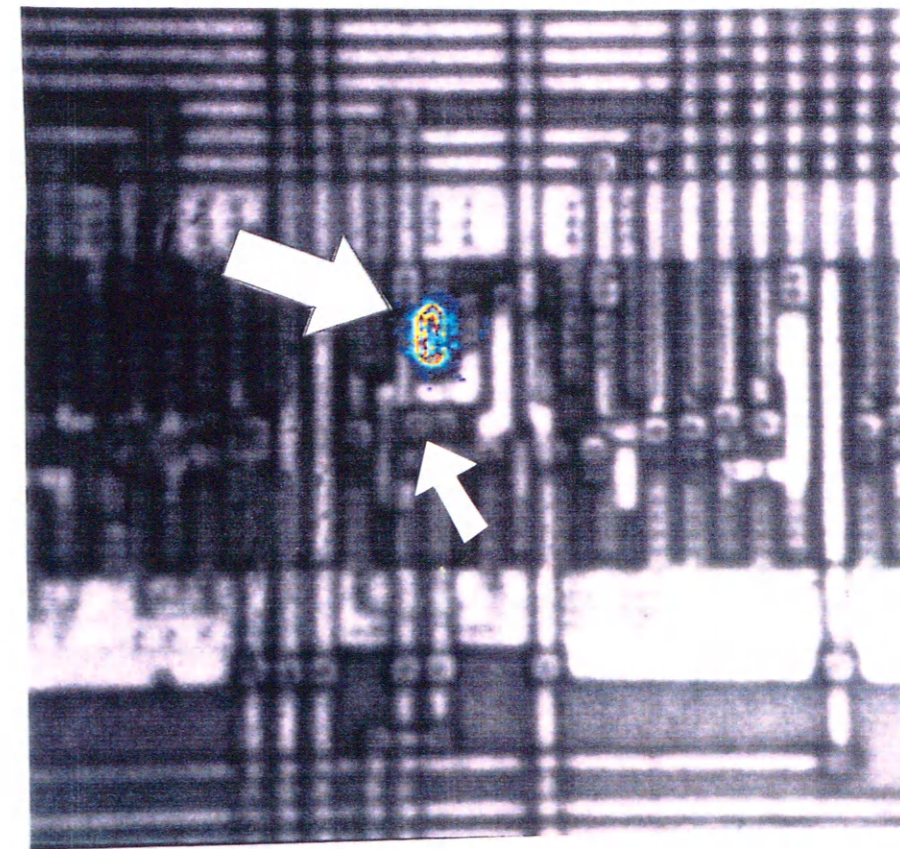
発光しているトランジスタの入力のゲート電圧は、入力抵抗増大によって、波形がなまる。図5-8に良品チップと不良チップの入力波形（推定）を示す。ホットキャリア効果やそれに伴う発光は、ゲート電圧に強く依存することは3章で述べた。従って、図5-8からわかるように、不良チップでは、ホットキャリア劣化の厳しいバイアス条件に比較的長時間さらされているため、発光が見られたのではないかと、思われた。

#### 5) 検証

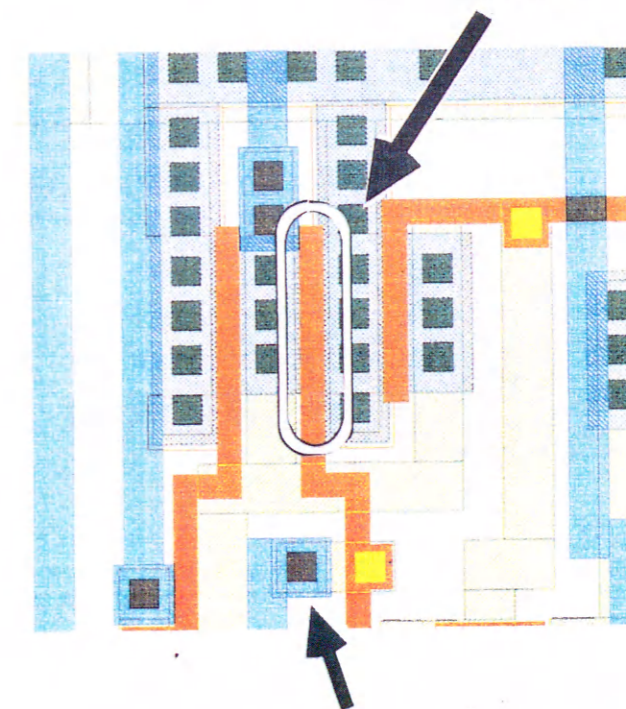
この推測が正しいことを確認するために、異常の起こっている同様のプロセスで処理した45000個のヴィアホールチェーンの抵抗を測定した。図5-9はウエハー全体のヴィアホールチェーンの抵抗分布を示す。正常な場合、ウエハー全面にわたって、抵抗は低い、不良チップでは、抵抗は高く、ばらつきが大きい、即ち、明かにプロセス異常であった。

この情報の迅速なフィードバックによって、この異常は取り除かれ、信頼性不良率は低下した。ヴィアホールのエッチング異常であったことが、後日明らかになった。

本解析事例は、発光解析がトランジスタのみでなく配線不良の検出に



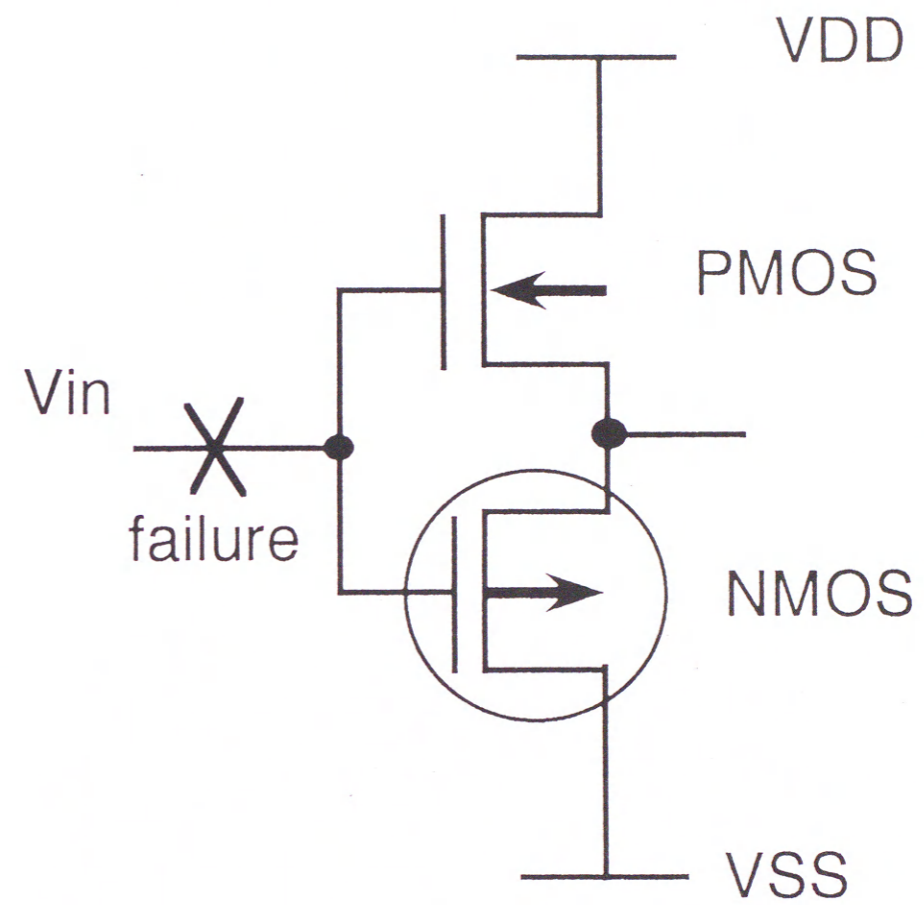
(a) Emission



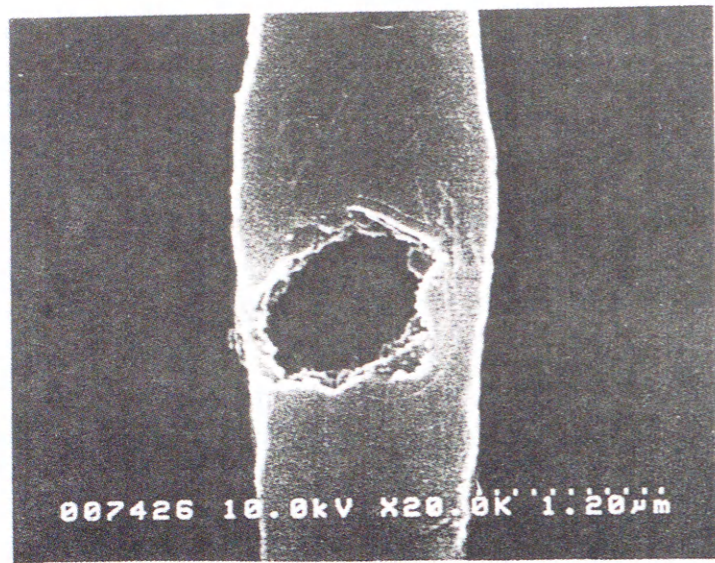
Failed via-hole

(b)

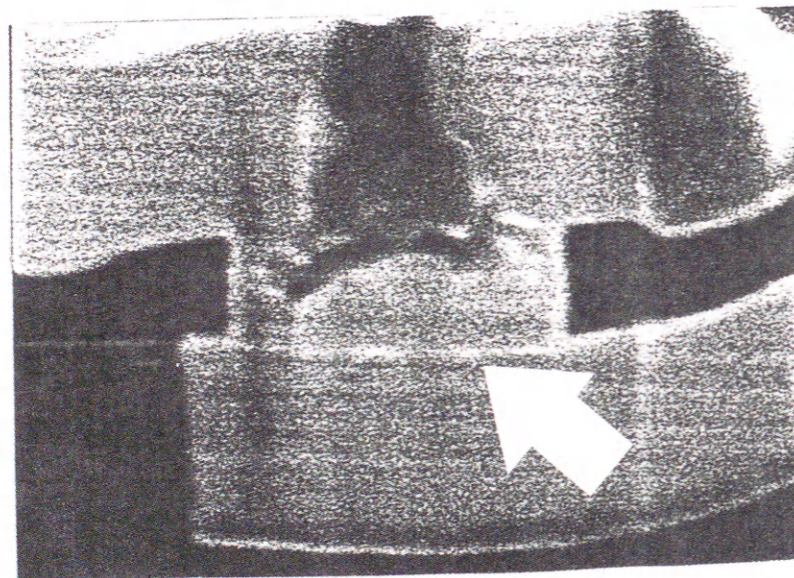
図5-6 (a)不良箇所 (b)マスク図



(c)回路解析結果



(a)



(b)

図5-7 物理解析結果(a)SEM観察(b)FIB観察  
縮尺 (2 x 10<sup>4</sup>倍)

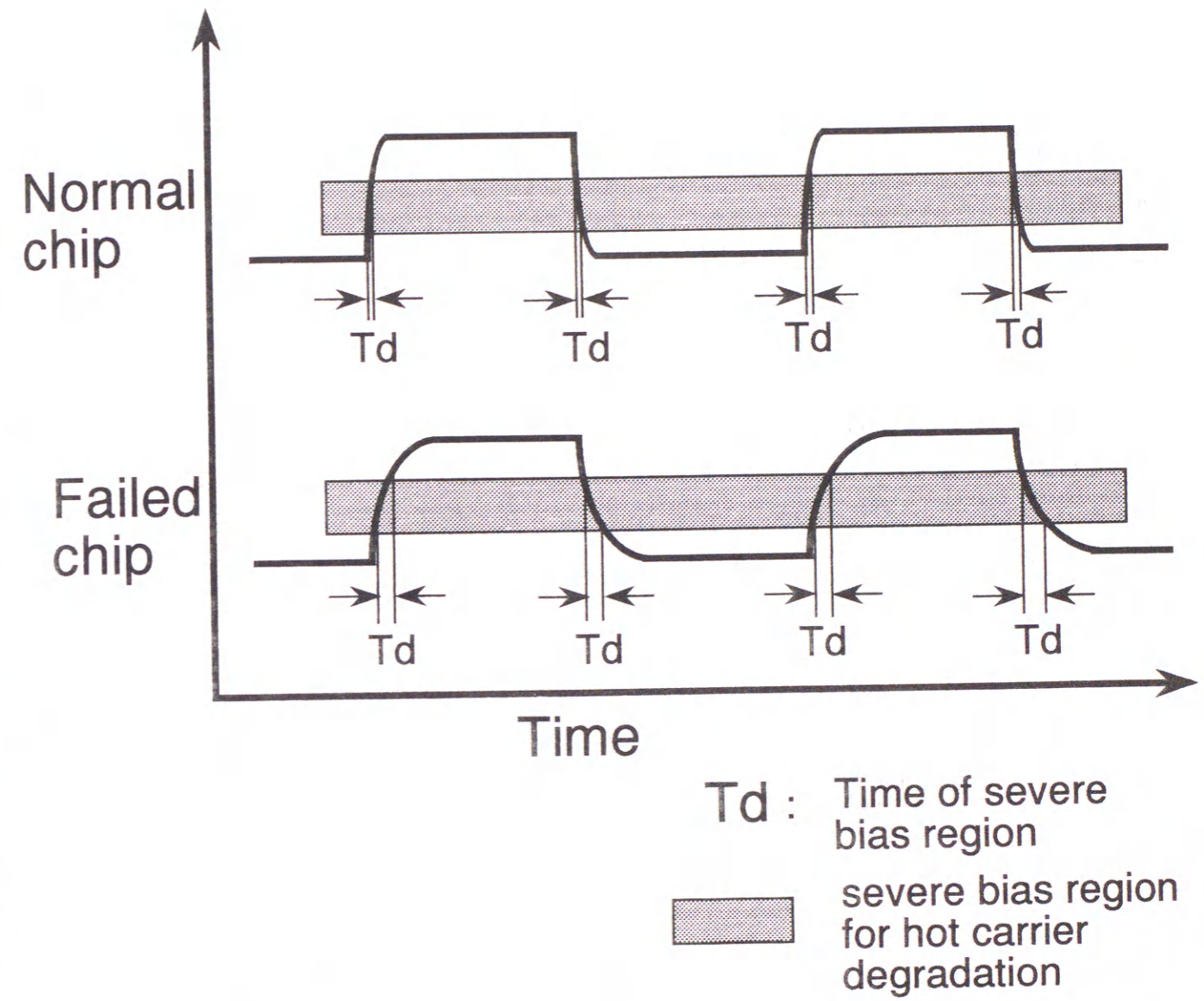


図5-8 良品と不良チップのゲート入力波形 (推定)

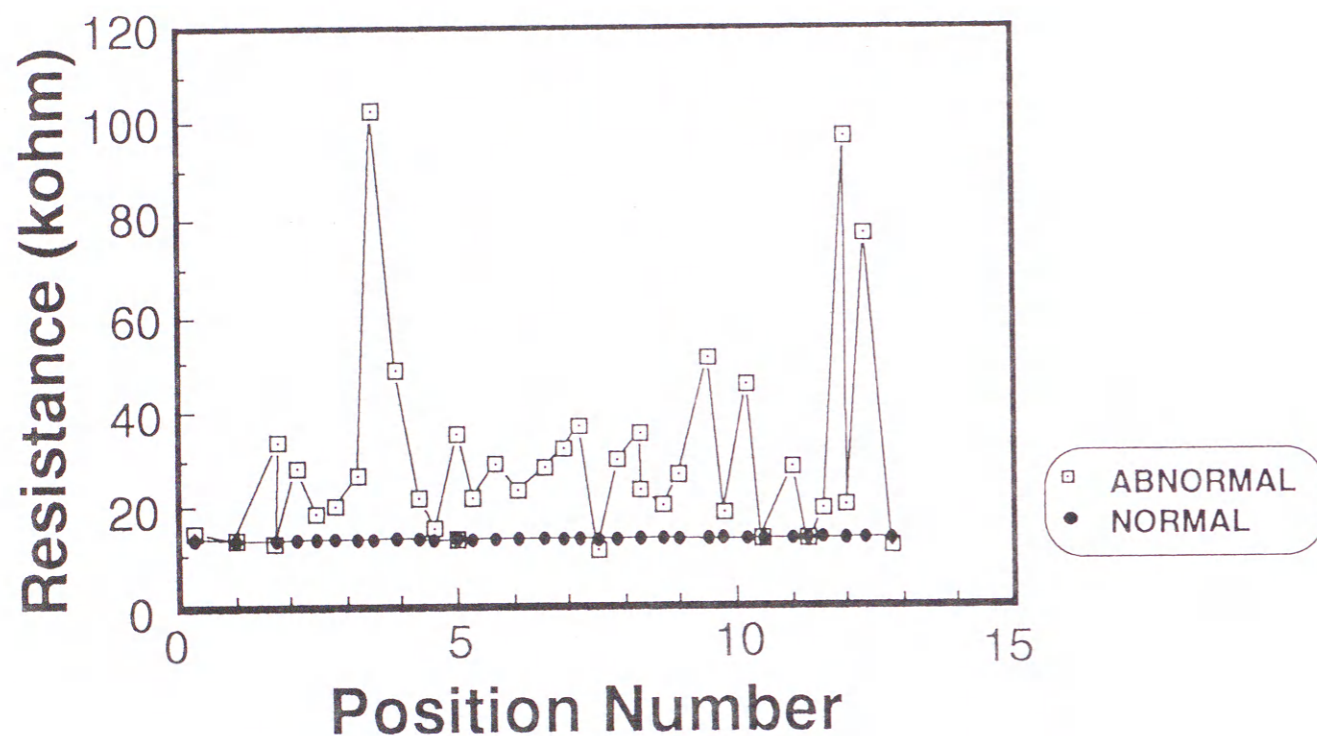


図5-9 TEGによる検証  
 ヴィアホールチェーン（45000個）の抵抗分布

も有効であることを示すものである。

### 5-4-3 設計不良の検出

設計不良解析の事例として、スタンバイ電流不良の解析例を示す。チップがスタンバイ状態であるとき、かなり、高電流が観測される場合がある。この種の不良は、チップの消費電力に影響を及ぼすため、不良原因の究明は非常に重要である。

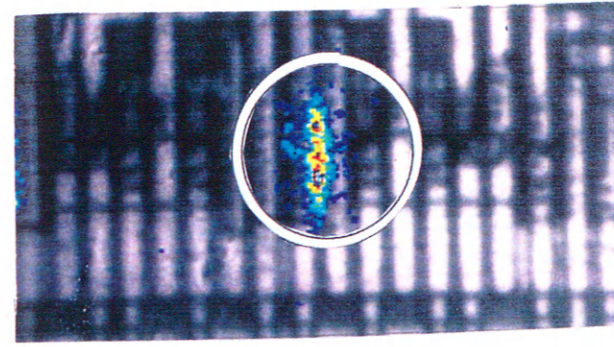
図5-10は発光箇所と対応するマスク図面である。まず、初めに物理解析を行ったが、不良は検出できなかった。そこで、次に回路解析を行った。この回路は、A、B、Cの3つのスイッチからなるセクタ回路と呼ばれる信号の伝達を選択する回路であった。回路の動作上には問題がなかったが、スタンバイ状態の時、設計者のミスによりa、a'、b、b'、c、c'の全てがOFF状態に設計されていた。つまり、全てのスイッチがスタンバイ時にOFF状態となっていたのである。その結果、これらのスイッチに接続されているインバーターは不安定なゲート電圧が印加されていたことになる。従って、このバイアス条件によって、貫通電流が流れ、発光していたものと推測された。

設計者によって、回路修正を行い、スタンバイ状態のとき、どのスイッチかをON状態にすることによって、貫通電流は消え、消費電力はかなり下がった。

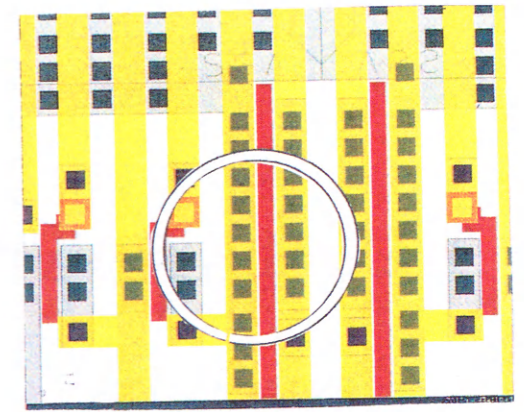
### 5-4-4 本技術の適用範囲

ここでは、応用事例として、プロセス不良を一例、設計不良を一例と2つ紹介したが、図5-11に示すように適用範囲は非常に広い<sup>(1)-(2)</sup>。プロセスの方面では、酸化膜の破壊<sup>(3)-(5)</sup>、接合の破壊はもちろん、ヴィアホールの異常や配線の断線など今後ますます重要になってくる多層配線の不良もまた、この方法で検出されるのである。

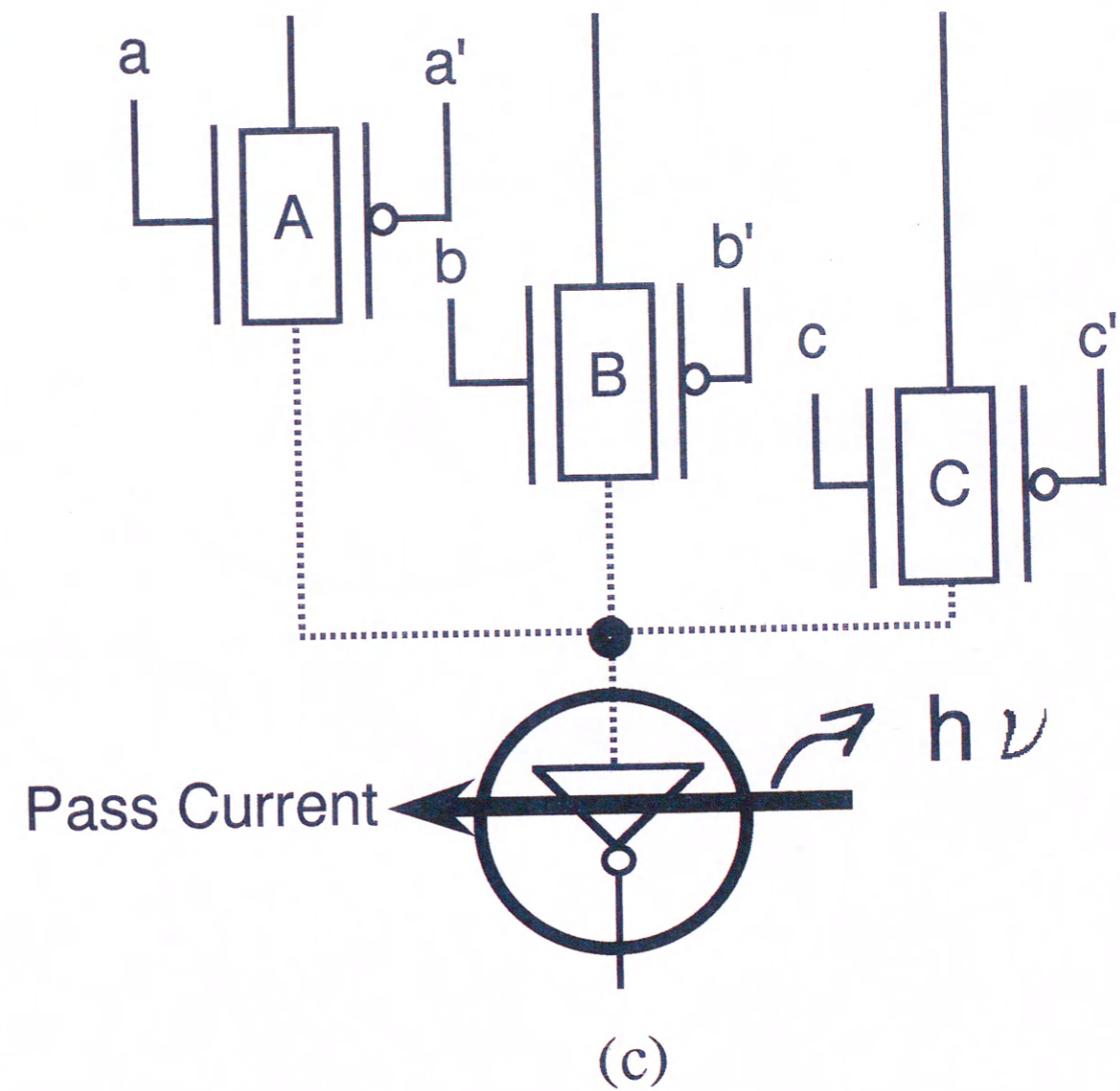
また、設計不良としては、ラッチアップや静電破壊 (ESD) はもちろん、タイミング不良や、貫通電流<sup>(6)</sup>なども、この方法で初めて検出されることがわかった。今後、ますます、適用範囲は拡がり、次世代のプロセス、デバイス開発の上で重要になってくるものと思われる。



(a)



(b)



(c)

図5-10 回路不良事例  
 (a)発光像(b)マスク図(c)回路解析結果



Application for failure analysis

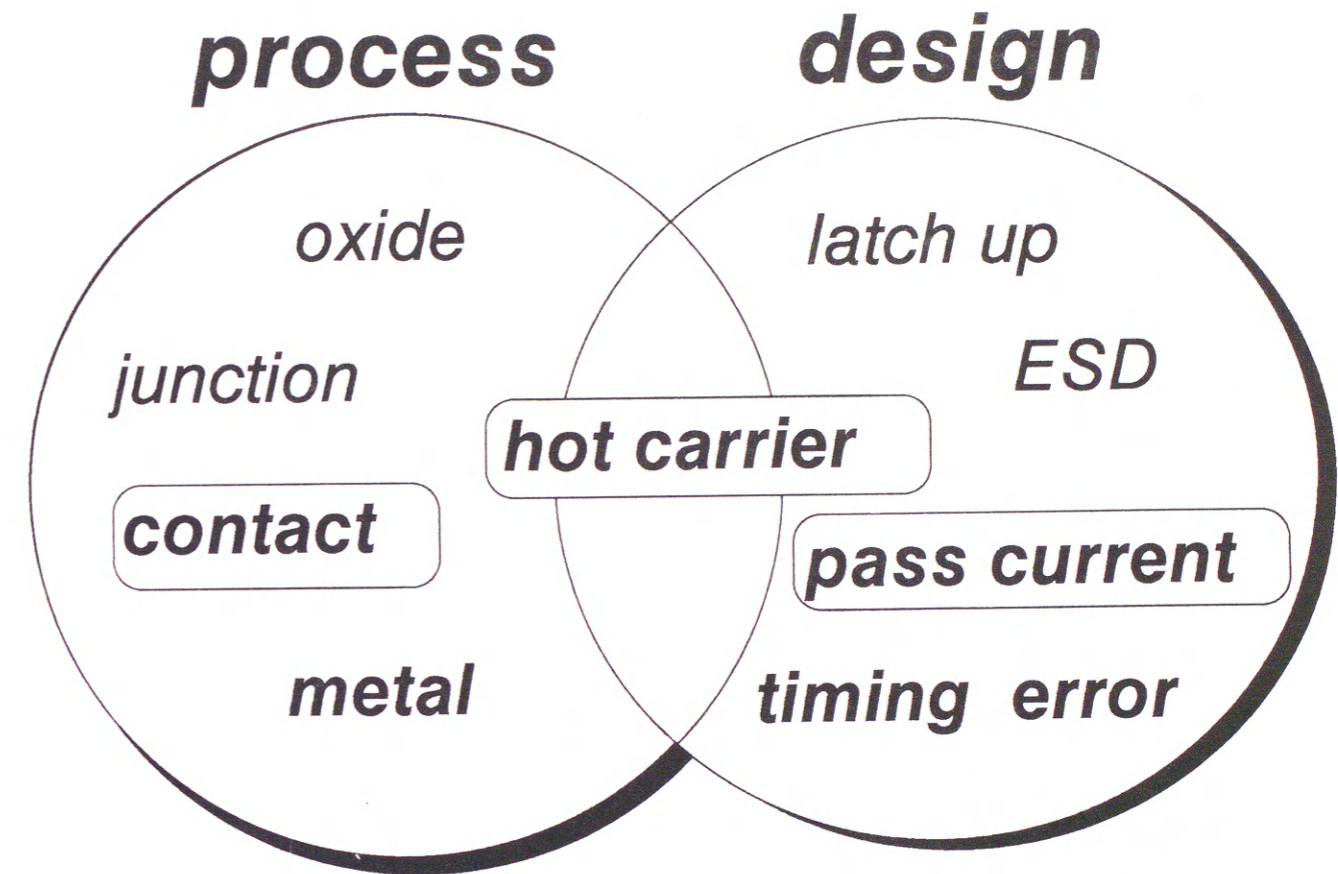


図5-11 発光解析法の応用範囲

#### 5-4-5 本技術の課題

これまで、本技術の有効性について述べてきたが、ここでは課題について説明する。

この技術の課題は2つある。一つは、発光箇所が配線など光を透過しないもので完璧に覆われている場合に検出できない点である。部分的に覆われている場合はポリシリコンなどによって反射して光が漏れて観測できるが、現段階では、不可能である。チップを薄く削り、裏面からの発光をとらえるなどの工夫が今後必要になってくる。

もう一つは、熱のみを発生する不良はとらえられない。なぜなら、この方法では、400nmから1000nm程度の可視領域の光しか検出できないため、熱による赤外の発光は感知しないためである。不良の中には配線のショートなど熱のみ発生するものが含まれるため、液晶法と相補的に使用すればさらに、検出率は向上する。

#### 5-5 結言

本章では、LSIの不良を発光を利用して検出する新しい技術について述べた。本方法はLSI回路テスターと間接的に、発光解析と連結することにより、システムティックにLSI上の不良のトランジスタを検出する方法である。

開発途上のCMOS回路の解析に応用することによって、本方法が今後有望であることを示した。本章では、

- 1) プロセス異常に伴うヴィアホール抵抗不良
- 2) 設計不良に伴うスタンバイ電流不良

の解析を紹介することにより、本技術の有効性を実証した。

#### 5-6 参考文献

- [1] T.Aoki, IEDM Tech. Dig., p.281, 1989.
- [2] I.Ishizuka, M.Tanaka, H.Konishi and H.Ishida, Proceedings of ISTFA, p13, 1990.
- [3] Y.Uraoka, Y.Nakata and H.Esaki, IEEE ICMTS, vol. 2, No.1, p.97, 1989.
- [4] Y.Uraoka, H.Yoshikawa and K.Tsuji, IEEE ICMTS, vol.3, No.1, p.69, 1991.
- [5] Y.Uraoka, N.Tsutsu, Y.Nakata and S.Akiyama, IEEE Trans. Semiconductor Manufacturing, vol.4, No.3, p.183, 1991.
- [6] Y.Uraoka, T.Maeda, I.Miyanaga, K.tsuji and S.Akiyama, IEEE ICMTS, vol.5, No.1, p.100, 1992.
- [7] A.Chynoweth et al., J. Appl. Phys., vol. 29, p.1103, 1958
- [8] Ching-Lang, Neeraj Khurana, IEDM Tech. Dig., p.672, 1986
- [9] N.Khurana et al., IEEE IRPS, p.72, 1987.
- [10] S.Tam et al., IEEE Trans. Electron Devices, vol.ED-31, 1984.
- [11] A.Toriumi et al., IEEE Trans. Electron Devices, vol, ED-34, p.1501, 1987.
- [12] 前田俊則他、電子情報通信学会、ICD91-160、p67、1991.

6-1 緒言

本章は、 $Q_{BD}$ 法と発光解析を用いて、プラズマによるゲート酸化膜ダメージを定量的に解析する方法について述べた。

プラズマを用いたプロセスは、半導体デバイス製造において、幅広く用いられている。ところが、このプラズマプロセスによる信頼性の劣化がクローズアップされつつある。図6-1に示すように、プラズマ工程中では、デバイスはホットレジストを通してプラズマにさらされ、アルミニウムやポリシリコンの”アンテナ”に電荷が蓄積される。この電荷によって、MOSデバイスのゲート酸化膜が破壊する。これは”アンテナ効果”と呼ばれ、ULSI製造上の大きな問題となりつつある。従って、高信頼性プロセス確立のために、プラズマダメージの解析が急務である。

プラズマダメージについてはすでにいくつかの報告がされている。F.Shone<sup>[11]</sup>らは、ゲートキャパシタの耐圧、トランジスタのしきい値電圧や相互コンダクタンスの劣化について議論し、H.Shin<sup>[12-31]</sup>らはプラズマプロセス後の破壊特性をストレス電流から正確に予測した。K.Machida<sup>[14]</sup>は、ECRプラズマデポによるチャージアップについて議論している。ところが、プラズマダメージの定量的な評価法はこれまで確立されていない。

6-2 実験結果

6-2-1 テスト構造と試料作成条件

実験に用いたテスト構造は、n基盤上に作られたポリシリコンゲートをもつトランジスタで、酸化膜は6nmから10nmである。ゲート酸化膜は摂氏900度で、パイロ酸化しており、LOCOS分離を用いた。LOCOS膜厚は500nmである。MOSFETのサイズは、 $W/L=8\mu\text{m}/0.5\mu\text{m}$ である。プラズマダメージを評価するために、アルミエッチングを行った。図6-2に示すように、アルミのアンテナは0から30mmであり、Line/Spaceは $1.0\mu\text{m}/1.0\mu\text{m}$ である。

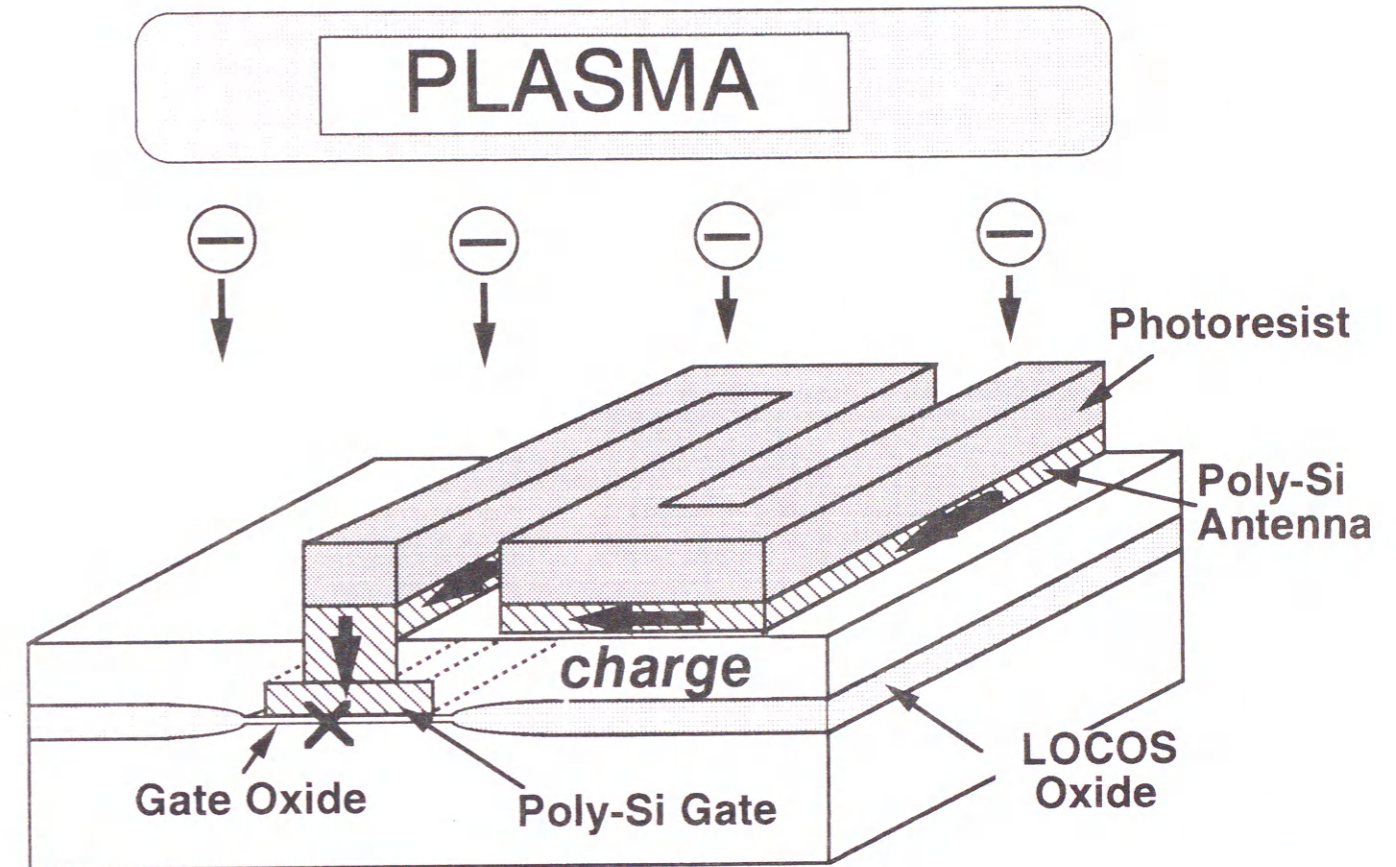


図6-1 アンテナ効果

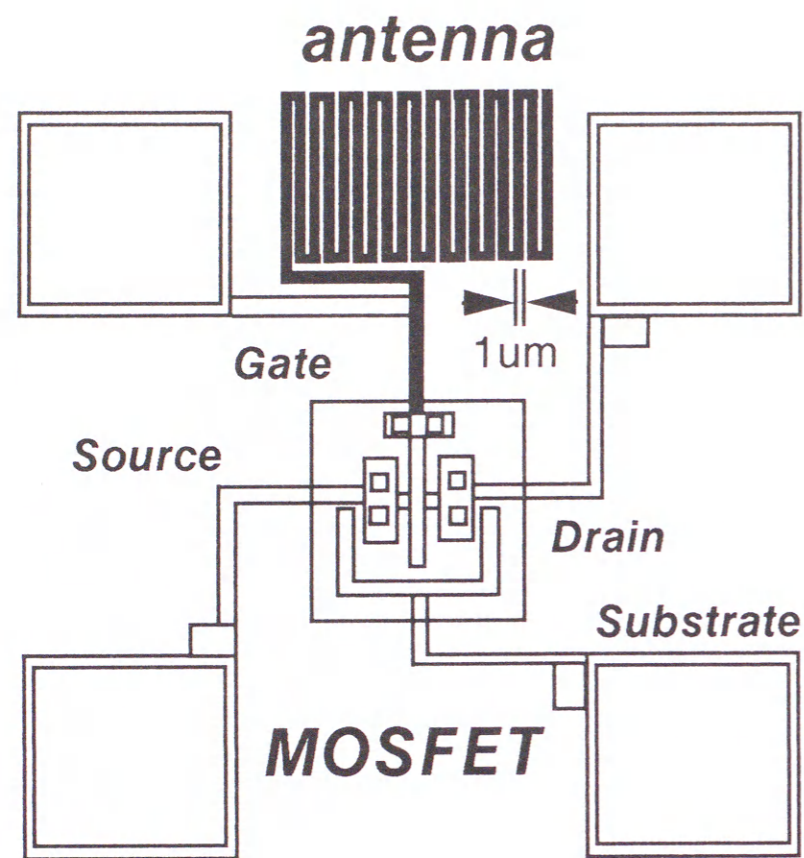


図6-2 テスト構造

### 6-2-2 TDDB特性

定電圧法を用いてTDDB特性を評価した。ストレス電圧は12MV/cm、ストレス温度は摂氏150度である。各々のアンテナ長に対し、142サンプルをウエハーレベルで同時に評価した。図6-3に示すように、アンテナ長の増加に対し、不良は増大した。この結果から、長いアンテナ長をもつMOSFETはTDDBストレスに弱いことがわかる。即ち、アンテナの長いものは、すでにダメージを受けており、TDDBストレスの寿命が短いことが推察される。

この評価を6nmから10nmのさまざまなゲート酸化膜厚のMOSFETに対し実施した。ゲート酸化膜厚の減少に伴い、不良の発生は増加している。従って、アンテナ効果はゲート酸化膜の薄膜化に伴い顕著になることがわかる。

### 6-2-3 トラップ特性

トラップを評価するために、ゲート酸化膜に定電流20mA/cm<sup>2</sup>を印加しながら、図6-4に示すように定電流を維持するための電圧をモニターした。過去の報告<sup>[5]</sup>より、ゲート酸化膜中の電子トラップのために、ゲート電圧が変化することが知られている。注入初期の急峻な変化は、プロセス中で発生した初期トラップ(pre-existing trap)を示し、後の緩やかな変化は電流注入によって新たに発生したトラップを示す。アンテナをもつMOSFETは、アンテナを持たないMOSFETに比べ初期の電圧変化が大きい。従って、アンテナを持つMOSFETは、プラズマダメージによって発生した初期トラップが多くなっていることがわかる。

### 6-2-4 Q<sub>BD</sub>評価方法

定電流20mA/cm<sup>2</sup>を印加してQ<sub>BD</sub> (総破壊電荷量) を測定した。Q<sub>BD</sub>は、第2章でも述べたように破壊されるまで注入できる電荷量で次式で表される。

$$Q_{BD} = \int J_s dt = t_{BD} * J_s \text{ (C/cm}^2\text{)}$$

ここで、t<sub>BD</sub>は、破壊時間であり、J<sub>s</sub>は電流密度である。

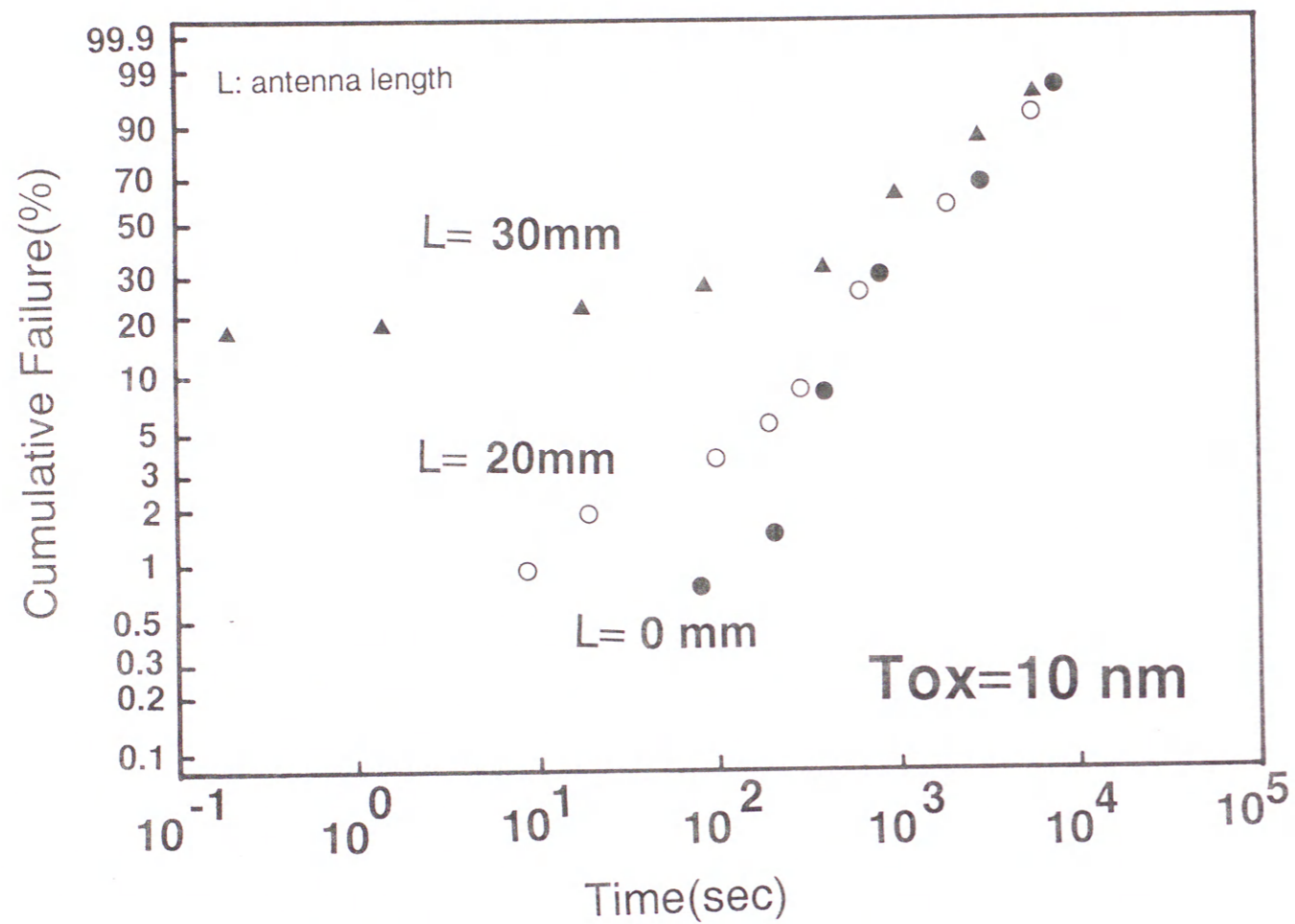


図6-3(a) TDDDB特性( $Tox=10\text{nm}$ )  
 $E_{ox}=12\text{MV/cm}$

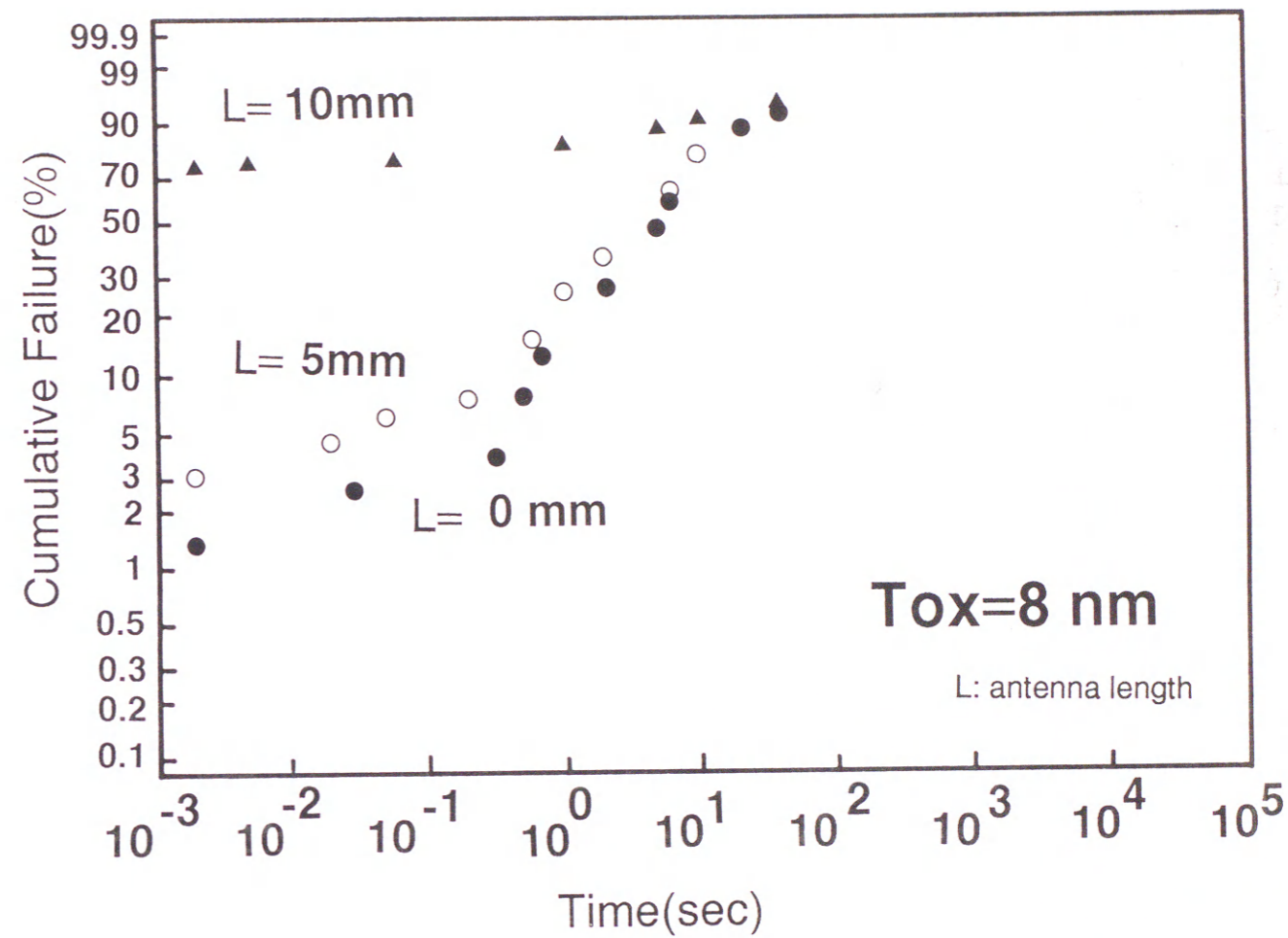


図6-3(b) TDDDB特性( $Tox=8\text{nm}$ )  
 $E_{ox}=12\text{MV/cm}$

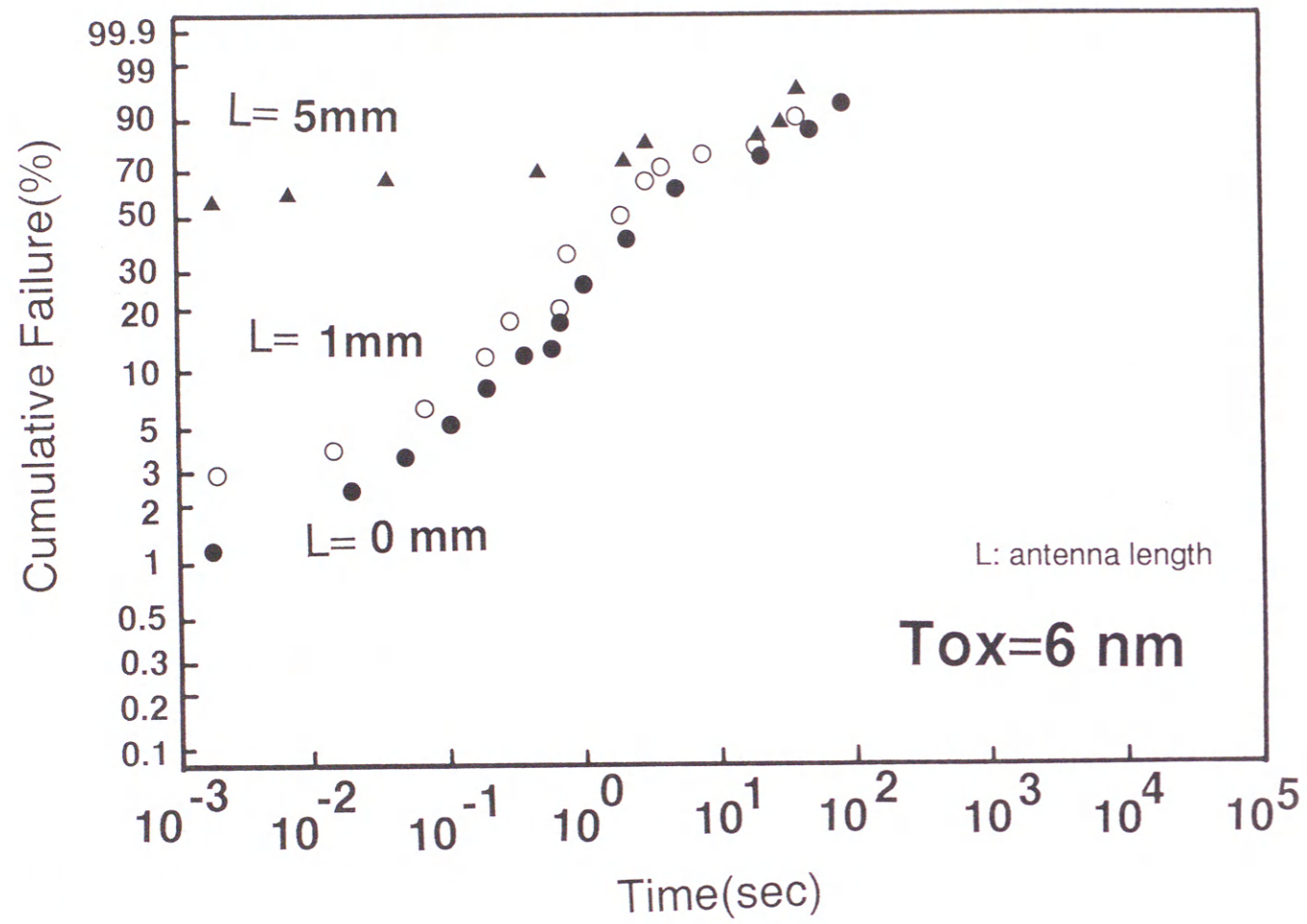


図6-3(c) TDDDB特性( $T_{ox}=6\text{nm}$ )  
 $E_{ox}=12\text{MV/cm}$

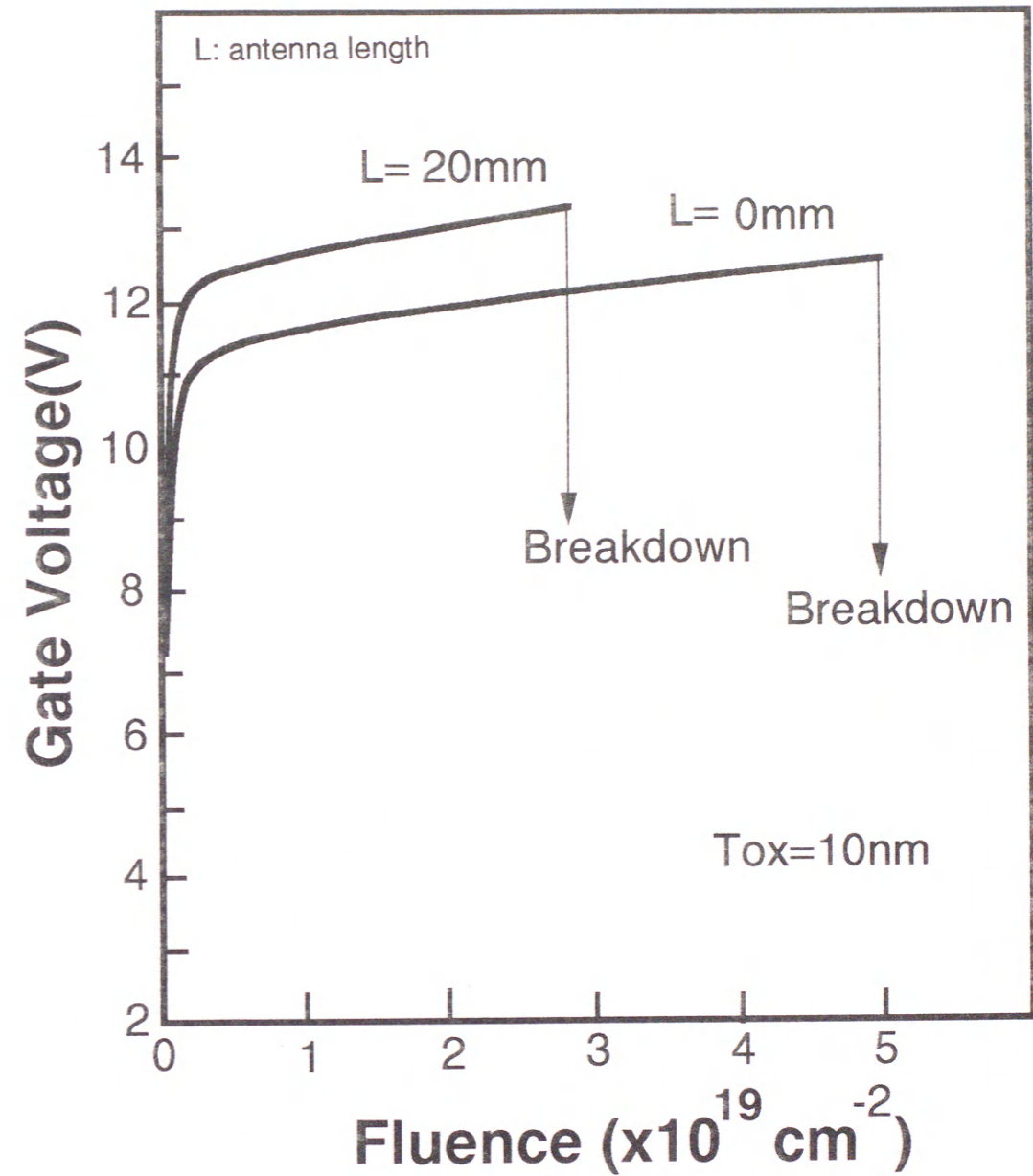


図6-4 トラップ特性( $T_{ox}=10\text{nm}$ )

まず、 $Q_{BD}$ とアンテナ比との関係を調べた。図6-5に示すように、 $Q_{BD}$ はアンテナ比に強く依存し、アンテナ比の増加に伴い減少した。アンテナ比(=R)はゲート面積に対するプラズマにさらされるアンテナの側面積の比とした。アンテナの長さが0でもアンテナ比が存在するのは、電極パッドがあるためである。この図はアンテナ効果によって、プラズマエッチング中に電流注入が生じていることを表している。この $Q_{BD}$ の減少量がプラズマ処理時に注入された電荷量を表し、残りの $Q_{BD}$ がTDDDBストレスに対する寿命を表していると考えられる。

また、 $Q_{BD}$ の分布はアンテナ比の変化に対し、平行である。これは、初期の $Q_{BD}$  (アンテナなし)に関わらず、 $Q_{BD}$ の減少量は一定であることを意味している。即ち、アンテナ効果による減少量は初期の値に無関係であることを示している。これから、 $Q_{BD}$ は、プラズマダメージモニターとして効果的であることをよく示している。

次にプラズマ処理中の $Q_{BD}$ の変化を調べた。図6-6に示すようにアンテナのないMOSFETはプラズマ処理中、ほとんど $Q_{BD}$ の変化は見られなかった。一方、アンテナを持つMOSFETは、オーバーエッチングの開始に伴い、 $Q_{BD}$ は減少した。これより $Q_{BD}$ の劣化、つまり、酸化膜のダメージはメインエッチングではなくオーバーエッチング時に発生することが確認された。この結果は、プロセスダメージを低減する上で非常に重要である。これについては6-3で述べる。

次に、図6-7に示すように酸化膜厚を変えて $Q_{BD}$ を測定した。初期の $Q_{BD}$  (アンテナなし)は酸化膜厚に依存し、酸化膜厚の減少に伴い、減少した。ここでも、薄膜化に伴って、プラズマダメージに対して弱くなることを示している。しかし、 $Q_{BD}$ の減少率(傾き)は膜厚に依存していないことから、ダメージの受けやすさそのものは変わらない。従って、初期の $Q_{BD}$ が大きい程、長いアンテナ長まで保証できる。

このように、プラズマダメージの評価に $Q_{BD}$ 法による解析結果が有効であることがわかる。

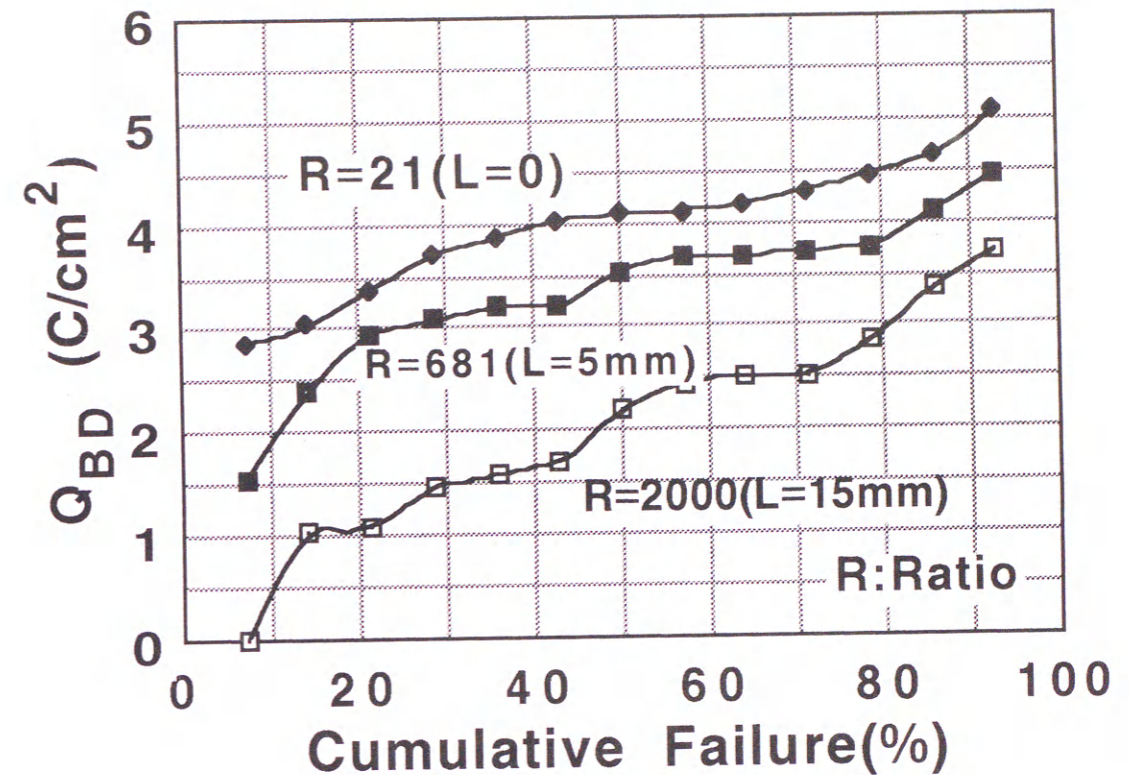


図6-5  $Q_{BD}$ のアンテナ比(=R)依存性  
R=アンテナ面積/ゲート面積

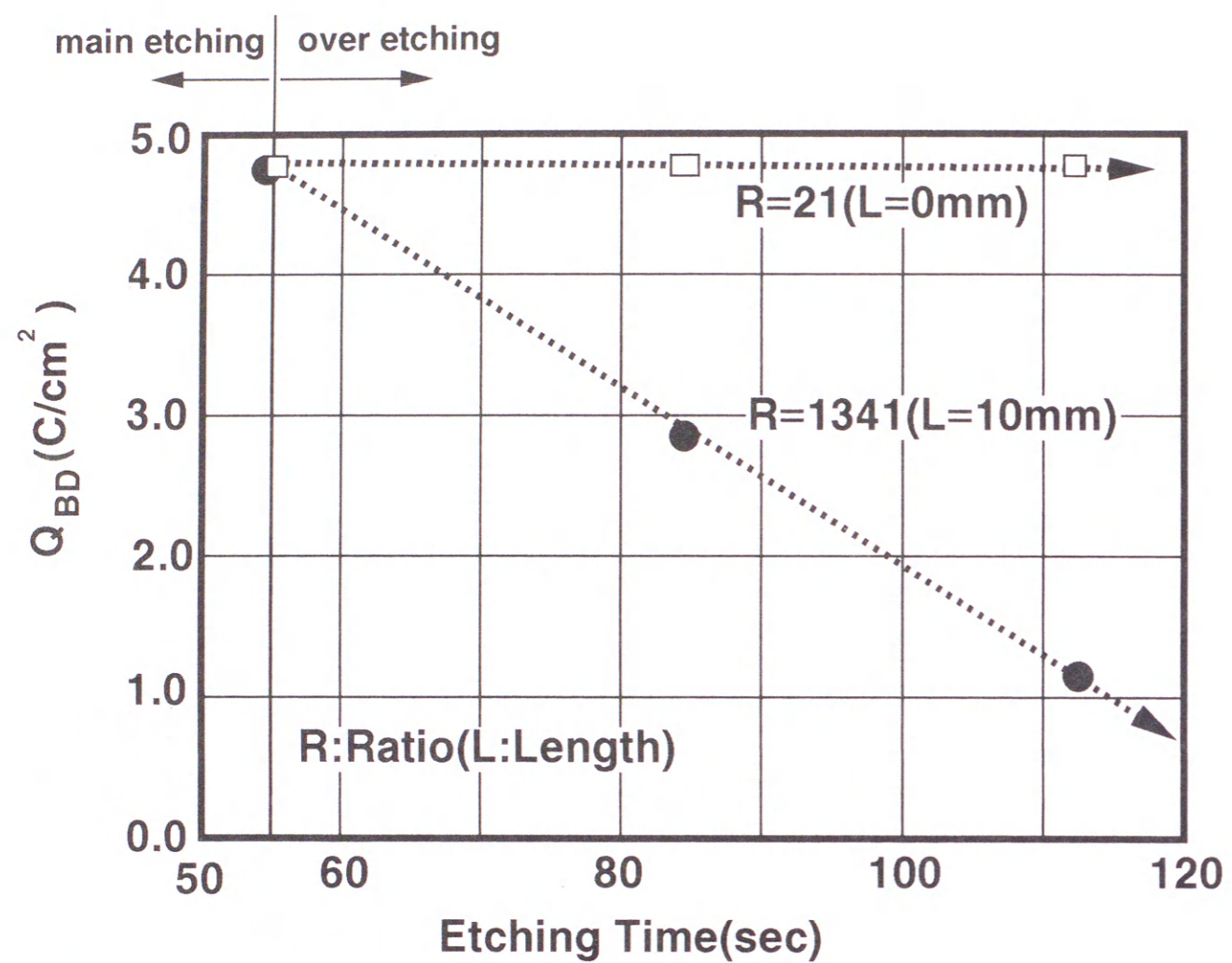


図6-6 エッチング処理時の $Q_{BD}$ の変化

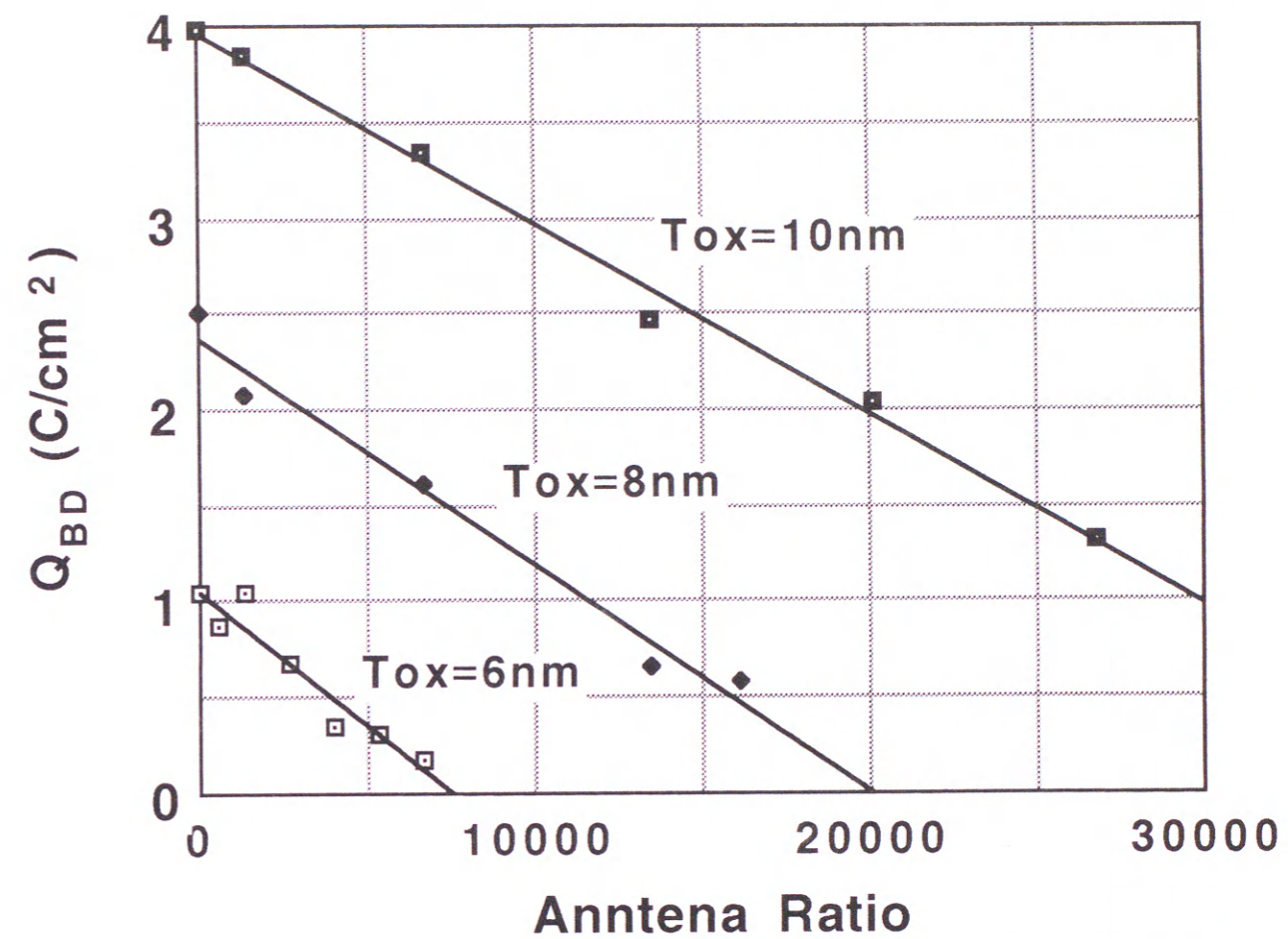


図6-7  $Q_{BD}$ の酸化膜厚依存性



### 6-2-5 発光解析結果

プラズマダメージによって発生したゲート酸化膜の破壊箇所を発光解析によって解析した。第2章で述べたようにTDDDBストレスによる破壊検出に発光解析が有効である。解析は、KLA社のシステム8600を用いた。空間分解能は $0.5\mu\text{m}$ である。

その結果、図6-8に示すように、破壊場所では強い発光が見られた。発光の累積時間は約10秒程度である。図6-9に示すように顕微鏡像と発光像を重ね合わせることにより、破壊がLOCOSエッジで発生することが確認できた。破壊箇所は、 $Q_{BD}$ 値や酸化膜厚に依存せずLOCOSエッジであった。

### 6-2-6 TEM解析

そこで、LOCOS構造をTEM (Transmission Electron Microscopy)により観察した。観察にはシステムEM002B(TOPCON)を用い、加速電圧は200KeVであった。図6-10に示すように、LOCOSエッジで、"thinning"が見られた。そこで、"thinning"を定量的にToxmin/Toxtypで評価した。Toxminは薄膜化した箇所での膜厚、Toxtypは平均膜厚である。従って、Toxmin/Toxtypが小さいほど、"thinning"が顕著であることがいえる。その結果、12nmから6nmまで酸化膜厚を変化させたところ、"thinning"は起こっているが、図6-11に示すように膜厚が薄くなるに従い顕著になっていることが判る。

$Q_{BD}$ の初期値(アンテナなし)が酸化膜が薄くなるに従い小さくなっているのは、この"thinning"によるものではないかと思われる。

### 6-3 討論

図6-6は低ダメージのプラズマプロセスの実現に2つに重要な情報を提供する。

1つは、アンテナのついたテスト構造を用いて $Q_{BD}$ を評価すれば、プラズマ条件が最適化できるということである。図6-5に示すように、劣化がオーバーエッチング時に発生している。従って、メインエッチングの条件はダメージに無関係である。ダメージを低減するためにはオーバーエッチング

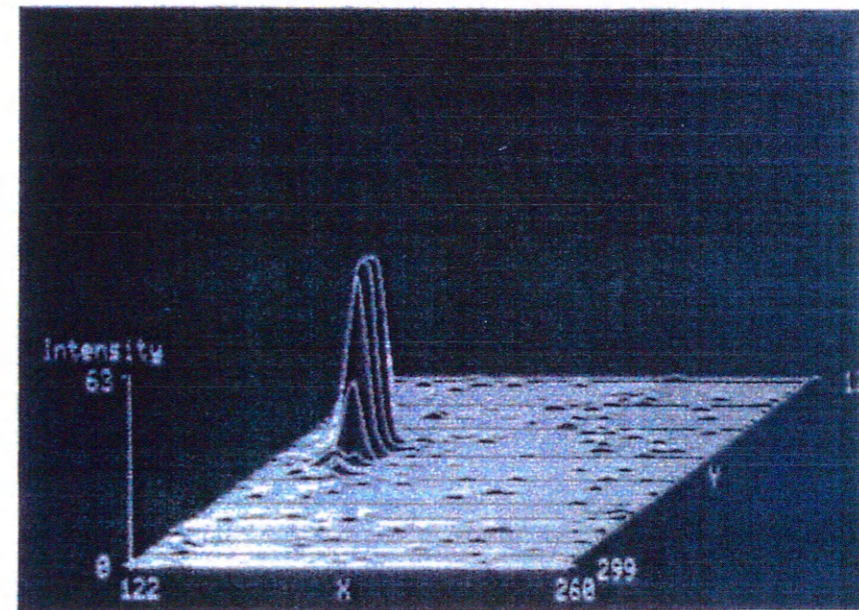


図6-8 破壊箇所での発光像

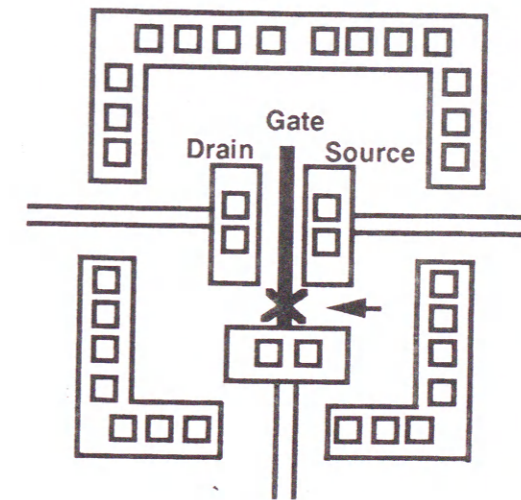
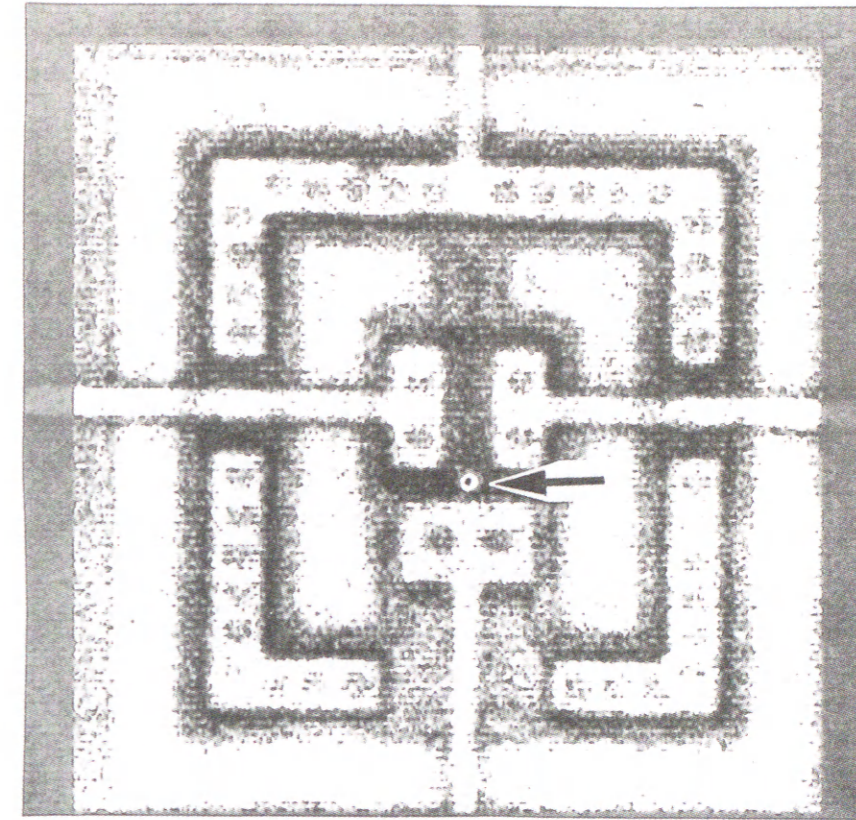


図6-9 プラズマダメージによる絶縁破壊箇所

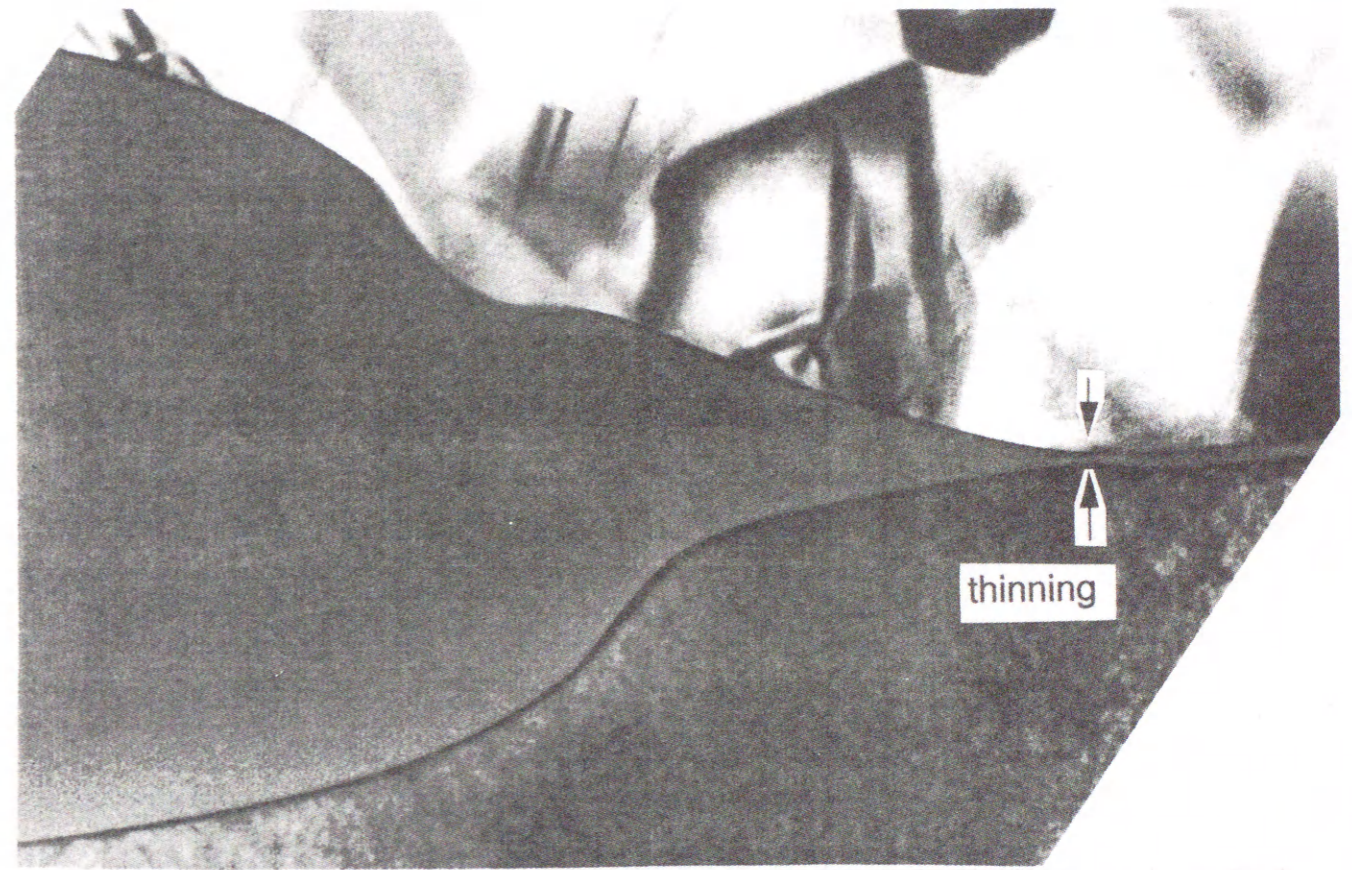


図6-10 ゲート酸化膜のTEM観察 ( $10^5$ 倍)

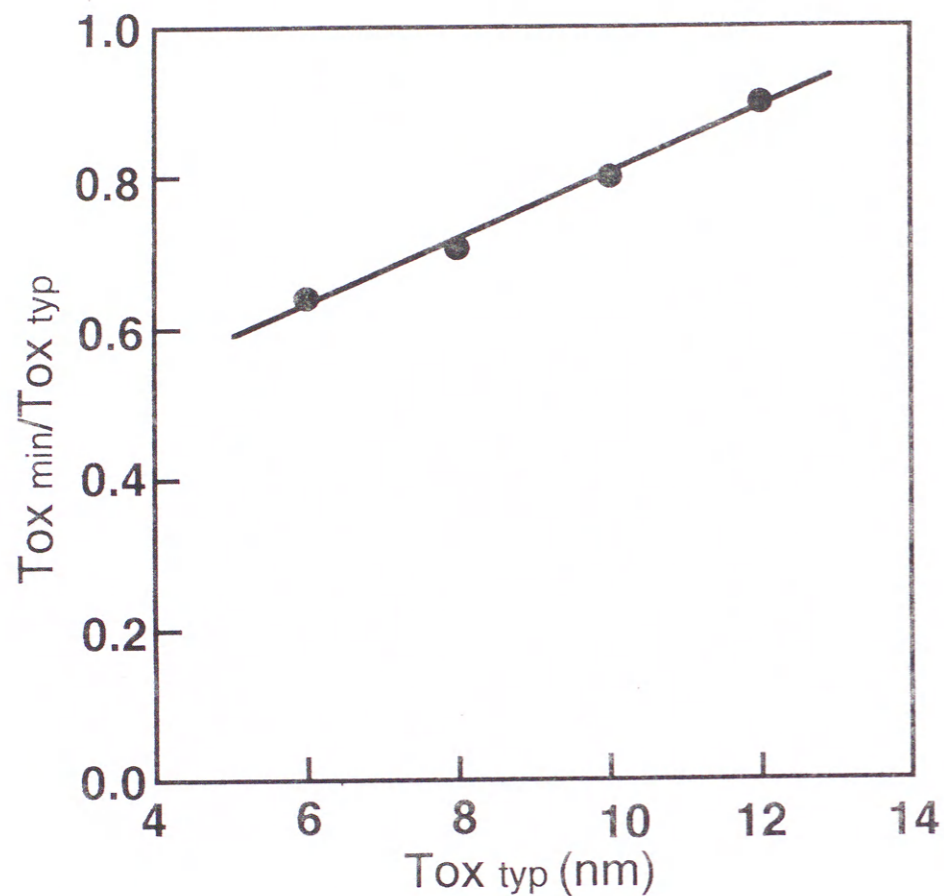


図6-11 thinning効果の膜厚依存性

の条件のみを最適化すればよい。

もう一つは、LOCOS構造を改善することである。発光解析結果とTEM解析結果が示すように、初期の $Q_{BD}$ はLOCOS構造に依存する。アンテナ長に対する $Q_{BD}$ の減少率は膜厚に依存せず同じであるから、長いアンテナをもつMOSFETを保証するためには、LOCOS構造を改善すべきである。

#### 6-4 結論

さまざまなアンテナ長をもつテスト構造を用いてプラズマプロセスのゲート酸化膜へのダメージを調べた結果、有益な知見を得た。

(1) 破壊総電荷量 $Q_{BD}$ をモニターすることにより、定量的にプラズマダメージを評価することが可能である。

(2)  $Q_{BD}$ 測定から、酸化膜劣化はメインエッチングではなくオーバーエッチング時に発生する。

(3) 破壊場所を発光解析を用いて調べた。プラズマダメージによる劣化はLOCOSエッジでおこる。

(4) TEMによるLOCOS構造の解析を行った結果、ゲート酸化膜の薄膜化に伴い"thinning"効果が顕著になる。

(5) 長いアンテナをもつMOSFETを保証するためには、LOCOS構造を改善すべきである。

## 6-5 参考文献

- [1]F.Shone, K.Wu, J.Shaw, E.Hokelek, S.Mittel and A.Haranahalli, VLSI symp, p73, 1989.
- [2]H.Shin, C.C.King and C.Hu, IEEE/IRPS,p 37,1992.
- [3]H.Shin and C.Hu, IEEE E.D.LVol.12, No.8, p404,1991.
- [4]K.Machida, M.Itsumi and K.Minegishi, Proc. of MPC , p138, 1992.
- [5]M-S Liang, IEEE/IEDM, p396,1981.
- [6]Y.Uraoka, H.Yoshikawa, K.Tsuji, IEEE/ICMTS, Vol.4, No.1, p69, 1991.
- [7]Y.Uraoka, N.Tsutsu,Y.Nakata and S.Akiyama, IEEE Trans Semicond. Manufacturing, Vol.4, No.3, p183, 1991.
- [8]W.M.Greene, J.B.Kreger and G.Kooi, J. Vac. Sci. & Technol. B, p.366, 1991.
- [9]J.F.Rembetski, Y.D.Chan and E.Boden, 1992 Dry Process Symp., p.27, 1992.
- [10]K.Hashimoto, D.Matsunaga and K.Kanazawa, 1991 Dry Process Symp., p.93, 1991.
- [11]M.M. Moslehi and K.C.Saraswat, IEDM Tech. Dig., p.157, 1984.
- [12]K.Eriguchi, Y.Uraoka, H.Nakagawa, T.Tamaki, M.Kubota and N.Nomura, Ext. Abstr. 40th Spring Meet., Japan Society of Applied Physics and Related Society, Tokyo, March.

## 第7章 結論

高速、低消費電力といった今後もさらに必要とされる高付加価値の半導体プロセス/デバイスの開発は高い信頼性に支えられなければならない。つまり、プロセス/デバイスの進歩に伴って、この信頼性評価技術自身も進歩しなければならない。ところが、従来の電气的評価技術は限界に近づきつつあった。そこで、この壁を打ち破ろうと試みたのが本研究の目的である。

本研究は、信頼性的な不良箇所からの微弱な発光をとらえて、高信頼性化の重要な情報を得んとする新しい研究である。以下の点から、本研究の有用性を実証した。

### (1) ゲート酸化膜の信頼性評価技術

(1.1) 電流注入した時の発光の面内分布と破壊総電荷量 $Q_{BD}$ の関係を調べた結果、発光の面内分布の不均一性が $Q_{BD}$ の低下の原因となる。

(1.2) 発光の面内分布をモニターしながら、ストレス条件を決定できる。

(1.3) 初期耐圧特性やTDDDB特性における不良モード(A,B,Cモード、ランダム不良、真性不良)と、発光を利用して検出した面内破壊場所の間に深い関係がある。

(1.4) ゲート酸化膜の信頼性において最も重要なランダム不良は、ゲート面内で発生する。

(1.5) TDDDB真性破壊は、LOCOSエッジでの電流の集中が原因である。真性寿命はLOCOS形成にかかわる工程を改善すべきである。

### (2) 発光量と劣化量の関係

(2.1) ホットキャリア効果による相互コンダクタスの劣化は短波長ほど発光量と相関が強い。

(2.2) ホットキャリア劣化は200nmの発光量と関係が深い。

(2.3) 開発途上のSRAMに応用し、劣化のきびしいトランジスタを検出した。

(2.4) 回路解析の結果、200nmの発光量の多いトランジスタには、ホッ

トキャリア劣化のきびしいバイアスが印加されていることがわかった。

### (3) AC動作状態での発光

(3.1) 発光量はAC動作状態でも、Maxwell-Boltzmann分布に従う。

(3.2) 200nmの発光量とホットキャリア寿命との関係を調べた結果、200nmの発光とホットキャリア寿命の関係にユニバーサルな関係が存在することを見い出した。

(3.3) ユニバーサルカーブを用いて発光量から、定量的に寿命が推定できることを示した。

(3.4) この方法を開発途上のロジック用LSIに応用し、LSI上のMOSFETの寿命推定を行った。

### (4) 発光を利用した不良解析技術

(4.1) LSIの不良を発光を利用して検出する新しい技術を開発した。本方法はLSI回路テスターと間接的に、発光解析と連結することにより、システムティックにLSI上の不良のトランジスタを検出する方法である。

(4.2) 開発途上のCMOS回路の解析に応用することによって、本方法が今後有望であることを示した。

(4.3) プロセス異常に伴うヴィアホール抵抗不良及び設計不良に伴うスタンバイ電流不良の解析を紹介することにより、本技術の有効性を実証した。

### (5) 発光を利用したプロセスダメージ評価技術

さまざまなアンテナ長をもつテスト構造を用いてプラズマプロセスのゲート酸化膜へのダメージを調べた結果、有益な知見を得た。

(5.1) 破壊総電荷量 $Q_{BD}$ をモニターすることにより、定量的にプラズマダメージを評価することが可能である。

(5.2)  $Q_{BD}$ 測定から、酸化膜劣化はメインエッチングではなくオーバーエッチング時に発生する。

(5.3) 破壊場所を発光解析を用いて調べた結果、プラズマダメージによる

劣化はLOCOSエッジで起こる。長いアンテナをもつMOSFETを保証するためには、LOCOS構造を改善すべきである。

以上に述べてきたように、発光現象を利用した本技術は、幅広い分野において、有効性が確認された。今後のプロセス/デバイス開発の上で必要不可欠の武器になるであろう。

## 謝辞

本論文に関する研究を進めるにあたり、学生時代より終始懇切なる御指導を賜った豊橋技術科学大学電気電子工学系 服部和雄助教授に感謝いたします。

本論文をまとめるにあたり、有益な御討論、御助言を頂いた豊橋技術科学大学電気電子工学系 英貢教授、同系 藤井壽崇教授、同大学生産システム工学系 北川孟教授に感謝いたします。

本研究を遂行するにあたり、協同研究者として協力していただいた筒女史、中田技師に感謝します。

本研究を遂行するにあたり激励していただいた松下電器産業株式会社半導体研究センター 竹本センター長、井上部長、秋山部長、畑田部長、辻部長、松下電子工業 京都研究所 江崎所長、富山県立大学 大曾根教授、岩田助手に深く感謝します。

本研究を遂行するにあたり、暖かく見守ってくれた半導体研究センター信頼性グループ、森井技師、宮永技師、奥田技師、岡田女史、宮永女史（旧姓村井）、山田社員に深く感謝します。

また、日頃より信頼性評価全般にわたって、御指導いただいた松下電子工業 品質技術部 和田課長、京都研究所、サポート技術部 辰馬室長に感謝します。

本研究を遂行するにあたり、有益な議論をしていただいた半導体研究センター 小田中主任技師、森田主任技師、前田技師、長永技師、広木技師、江利口社員、赤松女史に深く感謝します。

本研究を遂行するにあたり、装置、治具、ソフト関連で御協力いただいた浜松フォトニクス（株）の犬塚氏、小栗氏、東京エレクトロンの早田氏、上村氏、フィルテック（株）の西村社長、マイクロ電子（株）大野社長、マイクロプローブ（株）の鈴木社長、三和無線測器（株）の服部氏、高瀬氏、奈良氏、アトシステム（株）の赤井社長に感謝します。

最後に研究に対する理解と共に常に支援をつづけてくれた母、祖母ならびに妻、また一緒に過ごすべき多くの時間を研究に費やすことを許してくれた泰之、芽生に感謝します。

## 研究業績

### 論文 (First Name)

- (1) Yukiharu URAOKA, Noriko TSUTSU, Yoshiro NAKATA and Shigenobu AKIYAMA: "Evaluation Technology of VLSI Reliability Using Hot Carrier Luminescence", IEEE Transactions on Semiconductor Manufacturing, Vol.4, No.3, (1991) p.183.
- (2) Yukiharu URAOKA, Noriko TSUTSU and Shigenobu AKIYAMA: "Photon Spectrum Analysis of Hot Carrier Degradation on NMOSFET", Semiconductor Science and Technology, 7(1992) p.576.
- (3) Yukiharu URAOKA and Kazuhiko TSUJI: "A New Technique for Evaluating Gate Oxide Reliability Using a Photon Emission Method", IEICE, VOL.E76-C,NO.4, (1993), p.519.
- (4) Yukiharu URAOKA, Noriko TSUTSU, Tomoyuki MORII and Kazuhiko TSUJI, "Hot Carrier Evaluation of MOSFETs in ULSI circuits Using Photon Emission Method", IEEE Transactions on Electron Devices, VOL.40,NO.8,(1993) p.1426.
- (5) Yukiharu URAOKA, Isao MIYANAGA, Kazuhiko TSUJI and Shigenobu AKIYAMA, "Failure Analysis of ULSI Circuit Using Photon Emission", IEEE Transactions on Semiconductor Manufacturing, (in press).
- (6) Yukiharu URAOKA, Koji ERIGUCHI, Tokuhiko TAMAKI and Kazuhiko TSUJI, "Gate Oxide damage by Plasma Process", IEEE Semiconductor Manufacturing, vol.4, November, 1993(in press).
- (7) Yukiharu URAOKA, Koji ERIGUCHI, Tokuhiko TAMAKI and Kazuhiko TSUJI, "Evaluation of Gate Oxide Damage by Plasma Process", IEICE TRANS. ELECTRON., E77-C, NO3, p.453, 1994.
- (8) Yukiharu URAOKA, Noriko TSUTSU, Yoshiro NAKATA, Shigenobu AKIYAMA, "Evaluation Technology of VLSI Reliability Using Hot Carrier Luminescence" National Technical Report Vol.36, No.4, p.477, 1990.

### 国際会議 (First Name)

- (1) Yukiharu URAOKA, Noriko TSUTSU, Tomoyuki MORI, Yoshiro NAKATA and Hideya ESAKI: "Evaluation Technique of Gate Oxide Reliability With Electrical and Optical Measurements", IEEE Int. Conference on Microelectronic Test Structures, Vol. 2, No.1(1989), p.97.
- (2) Yukiharu URAOKA, Hirohito YOSHIKAWA, Noriko TSUTSU and Shigenobu AKIYAMA: "Evaluation of Gate Oxide Reliability Using Luminescence Method", IEEE Int. Conference on Microelectronic Test Structures, Vol. 4, No.1(1991), p.69.
- (3) Yukiharu URAOKA, Noriko TSUTSU and Shigenobu AKIYAMA: "Photon Spectrum Analysis of Hot Carrier Degradation in NMOSFETs", Seventh International Conference on Hot Carriers in Semiconductors(HCIS-7), 1991, p.164.
- (4) Yukiharu URAOKA, Toshinori MAEDA, Isao MIYANAGA and Kazuhiko TSUJI: "New Failure Analysis Technique of ULSIs Using Photon Emission Method", IEEE Int. Conference on Microelectronic Test Structures, Vol. 5, No.1(1992), p.100.
- (5) Yukiharu URAOKA, Koji ERIGUCHI, Tokuhiko TAMAKI and Kazuhiko TSUJI, "Evaluation Technique of Gate Oxide Damage", IEEE Int. Conference on Microelectronic Test Structures, Vol. 6, No.1(1993), p.149.
- (6) Yukiharu URAOKA: "Hot Carriers and Oxide Breakdown", IEEE Int. Conference on Microelectronic Test Structures, Test Structure Tutorial, (1993).



## 国際会議および論文 (Co-Author)

(1)Noriko TSUTSU, Yukiharu URAOKA, Yoshiro NAKATA, Sigenobu AKIYAMA and Hideya ESAKI:"New Detection Method of Hot Carrier Degradation using Photon Spectrum Analysis of Weak Luminescence on CMOS VLSI", IEEE Int. Conference on Microelectronic Test Structures, Vol. 3, No.1(1990), p.143.

(2)Noriko TSUTSU, Yukiharu URAOKA, Tomoyuki MORII and Kazuhiko TSUJI:"Life Time Evaluation of MOSFET in ULSIs using Photon Emission Method", IEEE Int. Conference on Microelectronic Test Structures, Vol. 5, No.1(1992), p.94.

(3)Takashi OHSONE, Hideyuki IWATA, Yukiharu URAOKA and Shinji ODANAKA:"A Two-Dimensional Analysis of Hot-Carrier Photoemission from LOCOS- and Trench-Isolated MOSFETs", IEDM Tech. Dig., (1992), p.527.

(4)Takashi OHSONE, Hideyuki IWATA, Yukiharu URAOKA and Shinji ODANAKA: "A Two-Dimensional Analysis of Hot-Carrier Photoemission from LOCOS- and Trench-Isolated MOSFETs", Technical Report of IEICE, SDM93-34, (1993), P.16.

(5) Kazuo HATTORI, Yukiharu URAOKA and Toshitaka FUJII:" Effects of deep Fe acceptors on the impedance of a semi-insulating n-type Fe-doped InP Schottky barrier", Journal of Applied Physics, Vol. 58, No.12(1985), p.4626.

(6) Tomoyuki MORII, Ryouko MURAI, Yukiharu URAOKA, and K.TSUJI,"New degradation Phenomenon under Low Drain Voltage Stress in pMOSFETs", Extended Abstracts of the 1993 International Conference on Solid State Devices and materials, Makuhari, 1993, p.838.

(7) Tomoyuki MORII, Ryouko MURAI, Yukiharu URAOKA, and K.TSUJI, "New degradation Phenomenon under Low Drain Voltage Stress in pMOSFETs", JJAP

(8)Koji ERIGUCHI, Yukiharu URAOKA, Hideo NAKAGAWA, Tokuhiko TAMAKI, Masafumi KUBOTA, and Noboru NOMURA, "Quantitative Evaluation of Gate Oxide damage during Plasma Processing using Antenna

-Structure Capacitors", JJAP

(9)Takashi.OHZONE, Hideyuki. IWATA,Yukiharu URAOKA, and Shinji ODANAKA, "Photon-Energy Distribution of hot-carrier Photoemission from LOCOS and Trench-Isolated MOSFETs", Solid-State Electronics, Vol.37, No.7, p.1421-1428, 1994.

## 国内学会

- (1) ” 電流ストレスによる微細Al/Siコンタクト抵抗の経時劣化”  
浦岡行治、中田義朗、江崎豪弥、  
電子情報通信学会、R87-33.
- (2) ” 発光を用いたホットキャリア評価”  
浦岡行治、筒野里子、中田義朗、秋山重信  
REAJ第3回シンポジウム、p 64-69. 1990.
- (3) ” 発光を用いたホットキャリア評価”  
浦岡行治、筒野里子、中田義朗、秋山重信  
電子情報通信学会、SDM90-39, p.19-p24, 1990.
- (4) ” インバータ動作におけるホットキャリア劣化”  
森井知行、浦岡行治、秋山重信  
電子情報通信学会 R90-30、p 43-p 46、1990.
- (5) ” LP-CVD-SiN膜によるゲート酸化膜の信頼性向上”  
浦岡行治、筒野里子、森井知行、上田哲也、中田義朗、江崎豪弥  
電子情報通信学会 SDM88-42、p 13-p-18、1988.
- (6) ” 高ゲートストレス下におけるPMOSFETの劣化現象”  
森井知行、宮永良子、浦岡行治、辻和彦  
電子情報通信学会、R93-41、p 27-31、1993.
- (7) ” CMOSインバータ回路における基板電流特性及び素子劣化”  
森井知行、浦岡行治、中田義朗、江崎豪弥  
61年秋期応用物理学会、29 P-Q-7.
- (8) ” 微細Al/Siコンタクト抵抗の電流ストレスによる経時劣化”  
浦岡行治、森井知行、中田義朗、江崎豪弥  
61年秋期応用物理学会、30 p-M-12.
- (9) ” 電流ストレスによるAl/Siコンタクトの経時変化”  
浦岡行治、中田義朗、江崎豪弥  
1987年秋季応用物理学会、18 p-Q 16/II.
- (10) ” 熱圧縮応力を利用したスルーホール形成技術”  
宮永績、奥田寧、浦岡行治、辻和彦  
1991年秋季応用物理学会 11aD/II.
- (11) ” プラズマダメージによるゲート酸化膜の信頼性評価方法”  
浦岡行治、江利口浩二、玉置徳彦、辻和彦  
半導体・集積回路技術、第44回シンポジウム、p 139-144、1993年
- (12) ” QBD (総破壊電荷量) 測定によるアンテナダメージ評価”  
江利口浩二、浦岡行治、中川秀夫、玉置徳彦  
久保田正文、野村登  
第40回半導体・集積回路技術シンポジウム、P 42-47、1993年
- (13) ” アンテナ効果ダメージによるトランジスタ劣化”  
江利口浩二、浦岡行治、中川秀夫、玉置徳彦  
久保田正文、野村登  
1994年春季応用物理学会、30aZG/II
- (14) ” Nch MOSFETの静電破壊とサージ印加モデルとの相関”  
宮永績、栗本一実、堀敦、浦岡行治、辻和彦  
1993年春季応用物理学会、30aZT/II

## 表彰

(1) BEST PAPER AWARD(最優秀論文賞)

IEEE/ICMTS'92 国際学会

"New Failure Analysis Technique of ULSI Circuits Photon Emission Method"

(2) MERITORIOUS PAPER AWARD (優秀論文賞)

IEEE/ICMTS'90 国際学会

"New Detection Method of Hot Carrier Degradation Using Photon Spectrum Analysis of Weak Luminescence on CMOS VLSI"

(3) 技術社長賞(1993.7)

”発光現象応用超LSI信頼性評価技術”

