

III-V族化合物半導体 (InP, InSb,
GaAs) における MIS 構造の研究

1993年1月

博士 (工学)

鳥居 泰伸

豊橋技術科学大学

①

Ⅲ - V 族化合物半導体 (I n P , I n S b ,
G a A s) における M I S 構造の研究

1 9 9 3 年 1 月

博士 (工 学)

鳥 居 泰 伸

豊 橋 技 術 科 学 大 学

Ⅲ－Ⅴ族化合物半導体（InP, InSb, GaAs）におけるMIS構造の研究

和文要旨

金属－絶縁体－半導体（MIS）構造は半導体をデバイス化する上で極めて重要である。今までにⅢ－Ⅴ族化合物半導体であるInP, InSb, GaAs上に様々な絶縁膜の作製が試みられてきた。Ⅲ－Ⅴ族化合物半導体は共有結合とイオン結合の両面があり、Si等の共有結合に比べて結合が弱い。そのため化合物半導体上に絶縁膜を形成する際に、絶縁体－半導体界面付近での化学量論的な組成や原子配列の乱れが生じ易い。このためMIS界面準位密度も高くなり、電気的不安定性を生じ、Si金属－酸化物－半導体（MOS）界面のような良好なMIS構造を作ることが極めて困難になっている。本研究では、従来のもよりも優れた特性を持つMIS構造を作製することと、作製したMIS構造の電気的特性を詳細に調べることを目的とした。

InP上には InP_xO_y 膜および $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜、InSb上には $\text{SiIn}_x\text{P}_y\text{O}_z$ 膜、GaAs上には $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ 膜というリン酸化物を中心とした絶縁膜を形成した。一般にリン酸化物は不純物原子やイオンをリンと酸素の網目構造内で安定に固定化する傾向がある。基板の損傷を少なくするために、低温かつ熱平衡に近い状態でリン酸化物の形成を行った。MIS構造の電気的特性をInP, GaAsでは室温で、InSbでは100Kで測定した。いずれも高抵抗

率、低損失の良好な絶縁膜が得られた。界面準位密度は1MHz容量-電圧(C-V)特性に対してTerman法を、quasi-static C-V特性に対してBerglund法を適用して求めた。InP MIS構造では、表面電位が伝導帯から禁制帯中央の付近までは容易に変化させることができた。InSbではバントギャップが狭いので、Fermi-Dirac統計および伝導帯の非放物線性を考慮して界面準位を解析した。一方GaAs MIS構造では、伝導帯下端から禁制帯中央にかけて高密度の界面準位が存在した。しかし、強い負バイアスの印加により強反転状態が実現でき、正確な界面準位の評価ができた。

さらに界面準位の動的性質が反映されるMISのアドミタンス測定を行った。このアドミタンスの解析を上述のC-V特性の解析と組み合わせて、応答時定数による界面準位の分類を行った。そしてInP, InSb MIS構造に対しては、20Hzから10kHzほどの周波数領域で応答する界面準位の絶縁膜中への広がり電子捕獲断面積を求めた。

化合物半導体のMISの研究は30年以上行われているが、本研究で作製されたMIS構造はこれまで作製されてきたものよりも電気的特性に優れ、再現性も良く、経時変化もほとんど見られなかった。従って本研究で得られたMIS界面の評価は今までにない信頼性の高いものである。

A study of the III-V compound semiconductors (InP, InSb, GaAs) MIS structures

Abstract

Owing to high electron mobilities and direct band gaps, indium phosphide (InP), indium antimonide (InSb) and gallium arsenide (GaAs) in III-V compound semiconductors are attractive materials for high-speed metal-insulator-semiconductor (MIS) transistors, optoelectronic integrated circuits and infrared charge-coupled devices. The properties of the atomic bonds in III-V compound semiconductors are partially covalent and partially ionic. The strength of the bonds is weaker than that of the covalent bonds typically shown in Si. Generally, the MIS structures are very important for various semiconductor devices. However, when an insulating layer is formed on a III-V compound semiconductor, the semiconductor surface is likely to suffer thermal damages, e.g., nonstoichiometry and/or atomic disarrangement are caused. In such cases, the MIS structures obtained do not show good properties. The density of the MIS interface states is very high. Various electrical instabilities also appear, e.g., leakage currents and hysteresis in capacitance-voltage (C-V) curves are seriously observed. High-quality insulating layers comparable to the thermally grown SiO_2 on Si are indispensable to the developments of the III-V compound semiconductor devices. The first purpose of the present study is to fabricate MIS structures which show more excellent properties. The second purpose is to investigate the electrical properties of these MIS interfaces in detail.

In the present study, the insulating layers of InP_xO_y and $\text{AlIn}_x\text{P}_y\text{O}_z$ have been formed on InP substrates. Further, $\text{SiIn}_x\text{P}_y\text{O}_z$ layers and $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ layers have been formed on InSb and GaAs,

respectively. Phosphorous oxides are effectively included in all these layers. Generally, various impurity atoms and ions tend to be stably fixed among the chains of phosphorus and oxygen atoms in phosphorous oxides. Without any damages to the semiconductor substrates, the phosphorous oxide layers are formed under the condition of quasi-thermal equilibrium at low temperature.

The measurements of the electrical properties are performed at room temperature for InP and GaAs MIS structures and at 100K for InSb MIS structures. The insulating layers exhibit good properties such as high resistivities and low dielectric dissipations. The interface state densities are estimated by two methods. One is the Terman method which is applied to the 1MHz C-V curves. The other is the Berglund method which is applied to the quasi-static C-V curves. In the InP MIS structures, the surface potential is found to be changed easily from the conduction band edge to the midgap. The minimum densities of interface states obtained are $7 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ at 0.28eV below the InP conduction band edge and $6 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ at 0.30eV in the InP_xO_y -InP and $\text{AlIn}_x\text{P}_y\text{O}_z$ -InP interfaces, respectively. Indium antimonide is a narrow band gap material. Therefore, in the estimations of the interface state density, the effects of the nonparabolicity of the InSb conduction band and Fermi-Dirac statistics for electrons have been taken into account. The interface state density in the energy range from the conduction band edge to midgap is about $(1.1-3.0) \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$. On the other hand, it is shown in the GaAs MIS structures that there exist high densities of the MIS interface states throughout the upper half of the band gap. The high density interface states result in the large frequency dispersion of capacitance in the n-GaAs MIS structures. However, the strong inversion has been realized when

large negative biases are applied. Accordingly, the interface state density has been evaluated exactly. A typical value of the minimum interface state density is observed as $1.4 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ at 1.12 eV below the conduction band edge.

The admittance of the MIS structure has been measured, since it reflects the kinetic properties of the interface states. The tunneling model is applied to the analysis of the admittance data. The interface states are classified in terms of their response time constants. In the InP and InSb MIS structures, the extension of interface states into the insulator and the electron capture cross sections are estimated for the interface states which respond in the frequency range 0.02-10 kHz. The electron capture cross sections are evaluated as $(0.07-1.8) \times 10^{-16} \text{ cm}^2$ at 0.21-0.29 eV below the InP conduction band edge and $(0.06-7.3) \times 10^{-16} \text{ cm}^2$ at 0.22-0.32 eV in the $\text{InP}_x\text{O}_y\text{-InP}$ and $\text{AlIn}_x\text{P}_y\text{O}_z\text{-InP}$ interfaces, respectively. In the $\text{SiIn}_x\text{P}_y\text{O}_z\text{-InSb}$ interface, the electron capture cross section is evaluated as $1.3 \times 10^{-16} \text{ cm}^2$ at 0.1 eV below the InSb conduction band edge.

A large number of studies on III-V compound semiconductor MIS structures have been performed for more than thirty years. The electrical properties of the MIS structures fabricated in the present study are superior to those so far reported. The stable properties are obtained in point of the reproduction. The changes of the properties with time are hardly observed. The measurements of even the quasi-static C-V characteristics and the admittances are performed accurately. Therefore, reliable estimations have been carried out on the properties of the III-V semiconductor MIS interfaces.

目次

1	序論	1
2	試料作製	9
2.1	InP MIS構造	9
2.2	InSb MIS構造	15
2.3	GaAs MIS構造	18
3	InP MIS界面の特性	22
3.1	はじめに	22
3.2	InP_xO_y -InP界面の特性	23
3.3	$\text{AlIn}_x\text{P}_y\text{O}_z$ -InP界面の特性	45
3.4	まとめ	61
4	InSb MIS界面の特性	63
4.1	はじめに	63
4.2	$\text{SiIn}_x\text{P}_y\text{O}_z$ -InSb界面の特性	64
4.3	まとめ	80
5	GaAs MIS界面の特性	81
5.1	はじめに	81
5.2	$\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ -GaAs界面の特性	82
5.3	まとめ	100
6	結論	102
	謝辞	106
	参考文献	107
	付録 界面準位アドミタンスの測定用フィルタ	110

図索引

Fig. 2.1	MIS作製のための酸化リン堆積および固相反応装置	12
Fig. 3.1	InP_xO_y 膜の比誘電率と誘電損失	24
Fig. 3.2	InP_xO_y -n型InP MIS構造における1MHz C-V特性	26
Fig. 3.3	InP_xO_y -n型InP MIS構造におけるquasi-static C-V特性	27
Fig. 3.4	InP_xO_y -n型InP MIS構造における0.1-100 kHzの周波数領域でのC-V特性	30
Fig. 3.5	InP_xO_y -n型InP MIS構造における0.1-100 kHzの周波数領域でのG-V特性	31
Fig. 3.6	InP_xO_y -n型InP MIS構造における界面準位密度 ●, ▲, 実線は蓄積から反転への測定によって得られた界面準位密度 ○, △, 破線は反転から蓄積への測定によって得られた界面準位密度	32
Fig. 3.7	空乏領域におけるMIS等価回路	35
Fig. 3.8	InP_xO_y -n型InP MIS構造における G_p/ω -f特性 実線はトンネリングモデルに基づく G_p/ω -fの理論曲線	37
Fig. 3.9	InP_xO_y -n型InP界面における電子捕獲断面積	42
Fig. 3.10	InP_xO_y -n型InP MIS構造における C_p -f特性 実線はトンネリングモデルに基づく $(C_p^*+C_{FP})$ -fの理論曲線	44
Fig. 3.11	$\text{AlIn}_x\text{P}_y\text{O}_z$ 膜の比誘電率と誘電損失	46
Fig. 3.12	$\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP MIS構造における1MHz C-V特性	48
Fig. 3.13	$\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP MIS構造におけるquasi-static C-V特性	49
Fig. 3.14	$\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP MIS構造における0.1-100 kHzの周波数領域でのC-V特性	50
Fig. 3.15	$\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP MIS構造における0.1-100 kHzの周波数領域でのG-V特性	51
Fig. 3.16	$\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP MIS構造における界面準位密度 ●, ▲, 実線は蓄積から反転への測定によって得られた界面準位密度 ○, △, 破線は反転から蓄積への測定によって得られた界面準位密度	52
Fig. 3.17	$\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP MIS構造における G_p/ω -f特性 実線はトンネリングモデルに基づく G_p/ω -fの理論曲線	55
Fig. 3.18	$\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP界面における電子捕獲断面積	58
Fig. 3.19	$\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP MIS構造における C_p -f特性 実線はトンネリングモデルに基づく $(C_p^*+C_{FP})$ -fの理論曲線	59
Fig. 4.1	$\text{SiIn}_x\text{P}_y\text{O}_z$ 膜の比誘電率と誘電損失	65
Fig. 4.2	$\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb MIS構造における1MHz C-V特性	66

Fig. 4.3	SiIn _x P _y O _z -n型InSb MIS構造における界面準位密度 ●, 実線は蓄積から反転への測定によって得られた界面準位密度 ○, 破線は反転から蓄積への測定によって得られた界面準位密度	68
Fig. 4.4	SiIn _x P _y O _z -n型InSb MIS構造におけるquasi-static C-V特性	69
Fig. 4.5	SiIn _x P _y O _z -n型InSb MIS構造における0.1-100 kHzの周波数領域でのC-V特性	71
Fig. 4.6	SiIn _x P _y O _z -n型InSb MIS構造における0.1-100 kHzの周波数領域でのG-V特性	72
Fig. 4.7	SiIn _x P _y O _z -n型InSb MIS構造におけるG _p /ω-f特性 実線はトンネリングモデルに基づくG _p /ω-fの理論曲線	74
Fig. 4.8	SiIn _x P _y O _z -n型InSb MIS構造におけるC _p -f特性 実線はトンネリングモデルに基づく(C _p [*] +C _{FP})-fの理論曲線	75
Fig. 4.9	SiIn _x P _y O _z -n型InSb界面における電子捕獲断面積	79
Fig. 5.1	SiO _w /GaAs _x P _y O _z -p ⁺ 型GaAs MIS構造における1MHzおよびquasi-static C-V特性	83
Fig. 5.2	SiO _w /GaAs _x P _y O _z 膜の比誘電率と誘電損失	84
Fig. 5.3	SiO _w /GaAs _x P _y O _z -n型GaAs MIS構造における1MHzおよびquasi-static C-V特性	86
Fig. 5.4	SiO _w /GaAs _x P _y O _z -n型GaAs MIS構造における0.12-100 kHzの周波数領域でのC-V特性	88
Fig. 5.5	SiO _w /GaAs _x P _y O _z -n型GaAs MIS構造における0.12-100 kHzの周波数領域でのG-V特性	89
Fig. 5.6	SiO _w /GaAs _x P _y O _z -n型GaAs MIS構造における界面準位密度	91
Fig. 5.7	SiO _w /GaAs _x P _y O _z -n型GaAs MIS構造におけるψ _s -V特性	93
Fig. 5.8	SiO _w /GaAs _x P _y O _z -n型GaAs MIS構造におけるG _p /ω-f特性 実線はトンネリングモデルに基づくG _p /ω-fの理論曲線	96
Fig. 5.9	SiO _w /GaAs _x P _y O _z -n型GaAs MIS構造におけるC _p -f特性 実線はトンネリングモデルに基づくC _p [*] -fの理論曲線	99
Fig. A.1	状態変数型バンドパスフィルタ	111
Fig. A.2	ノッチフィルタ	113

表索引

Table 3.1	InP_xO_y -n型InP界面における界面準位アドミタンス計算に用いたパラメータ	40
Table 3.2	InP_xO_y -n型InP界面における時定数 τ による界面準位の分類	40
Table 3.3	$\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP界面における界面準位アドミタンス計算に用いたパラメータ	56
Table 3.4	$\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP界面における時定数 τ による界面準位の分類	56
Table 4.1	$\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb界面における界面準位アドミタンス計算に用いたパラメータ	77
Table 4.2	$\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb界面における時定数 τ による界面準位の分類	77
Table 5.1	$\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ -n型GaAs界面における界面準位アドミタンス計算に用いたパラメータ	97
Table 5.2	$\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ -n型GaAs界面における時定数 τ による界面準位の分類	97

1 序 論

Ⅲ－Ⅴ族化合物半導体であるInP, InSb, GaAsはいずれもSiよりも移動度が大きく、バンド構造が直接遷移型であるため、有望な材料として注目されている。半導体素子の実用化においては良好な界面特性を持つ金属－絶縁体－半導体(MIS)構造を作ることが不可欠である。MIS型電界効果トランジスタ(FET)において相互コンダクタンスは半導体のキャリア移動度に密接に関連する。絶縁体－半導体界面において界面準位密度が低いMIS構造を作製することにより、キャリア移動度の増大、雑音の低減がもたらされる。良質の絶縁膜により高い性能を持つMISFETができ、大規模集積回路が実現される。Ⅲ－Ⅴ族化合物半導体は発光・受光素子に適しており、これにトランジスタなどを集積化して、光電子集積回路(OEIC)への発展も期待できる。良好なMIS構造を実現する膜は、MIS構造を積極的に利用しないデバイスに対しても表面保護膜として重要である。例えばpn接合やショットキー接合を利用したホトダイオードにおける漏れ電流の減少による感度の増加、あるいは太陽電池における効率の増加を促すためには良好な絶縁保護膜が必要となる。さらに接合型FET(JFET)ではリーク電流の減少に伴い消費電力の低減が可能となる。一般に半導体上に絶縁膜を作製することは、外界からの不純物による素子の汚染、劣化を防止し、電気的な安定性を保証する上で極めて重要なプロセスである。

今までにⅢ－Ⅴ族化合物半導体InP, InSb, GaAsにおいて数

多くのMIS構造が作製されている。¹⁾⁻⁵⁰⁾ 半導体上に絶縁膜を堆積する方法は大別して酸化法と堆積法に分けられる。酸化法では、熱酸化法、¹⁾⁻³⁾ 陽極酸化法、^{4)-6), 23)-27), 35)} プラズマ酸化法^{7), 8), 36)} によってネイティブな酸化膜が作られている。Siにおいては、熱酸化法によって作られる SiO_2 との間で良好な界面が得られている。III-V族化合物半導体においても、古くは熱酸化法が試されてきた。熱酸化膜は一般にV族の原子が抜けやすく、抵抗率を低下させる原因となっている。¹⁾ それに絶縁体-半導体界面付近でIII族とV族の原子が分離しやすい問題もある。このような熱による損傷を少なくする目的で行われてきたのが陽極酸化法やプラズマ酸化法である。湿式の陽極酸化法では、溶媒の成分が膜中に残り、良質な絶縁膜が得られていない。またプラズマ酸化法では、プラズマが基板に与える損傷が大きく、半導体の結晶構造を壊すことが問題とされている。このように酸化法は良好な絶縁膜や界面が得られないために最近はあまり用いられていない。

一方堆積法では、蒸着法、^{9), 10), 37), 38)} スパッタ法、³⁹⁾ 分子線エピタキシャル(MBE)法、^{40), 41)} 化学気相堆積(CVD)法^{11)-20), 28)-34), 42)-49)} などが行われてきた。蒸着法は古くから用いられてきた方法で、 SiO_x , ³⁷⁾ Al_2O_3 ⁹⁾ などの膜が作製されている。最近では、 $\text{Ba}_{1-x}\text{Sr}_x\text{F}_2$, ¹⁰⁾ 硫化ポリフェニレン³⁸⁾ などの膜も試されている。蒸着法で作られる膜は多孔性で、緻密な膜を作るためには高温での処理が必要である。またスパッタ法では SiC ³⁹⁾ などの膜が作製されているが、イオン衝撃による基板の損傷が問題となっている。MBE法は原理的には蒸着法に類似して

おり、 Al_2O_3 ,⁴⁰⁾ $(\text{CaSr})\text{F}_2$ ⁴¹⁾ 膜の報告がある。MBE法では熱力学的に非平衡な状態で膜を形成するために安定した膜が得られにくい。CVD法は最近盛んに用いられている方法であり、多種類の絶縁膜が形成できる。その中でもSiのデバイスに使われる SiO_2 ,^{11)-15), 28)-33), 42)-46)} Si_3N_4 ,^{35), 47)} SiON ^{34), 48)} 膜がよく作製されている。この他にもCVD法を用いて InP_xO_y ,¹⁶⁾ Al_2O_3 ,¹⁷⁾ AlP_xO_y ,¹⁷⁾ BN ,¹⁸⁾ P_3N_5 ,¹⁹⁾ AlN ⁴⁹⁾ などの絶縁膜も試されている。CVD法は化学反応による堆積であるため、不要な成分が膜中に混入し汚染の原因となる。またMBE法と同様に熱学的に非平衡状態での膜の形成となりやすく、また基板の損傷の問題もある。最近では低温CVD法^{18)-20), 28)-30)} も用いられているが、依然として熱平衡状態から大きくはずれた成膜プロセスになっていることが多い。

Ⅲ-V族化合物半導体は共有結合とイオン結合の両面があり、Siの共有結合に比べその結合は弱い。そのためⅢ-V族化合物半導体上に絶縁膜を形成する際に受ける基板の損傷により、絶縁体-半導体界面付近での化学量論的な組成や原子配列の乱れが生じ易い。これはMIS界面準位を高くしたり、ヒステリシスを生じさせたりする原因となる。さらに試料が汚染され可動イオンが混入すると電気的特性がますます不安定になる。このような理由でⅢ-V族化合物半導体に対しては、Si 金属-酸化物-半導体(MOS)界面のような良好なMIS構造を作るとは極めて困難になっている。

本研究においては、Ⅲ-V族化合物半導体 InP , InSb , GaAs

上に、従来にはない新しい方法で良好な絶縁膜を作製することを第一の研究目的とした。その作製方針の第一はV族を中心とした原子の蒸発による半導体表面での組成のずれを抑えるために低温プロセスであること。第二は低温プロセスであると同時に熱平衡からのずれができるだけ少ないプロセスであり、成膜後の原子配列が極めて安定であること。熱平衡からはずれた成膜では熱力学的に準安定な膜になりやすく、成膜後長時間の熱処理を行っても安定化が難しい。よって最初から熱平衡に近い状態で安定な膜を形成することが重要となる。第三は人間の汗からの Na^+ のように外部からの不純物イオンや原子の混入に対して、それらを絶縁膜の構造内で安定化あるいは固定化するようなMIS絶縁膜を形成すること。エッチングにより表面処理した半導体においても絶縁膜を形成する直前には、自然酸化膜や不純物イオンや原子が付着すると考えた方がよい。これらを完全に除去するには大がかりな膜形成直前の処理が必要である。しかし、半導体表面に付着した自然酸化物や不純物イオンおよび原子を成膜後の絶縁膜中に取り込んでしまい、安定化あるいは固定化できれば、付着した不純物を完全に除去できなくても電氣的な不安定性の要因にはならないようにできる。以上三つの方針を満たすように検討を重ねた。その結果、以下に述べるような特色を持つリン酸化物を中心とする絶縁膜の形成プロセスを考え出した。

リンの酸化物は低温でも反応性に富み、化学的に安定なリンガラスを作る。そのため低温プロセスが可能となり、熱酸化法で問題となっているⅢ族とV族の分離も少なくできると考える。また

リン酸化物の形成には、陽極酸化法やCVD法で見られるような不要な成分が膜中に残留するという汚染の問題もない。さらにリン酸化物の形成は熱平衡に近い状態で行われ、リン酸化物の堆積レートの制御も容易であるために、安定で緻密な膜の形成も可能である。またSi MOS技術において、リンガラスは Na^+ をトラップすることが知られており、⁵¹⁾絶縁膜中のドリフトも少なくできるものとする。これは作製したリン酸化物を中心とした絶縁膜が保護膜としても機能することになる。半導体材料ごとに物理・化学的な性質が異なり、同じ方法を用いてもそれぞれ特性が異なる。従って半導体材料に応じてMIS作製の方法を変える必要がある。本研究ではそれぞれの半導体に対し、従来のものよりも優れた特性を持つMIS構造を目指した。

本研究以前のこれまでの研究においては、Ⅲ-Ⅴ族化合物半導体のMIS構造では、その特性が測定ごとに不規則に変化したり、測定条件によって特性が大きく異なるなどの電気的特性の不安定性が見られている。そのためSi MOS界面のように、界面特性は詳しく調べられていない状況にある。また解析を行っても、界面の評価値は信頼性に欠けている。Ⅲ-Ⅴ族化合物半導体におけるこれまでの界面の評価のほとんどが、高周波容量-電圧(C-V)特性から界面準位密度を求めるTerman法⁵²⁾と呼ばれる方法で行われてきた。高周波C-V特性は漏れ電流やヒステリシスの大きい不安定な試料に対しても測定できるため、Terman法⁵²⁾は広く用いられる。この他に界面準位密度を求める方法として、quasi-static C-V特性に適用するBerglund法⁵³⁾がある。

Berglund法⁵³⁾を適用して正確な評価を行うためには、漏れ電流の少ない安定したquasi-static C-V特性の測定が必要のため、実際にⅢ-V族化合物半導体に対してBerglund法⁵³⁾による評価を行った報告は少ない。^{12), 13), 28), 33)}さらに界面準位の応答を等価的に表したアドミタンス特性を測定し解析を行うことによって、より詳細な界面の情報が得られる。この界面準位のアドミタンスの測定には長い時間を要し、測定の精度も必要である。よってかなり安定した試料に対してのみ測定および解析が可能となる。そのためⅢ-V族化合物半導体に対して、界面準位アドミタンスによる評価が行われているのは少なく、このうちのほとんどが界面準位密度を求めているにすぎない。^{18), 23), 28), 39), 47)}Ⅲ-V族化合物半導体に対して捕獲断面積が求められた報告はわずかである。¹¹⁾このようにSiとは異なって、化合物半導体のMISにおいては信頼性の乏しい評価しか行われていない。

本研究においては、第一の研究目的として挙げた良好なMIS絶縁膜の形成の実現に引き続いて、MIS界面に関する信頼性の高い評価を行うことを第二の研究目的とした。作製したMIS構造の界面準位密度をTerman法⁵²⁾とBerglund法⁵³⁾で評価した。そして界面準位アドミタンスをトンネリングモデル^{54), 55)}に基づいて解析を行った。界面準位アドミタンスのコンダクタンス成分から電子捕獲断面積や界面準位の広がり求めた。また界面準位アドミタンスの結果とBerglund法⁵³⁾あるいはTerman法⁵²⁾で得られた結果を組み合わせ、界面準位の応答時定数による分類を試みた。

Terman法⁵²⁾およびBerglund法⁵³⁾において信頼性の高い評価を行うためには、それぞれ高周波および低周波の絶縁膜容量を正確に見積もることが重要となる。InP, InSbは伝導帯下端からミッドギャップのあたりにかけて界面準位密度が少ないとされている。よってn型InPやn型InSb MIS構造では強蓄積状態が容易に実現でき、その状態におけるMIS容量をそのまま絶縁膜容量と見なすことができる。従ってn型InPやn型InSbに対しては、安定なMIS構造を作ることによって信頼性の高い評価ができる。一方GaAs MIS構造では、伝導帯下端からミッドギャップにかけて高密度の界面準位が存在するとされている。このためn型GaAs MIS構造では強蓄積状態が実現されず、蓄積方向に大きな周波数分散が見られる。低周波における絶縁膜容量の見積もりは容易であるが、高周波におけるMIS容量は絶縁膜容量に到達しないため、高周波絶縁膜容量の見積もりが困難となる。よってTerman法⁵²⁾を適用する際には高周波絶縁膜容量を見積もる工夫が必要となる。これまでのn型GaAs MIS構造における報告では、容量の周波数分散を十分考慮して解析を行ったものがほとんどなく、その評価値は信頼性に乏しい。

そこで本研究では、n型GaAs MIS界面において信頼性の高い評価方法を展開した。quasi-staticから1MHzにかけてのC-V特性の振る舞いから、強い負バイアス印加時に強反転状態が実現されると考える。この考えに基づき、高周波C-V理論を用いて高周波反転容量から高周波絶縁膜容量を推定する。推定した高周波絶縁膜容量は低周波絶縁膜容量よりわずかに小さい程度で、

この違いは p^+ 型 GaAs MIS 構造における高周波と低周波との絶縁膜容量の分散の範囲内に収まっている。Terman 法⁵²⁾ と Berglund 法⁵³⁾ から得られた解析結果が一致することにより、強反転状態が実現されるという考えが妥当であると判断する。そして得られた評価値は信頼性の高いものと考ええる。このようにして n 型 GaAs に対しても信頼性の高い評価が可能となる。

2 試料作製

2.1 InP MIS構造

これまでInP上に数多くのMIS構造が作製されている。¹⁾⁻²²⁾ InPの酸化膜は、熱酸化法、¹⁾⁻³⁾ 陽極酸化法、⁴⁾⁻⁶⁾ プラズマ酸化法^{7), 8)} によって形成されている。1気圧の酸素雰囲気中での熱酸化によって得られる膜は、酸化膜-InP界面に元素状態のリンを含む InPO_4 および In_2O_3 の混合物となっている。¹⁾ 熱酸化による膜はInリッチな膜になり、抵抗率が低い。抵抗率を高くするにはPリッチなネイティブ酸化膜が必要といわれている。そこで P_2O_5 蒸気中で熱酸化し、抵抗率を高める工夫もされている。²⁾ Gannら³⁾ は、500気圧の蒸気中での高圧熱酸化により均一な InPO_4 膜を得ている。またCVD法によって SiO_2 , ¹¹⁾⁻¹⁵⁾ InP_xO_y , ¹⁶⁾ Al_2O_3 , ¹⁷⁾ AlP_xO_y , ¹⁷⁾ BN , ¹⁸⁾ P_3N_5 , ¹⁹⁾ SiN_xH ²⁰⁾ 等の絶縁膜が作製されている。最近ではフッ素化合物などの絶縁膜も試みられている。Changら¹⁶⁾ によると、InP上に InP_xO_y を堆積して得られる InP_xO_y -InP界面で良い特性を示している。このようにInPとネイティブ酸化膜である InP_xO_y との間で比較的良い界面が得られている。

本研究では、まず酸化リンの堆積により InP_xO_y 膜の作製を行った。低温で熱平衡に近い状態でゆっくりと酸化リンを堆積させ、基板に与える損傷を少なくし緻密な膜の形成を図った。そしてリンの酸化物の膜が保護膜として機能することにより、従来のMIS

作製における問題点が改善されると考える。予備的な実験として、InP上に酸化リンを直接堆積し熱処理を行って、絶縁膜の作製を試みた。基板のIn, P原子と酸化リンが反応して InP_xO_y 膜が生成される。膜の抵抗率も $2 \times 10^{15} \Omega \text{cm}$ あり、界面特性も良好であった。この方法で新たに問題となったのは、酸化リンの堆積と熱処理を行う装置が別々になっていたため、この間を移動するときに受ける試料の汚染であった。堆積しただけの酸化リンは化学的に不安定で、大気中に取り出すと Na^+ などの不純物イオンや原子を吸着し、これがドリフトやヒステリシスの原因となる。また酸化リンの堆積がInP基板に与える損傷の程度についても検討の余地があった。

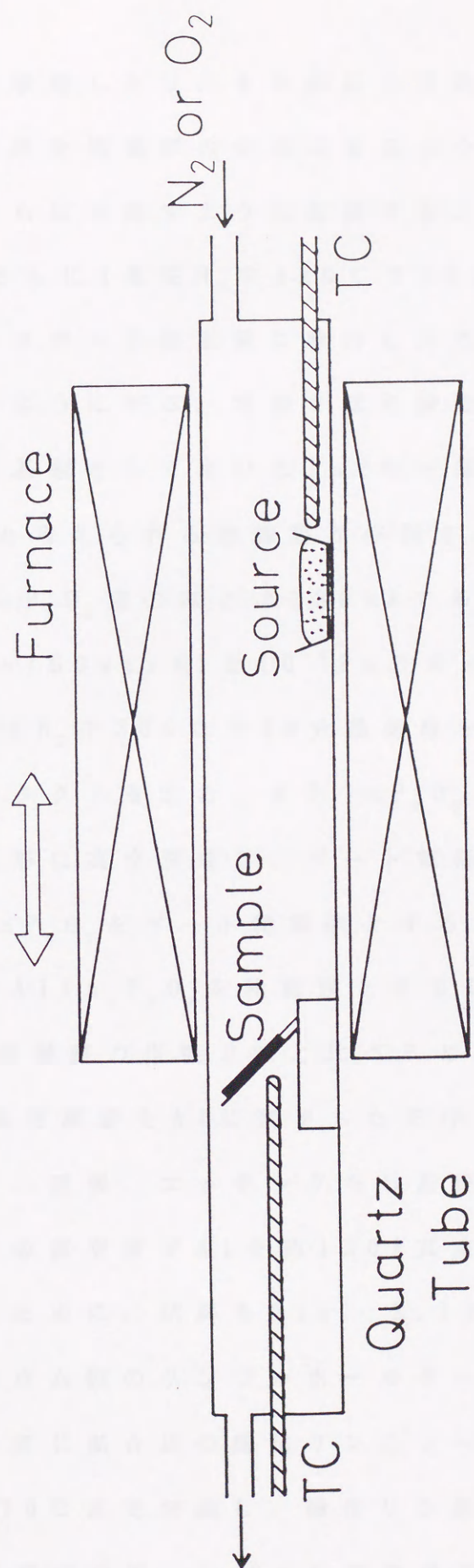
これらの問題点を解決するものとして、石英管中で酸化リンの堆積を行い、試料を取り出すことなく石英管中で熱処理を行う方法を考案した。このように酸化リンの堆積と熱処理を一貫して行うことにより試料の汚染の軽減を図った。またInP基板上にInを蒸着してから酸化リンを堆積することによって、InP基板中の原子が膜中に取り込まれるのを少なくするようにした。そうすることによって、InP基板の結晶構造が破壊が少なくなり、急峻な界面が作られるものと期待される。さらに生成される InP_xO_y 膜の組成をある程度制御することもできる。

InP基板上に蒸着する金属をInから同じⅢ族のAlに変え同様なプロセスを行うと $\text{AlIn}_x\text{P}_y\text{O}_z$ と考えられる膜が作製される。この場合も酸化リンの堆積法の利点が生かされ、良好な特性を持つMIS構造が作製されることが期待される。酸化リンを堆積させると

き、InとAlとではInP基板へ与える損傷の程度が異なるかも知れない。よって InP_xO_y 膜と $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜との間で、特性の違いが現れる可能性がある。

まず InP_xO_y をゲート膜とするMIS構造の作製方法を述べる。実験に使用したInPウエハは、ノンドープのn型で、面方位は(100)である。ホール測定によると、キャリア濃度は室温で約 $4.2 \times 10^{15} \text{ cm}^{-3}$ である。ウエハを鏡面になるまで研磨し、0.2%の臭化メタノールに10分、さらに5%塩酸に5分間浸しエッチングする。このInP基板上に 10^{-4} Pa のオーダーの真空度で、Inを約150Å真空蒸着する。次に酸化リンを堆積するために、試料を石英管の中に入れ、アルミニウム製のサンプルホルダーの上に置く。五酸化リン(P_2O_5)の粉末6gとリン酸(H_3PO_4) 1.5 cm^3 を混ぜ合わせてペースト状にしたものを石英ガラスのボートに載せ、これをソースボートとした。そして、Fig. 2.1に示すように、ソースボートを電気炉の中央に、試料を電気炉の端に来るように設置する。

ソースボートを徐々に390℃まで加熱すると、酸化リン蒸気は1気圧の N_2 ガスに運ばれ、InP上のIn薄膜表面に堆積される。このとき試料の温度を約200℃に保つ。In薄膜上には P_xO_y と考えられる膜が堆積する。堆積時間は約70分で、鮮やかな干渉色が得られる。堆積中でも P_xO_y とInP基板上的Inとの間で幾分反応が起こっていると考えられる。そして試料とソースボートは1気圧の N_2 中で室温まで冷却し、堆積を止める。しかし、この状態での膜は不安定で、空気中に取り出すと空気中の不純物イオン



TC : Thermocouple

Fig. 2.1 MIS作製のための酸化リン堆積および固相反応装置

や原子を吸着したり、また水にも可溶である。

次に試料を電気炉の中央に来るようにし、ソースポートは電気炉の端からはみ出すように設置する。試料は1気圧 O_2 中250℃で60分、さらに1気圧 N_2 中420℃で35分の熱処理を行う。このとき、ソースポートは室温に維持し、これ以上酸化リンの堆積が起らないようにする。堆積させた酸化リン P_xO_y と蒸着したIn、さらには基板として用いたInPの一部が膜中に取り込まれ、 InP_xO_y と考えられる絶縁膜が作製される。このようにして作製された InP_xO_y 膜の厚さは1300Åである。その後InP基板の裏面にAu-Sn(50wt.%)を 10^{-4} Paのオーダーの真空度で真空蒸着し、1気圧 N_2 中350℃で20分熱処理を行うことによって、オーミックコンタクトをとる。また InP_xO_y 膜上にアルミニウムを直径1mmの円形に真空蒸着し、ゲート電極とする。以上の作製プロセスで、 InP_xO_y をゲート絶縁膜とするInPのMIS構造が完成する。

一方、 $AlIn_xP_yO_z$ を絶縁膜とするInP MIS構造の作製方法は、 InP_xO_y 絶縁膜の作製方法と比べると、基本的にはエッチング後のInの真空蒸着をAlに変更しただけである。 InP_xO_y 膜の作製と同様に、研磨、エッチングをした後、InP基板上に 10^{-4} Paのオーダーの真空度でAlを約130Å真空蒸着する。次に酸化リンを堆積するために、試料をFig. 2.1に示すような石英管に入れ、アルミニウム製のサンプルホルダーの上に置く。 InP_xO_y 膜作製の時と同じ混合比の酸化リンのソースポートを用意し、それを徐々に370℃まで加熱し、酸化リン蒸気を発生させる。1気圧の N_2 ガスに運ばれて、InP上に真空蒸着したAl薄膜の表面に

P_x, O_y と考えられる膜が堆積される。このとき試料の温度を 230°C に保ち、50 分間堆積を行う。この場合も堆積中に酸化リン P_x, O_y と InP 基板上の Al との間で幾分反応が起こっているものと考えられる。

試料とソースポートを室温まで冷却した後、試料は 1 気圧 O_2 中 250°C で 60 分、さらに 1 気圧 N_2 中 410°C で 40 分の熱処理を行う。堆積させた酸化リン P_x, O_y と真空蒸着した Al、さらには基板として用いた InP の一部が膜中に取り込まれ、 $AlIn_xP_yO_z$ と考えられる絶縁膜が作製される。このように作製された $AlIn_xP_yO_z$ 膜の厚さは 1500Å である。これに前と同様な方法で、InP 基板の裏面にオーミックコンタクトをとり、さらに $AlIn_xP_yO_z$ 膜上に直径 1mm のアルミニウムのゲート電極を真空蒸着して、 $AlIn_xP_yO_z$ をゲート絶縁膜とする InP MIS 構造が完成する。

酸化リン P_x, O_y の堆積レートはソースポートの温度、試料の温度、キャリアガスの流量、さらには試料の表面状態などに依存する。実際に InP 基板に真空蒸着した In および Al 薄膜上に、同じ条件で P_x, O_y を堆積させると、その堆積レートは Al 上の方が遅い。これは P_x, O_y が、InP 上に真空蒸着した In または Al と反応しながら堆積していき、その反応は In より Al の方が遅いためと考えられる。そのため、 InP_xO_y と $AlIn_xP_yO_z$ 膜を作製する条件が、両者で少し異なっている。

2.2 InSb MIS構造

InSbはInPやGaAsに比べ融点が低く、MIS作製プロセス中に熱による損傷を受けやすい。よってInSbのデバイス技術では、低温で絶縁膜を作製することが重要となる。これまでInSb上に、陽極酸化法、²³⁾⁻²⁷⁾ 低温CVD法、²⁸⁾⁻³⁰⁾ 光CVD法、^{31), 32)} プラズマCVD法³³⁾によって多くの絶縁膜が作製されている。低温CVD法を用いた SiO_2 膜の作製においては、堆積温度が $200-210^\circ\text{C}$ が最適とされており、それ以上の温度では界面準位密度が増加し界面特性が悪化する報告がある。²⁹⁾

本研究では、 $\text{SiIn}_x\text{PyO}_z$ -InSb構造を作製したが、この構造に至るまでの経緯を以下に示す。InPに対して最初に行ったように、InSbに対しても酸化リンを直接堆積させ、熱処理によって絶縁膜を形成した。熱処理温度を 400°C 以上にすると比較的抵抗率の高い膜が得られるが、C-V特性において電圧を変化させても容量値が一定の値をとったまま変化しなかった。これは絶縁体-InSb界面付近でInとSbが分離して界面が金属的になり、ゲート電極から加えた電界をしゃへいしてしまうためである。熱処理温度をInSb界面の劣化が起こらないとされる 200°C 以下にすると、漏れ電流が大きく絶縁膜としての機能を果たさない。またInSb基板上にSiOを真空蒸着し、 200°C 以下の温度で熱酸化をすると、 SiO_x 膜が生成される。この SiO_x 膜は抵抗率は高いが、 SiO_x -InSb構造ではヒステリシスや電圧シフト量が大きく界面特性は良くない。Si MOS技術では、 SiO_2 膜にリンを加えたり

ンガラスが絶縁保護膜として有効であることが知られている。⁵¹⁾そこでSiOと酸化リンを反応させてリンガラスを形成する試みを行った。低温ではSiO膜上には直接酸化リンがうまく堆積されないが、In上には低温でも酸化リンがきれいに堆積できるためSiO膜上にInを真空蒸着し、その上に酸化リンを堆積させ、熱処理によって $\text{SiIn}_x\text{P}_y\text{O}_z$ 膜を形成する方法を用いた。

$\text{SiIn}_x\text{P}_y\text{O}_z$ -InSb MIS構造の具体的な作製方法を述べる。実験に使用したInSbウエハはノンドープのn型で面方位は(111)である。ホール測定によるとキャリア濃度は77Kで $6.2 \times 10^{13} \text{ cm}^{-3}$ である。ウエハを鏡面になるまで研磨し、61%硝酸(HNO_3) 8 cm^3 と49%フッ酸(HF) 4 cm^3 と90%乳酸の混合液で3分間エッチングする。エッチング後InSbウエハを真空蒸着器の中に入れ 10^{-4} Pa の真空度で(111)B面にSiOを500Å、さらにその上にInを300Å真空蒸着する。このようにしてInSbの(111)B面上に In-SiO_x の二重層が形成される。そして(111)A面にオーミック電極用にInを2000Å程度真空蒸着する。以上のプロセスまで試料は加熱しない。

次に酸化リンを堆積させるために、試料を石英管に入れアルミニウム製のサンプルホルダー上に置く。酸化リン蒸気のソースとして五酸化リン(P_2O_5) 5gとリン酸(H_3PO_4) 2 cm^3 を混ぜ合わせたものをペースト状態にして、石英ボートの上に載せる。Fig. 2.1に示すように試料を電気炉の端のところに、ソースボートを電気炉の中央に設置する。ソースボートを徐々に340℃まで加熱すると酸化リン(P_yO_z)蒸気は1気圧の O_2 ガスに運ばれInSb上

の In-SiO_x 層上に堆積される。この堆積の間試料を 70°C に保つ。InPの場合より酸化リン堆積時の試料の温度を低くするのは、InSbが熱による損傷を受けやすいためである。このような状態で30分間酸化リン P_yO_z を堆積した後、1気圧の O_2 雰囲気のまま試料とソースポートを共に室温になるまで冷却して堆積を止める。

堆積した P_yO_z 層と真空蒸着した In-SiO_x 層を反応させるために、試料を電気炉の中央に置き、ソースポートを電気炉からはみ出すように設置する。このようにして試料のみを加熱し、1気圧の O_2 中で、 100°C 15分、 180°C 30分、さらに 100°C 15分の熱処理を行う。この熱処理温度をInP上に InP_xO_y , $\text{AlIn}_x\text{O}_y\text{O}_z$ 膜を作製するときの熱処理温度より低くして熱による損傷を防ぐ。この熱処理によってInSb基板上に $\text{SiIn}_x\text{P}_y\text{O}_z$ と思われる絶縁膜が形成される。その $\text{SiIn}_x\text{P}_y\text{O}_z$ 膜の厚さは 1600\AA である。

InSb基板裏面のオーミックアロイは、上で述べた $\text{SiIn}_x\text{P}_y\text{O}_z$ 膜の作製プロセス中に同時に形成される。 $\text{SiIn}_x\text{P}_y\text{O}_z$ 膜上に 10^{-4}Pa のオーダーの真空度でAlを真空蒸着し、これをゲート電極とする。このAlゲート電極は直径 1mm の円形である。以上でInSb MIS構造作製のための低温プロセスが実現される。この低温プロセスでは試料が受ける最高温度は 180°C であり、InP MIS構造作製プロセスにおける最高温度 $410-420^\circ\text{C}$ よりかなり低い。

2.3 GaAs MIS構造

GaAs上にも種々の絶縁膜が試されている。^{6), 35)-50)}最近では、酸化膜として陽極酸化法^{6), 35)}やプラズマ酸化法³⁶⁾が行われている。またCVD法により SiO_2 ,⁴²⁾⁻⁴⁶⁾ Si_3N_4 ,^{35, 47)} SiON ,⁴⁸⁾ AlN ⁴⁹⁾などの膜が作製されている。その他硫化ポリフェニレン,³⁸⁾ SiC ,³⁹⁾ Al_2O_3 ,⁴⁰⁾ $(\text{CaSr})\text{F}_2$ ⁴¹⁾も報告されている。GaAsはInSbに比べ融点が高く、熱による損傷に強い。しかし予備的な実験で熱酸化を行ったところ、450℃以上ではC-V特性において、電圧を変化させても容量値が一定のままで変化しなかった。ここでも絶縁体-半導体界面付近でGaとAsの分離が生じていると考えられる。よってGaAs MIS作製における最高温度は450℃以下にする必要がある。この最高温度はInP MIS作製の場合とほぼ同程度と考える。

GaAs MIS作製は最初にInP MIS作製と同様に、GaAs基板上に直接酸化リンの堆積を試みた。GaAs基板と酸化リンとは反応しにくく、InPの時のように基板温度が200℃程度ではうまくいかないが、350℃まで上げることによってきれいに堆積される。その後最高温度420℃で熱処理を行うと $\text{GaAs}_x\text{P}_y\text{O}_z$ と考えられる膜が形成されるが、この膜は抵抗率が低く十分な絶縁膜にはならなかった。InPやGaP上ではこのような方法で抵抗率の高い絶縁膜が得られているので、母体基板の構成元素の違いによりAs原子を膜中に取り込むことによって、抵抗率を低くするものと考えられる。 $\text{GaAs}_x\text{P}_y\text{O}_z$ はGaAsのネイティブ酸化膜にAsと同じ

V族のP原子を加えた形になっている。リン酸化物による不純物イオンや原子の安定化あるいは固定化により、 $\text{GaAs}_x\text{P}_y\text{O}_z$ - GaAs 界面は良い特性が期待できる。また InSb の時に行ったように GaAs 上に SiO を蒸着し、熱酸化によって SiO_x 膜を作製した。この SiO_x 膜の抵抗率は高いが、 InSb の時と同様に SiO_x - GaAs 界面では大きなヒステリシスや電圧シフトが見られ、良好な界面特性になっていない。これまでCVD法などで SiO_2 膜を作製した報告⁴²⁾⁻⁴⁶⁾があるが、界面特性が良好なものは得られていない。 SiO_x が抵抗率を高める働きを持つものとして、本研究では $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ - GaAs MIS構造を作製することにした。第一層の $\text{GaAs}_x\text{P}_y\text{O}_z$ と第二層の SiO_w の遷移領域では、反応により Si , Ga , As , P , O の原子が混じり合った安定なリンガラスが作られると考える。しかし、半導体との界面を作る絶縁膜は第一層の $\text{GaAs}_x\text{P}_y\text{O}_z$ の成分を主とした膜であると考ええる。

GaAs MIS構造の具体的な作製方法を示す。実験に使用したウエハは Si ドープのn型と Zn ドープの p^+ 型で、面方位は共に(100)である。ホール測定によると室温におけるキャリア濃度は、n型ウエハが $2.5 \times 10^{17} \text{ cm}^{-3}$ 、 p^+ 型ウエハが $1.2 \times 10^{19} \text{ cm}^{-3}$ である。ウエハを鏡面になるまで研磨した後、硫酸(H_2SO_4) 20 cm^3 、過酸化水素水(H_2O_2) 5 cm^3 、脱イオン水(H_2O) 5 cm^3 の混合液で1分間、さらに5%塩酸(HCl)に2分間浸しエッチングをする。エッチング後、酸化リンを堆積するために試料を石英管の中へ入れ、アルミニウム製のサンプルホルダーの上に置く。五酸化リン(P_2O_5)の粉末6gとリン酸(H_3PO_4) 1.5 cm^3 を混ぜ合わ

せてペースト状にしたものを石英ガラスのボートに乗せ、これをソースボートとした。そしてFig. 2.1に示すように設置する。ソースボートを徐々に430℃まで加熱し、1気圧の N_2 ガスによって酸化リンをGaAs基板上に堆積させる。このとき試料の温度を約350℃に保つ。GaAsと酸化リンは反応しにくく、基板温度が低いときはきれいに堆積できないことも多い。そのために酸化リン堆積時の基板温度をInP MIS作製のときの基板温度よりも100℃以上高くして、酸化リンとGaAs基板間の反応を促進させる。堆積時間は約60分で、鮮やかな干渉色が得られる。そして試料とソースボートを1気圧の N_2 中で室温まで冷却し、堆積を止める。

次に試料を電気炉の中央に来るようにし、ソースボートは電気炉の端からはみ出すように設置する。試料を1気圧 O_2 中350℃で30分、さらに1気圧 N_2 中420℃で30分熱処理する。堆積させた酸化リンとGaAs基板との反応により、 $GaAs_xP_yO_z$ と考えられる絶縁膜が作製される。しかし、この $GaAs_xP_yO_z$ 膜は抵抗率が低く、良好な絶縁膜とはいえない。抵抗率を上げるために、 $GaAs_xP_yO_z$ 膜上に SiO を 10^{-4} Paの真空度で650Å程度真空蒸着する。そして試料を1気圧 O_2 中で385℃30分熱処理する。このようにして作製された $SiO_w/GaAs_xP_yO_z$ 膜は約1500Åである。本作製プロセスでは第一層の $GaAs_xP_yO_z$ 膜を420℃の熱処理によって安定化させた後に第二層の SiO_w 膜を形成するために、半導体との界面近くでは第一層の成分が主になっていると考えられる。そして SiO 蒸着後の熱処理によって第一層と第二層のとの間で反

応が起こり、Si, Ga, As, P, Oの原子が混じり合った安定なリンガラスの遷移領域になっていると考えられる。

この後MIS構造を作るために、n型GaAs基板の裏面にAu-Ge (88:12 wt.%)、またp⁺型GaAs基板の裏面にAu-Zn (88:12 wt.%)をそれぞれ真空蒸着し、1気圧350℃30分の熱処理を行うことによってオーミックコンタクトをとる。またSiO_w/GaAs_xP_yO_z膜上にアルミニウムを直径1mmの円形に真空蒸着し、ゲート電極とする。以上の作製プロセスで、SiO_w/GaAs_xP_yO_zをゲート膜とするGaAs MIS構造が完成する。GaAs MIS作製プロセスの最高温度は420℃で、InP MIS作製プロセスの最高温度とほぼ同じである。

3 InP MIS界面の特性

3.1 はじめに

InPは大きな移動度と飽和ドリフト速度を持ち、高速度論理回路やマイクロ波電力素子や光電子集積回路などの応用に有望な材料である。InPデバイスを開発する上で、良好なゲート絶縁膜が必要である。今までの報告によると、InP MIS界面では一般に伝導帯下端から禁制帯中央にかけて界面準位密度が少なく、価電子帯近くでは界面準位密度が多いとされている。このことはn型InP MIS構造において蓄積状態はできやすいが、反転状態ができにくいことを意味する。蓄積状態ができやすいことから、絶縁膜容量の見積もりが簡単で、n型InP MIS界面の解析は比較的容易である。しかし、これまでの界面の評価は、高周波C-V特性から界面準位密度を求めるTerman法⁵²⁾が主に行われてきた程度である。これ以外の評価としては、低周波C-V特性から界面準位密度を求めるBerglund法⁵³⁾を適用した例、^{12), 13)}あるいは界面準位アドミタンスを解析した例^{11), 18)}が数例あるだけである。Berglund法⁵³⁾や界面準位アドミタンスの解析を行うためには精度の高い測定が必要であり、安定性の高い試料作りが要求される。InP MIS構造に対して今までTerman法⁵²⁾以外の解析がほとんど行われなかったのは、安定性の高い試料ができなかったためと考えられる。

本研究ではInP MIS構造の電気的特性として、最初に絶縁膜

の特性を調べる。次に界面の評価として、まず1MHzおよびquasi-static容量-電圧(C-V)特性を測定する。これらの特性にTerman法⁵²⁾およびBerglund法⁵³⁾を適用して、界面準位密度を求める。さらに0.02-5 kHzの周波数範囲で、界面準位アドミタンスを測定し、これにトンネリングモデル^{54), 55)}を適用して測定データを解析する。これらの解析結果から、 InP_xO_y および $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜中の準位分布を議論する。そして、電子捕獲断面積も評価する。

3.2 InP_xO_y -InP界面の特性

InP_xO_y をゲート絶縁膜とするInP MIS構造の特性を述べる。室温における漏れ電流を測定したところ、印加電圧が蓄積方向に+5Vまではほぼ直線的に増加していき、+5Vで約0.7 pAである。このときの電界強度は $4 \times 10^5 \text{ V/cm}$ であり、抵抗率は $4 \times 10^{15} \Omega \text{ cm}$ と大きい。InP MIS構造に+5V印加して強蓄積状態にして、室温における InP_xO_y 膜の比誘電率 ϵ および誘電損失Dを 2×10^{-5} -1 MHzの周波数範囲で測定した結果をFig. 3.1に示す。ここで0.02-5 kHzの値はYHP 4260A UNIVERSAL BRIDGEを、10-100 kHzの値はYHP 4274A MULTI-FREQUENCY LCR METERを、1MHzの値はKeithley 590 CV Analyzerを用いて測定したものである。周波数の範囲が 2×10^{-5} -1 MHzの範囲で、比誘電率 ϵ は6.2-6.5であり、Keithley 595 Quasistatic CV Meterで測定した静的

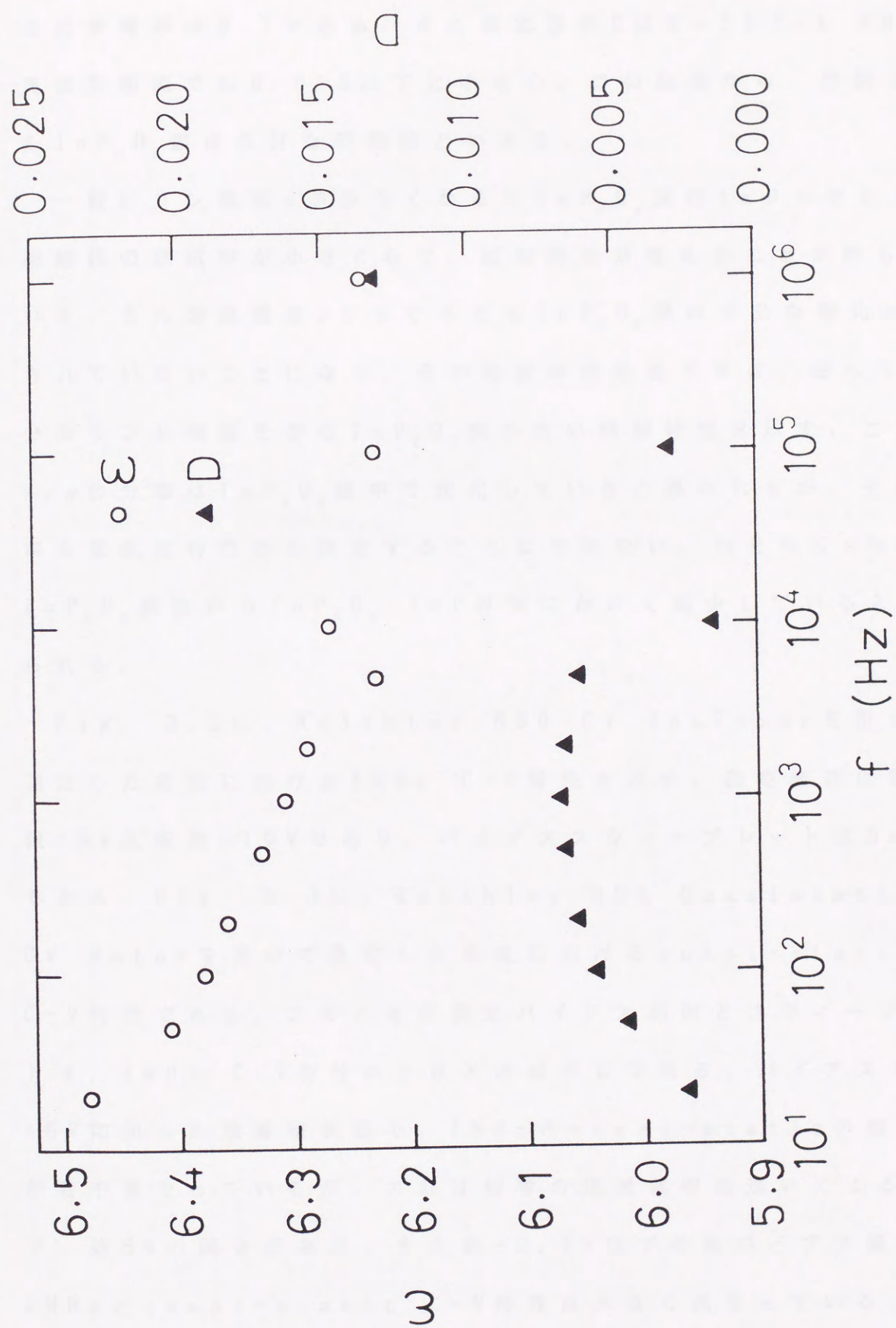


Fig. 3.1 InP_xO_y 膜の比誘電率と誘電損失

な比誘電率は6.7である。また誘電損失 D は $2 \times 10^{-5} - 1$ MHzの周波数範囲では0.013以下と小さい。この結果から、作製された InP_xO_y 膜は良好な絶縁膜といえる。

一般にリン濃度 x が少なくなると InP_xO_y 膜は In リッチになり、絶縁膜の抵抗率が小さくなり、誘電損失が増えることが知られている。また酸素濃度 y が少なくても InP_xO_y 膜は十分な酸化がなされていないことになり、その絶縁特性は低下する。従って、十分なリンと酸素を含む InP_xO_y 膜が良い絶縁特性を示す。この x, y の分布は InP_xO_y 膜中で変化していると思われるが、その分布を電気的特性から決定することはできない。おそらく x も y も InP_xO_y 表面から $\text{InP}_x\text{O}_y - \text{InP}$ 界面にかけて減少していると考えられる。

Fig. 3.2に、Keithley 590 CV Analyzerを用いて測定した室温における1 MHz C-V特性を示す。測定範囲は蓄積側+5 V反転側-10 Vであり、バイアススウィープレートは5 mV/sである。Fig. 3.3に、Keithley 595 Quasistatic CV Meterを用いて測定した室温におけるquasi-static C-V特性である。このときの測定バイアス範囲とスウィープレートは、1 MHz C-V特性のときとほぼ同じである。バイアスを+5 V印加した強蓄積状態で、1 MHzとquasi-staticの容量値が若干異なっているが、これは両者の比誘電率の違いによるもので、約5%の開きがある。また約-0.7 V以下の負バイアス領域で、1 MHzとquasi-static C-V特性は大きく異なっている。これは次のように説明される。⁵⁶⁾

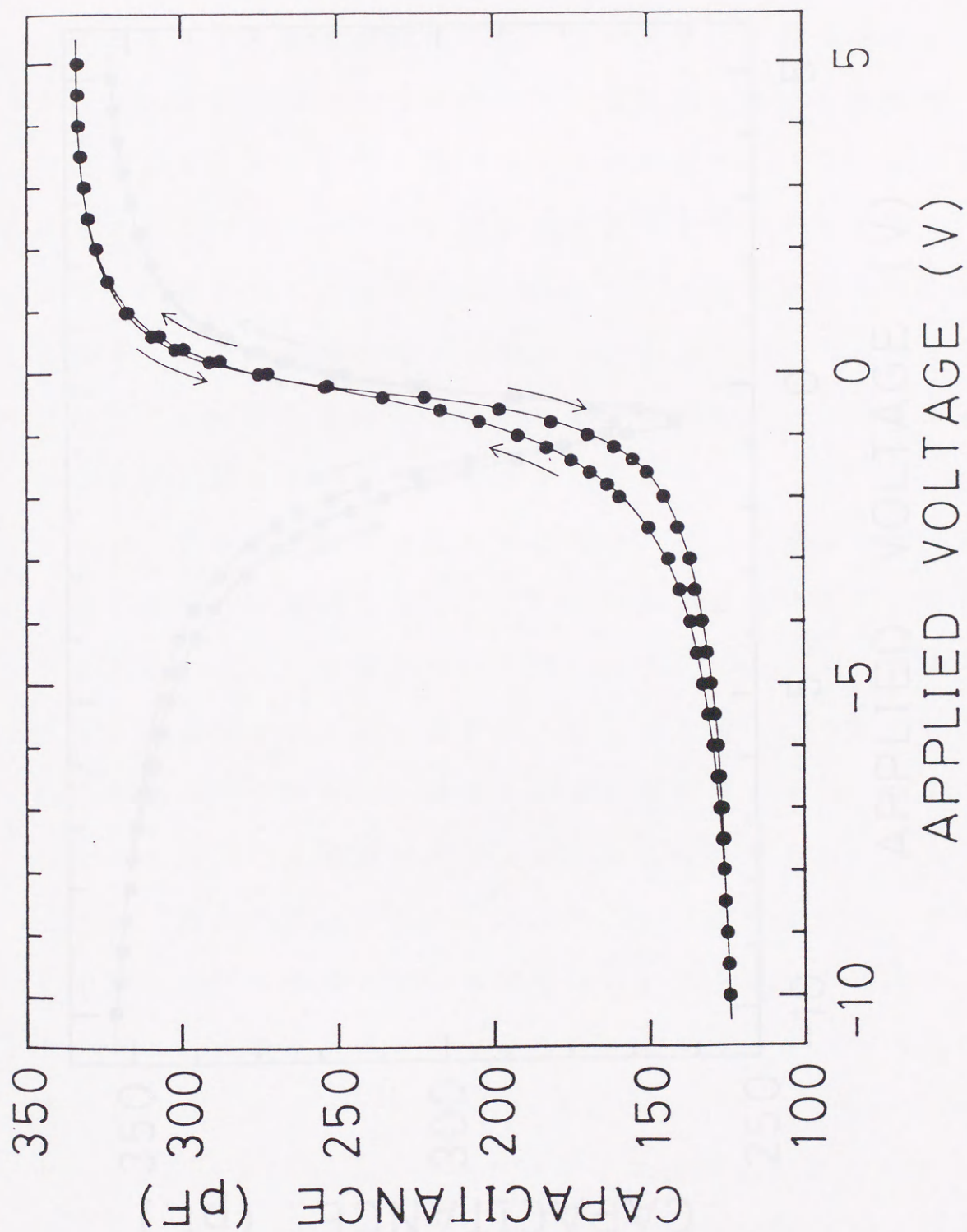


Fig. 3.2 InP_xO_y -n type InP MIS 構造における 1MHz C-V 特性

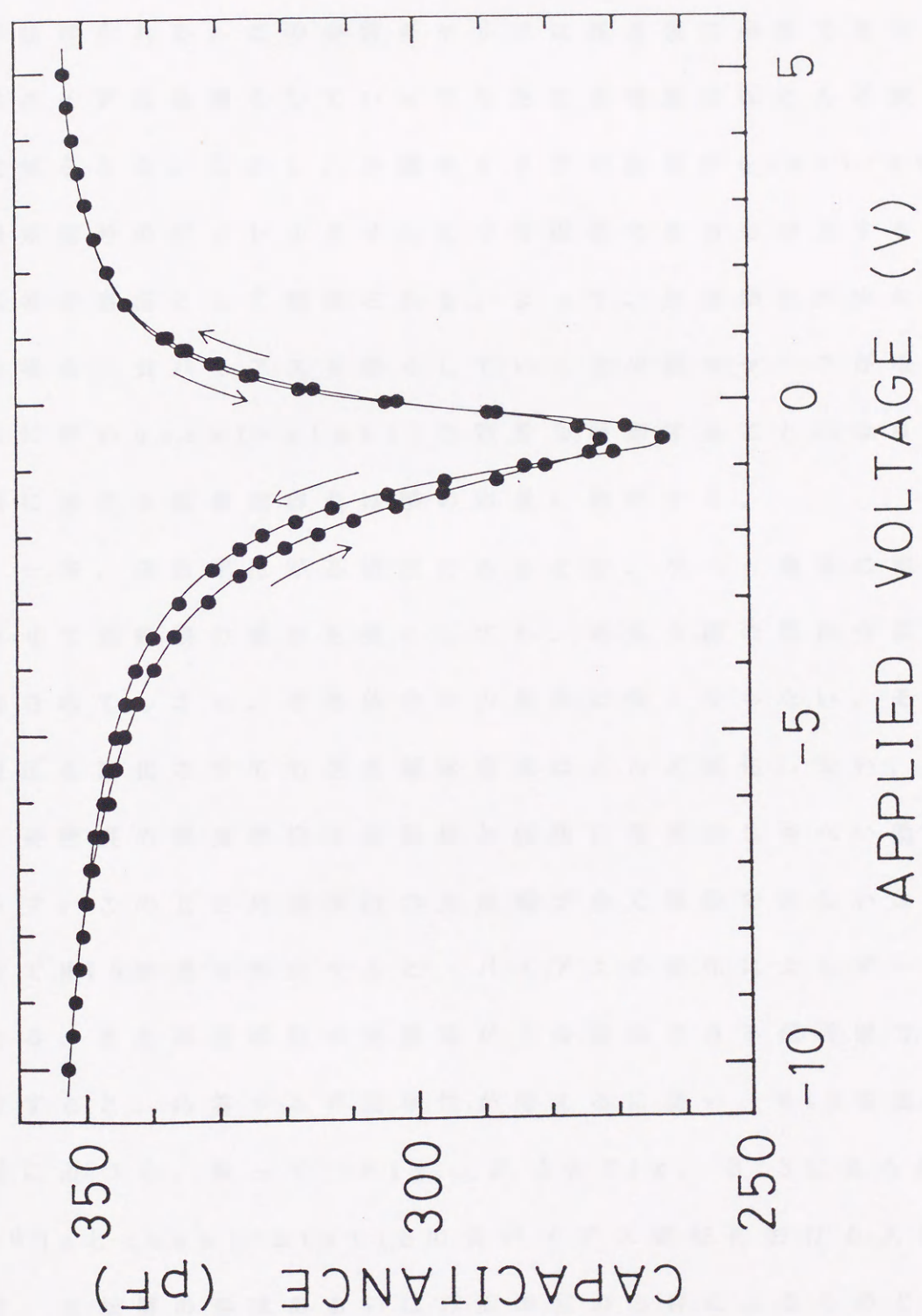


Fig. 3.3 $\text{InP}_{x_y}\text{-n}$ type InP MIS structureにおけるquasi-static C-V特性

界面準位密度が極めて小さい理想的な場合、負バイアスを強くすると半導体表面に反転層が形成される。するとそこに少数キャリアすなわち正孔が発生して、空乏層に進入する電気力線の増加が妨げられる。この少数キャリアは高周波に応答できないため、負バイアスを強くしていても空乏層容量はほとんど変化せず一定値をとる。しかし、少数キャリアの応答が *quasi-static* の測定信号のディレイタイムに十分追従できるものとする、その応答が容量として観測される。よって、界面準位が少ない理想的な場合、負バイアスを強くしていくと少数キャリアが増大し、それに伴い *quasi-static* な容量も増加することになり、MIS構造における低周波容量は膜の容量に飽和する。

一方、界面準位が高密度にあるとき、ゲート電極の電圧を増加させて絶縁膜の電界を強くしても、電気力線の増加分は界面で終端されてしまい、半導体の中の電界は強くない。そのため、電圧を変化させても空乏層容量はほとんど変化しない。このように高密度の界面準位は反転層と同様に電界のしゃへい効果をもたらす。このとき界面準位の充放電が全く追従できないような高周波でMIS容量を測定すると、バイアスの変化によらず一定な値をとる。また界面準位の充放電が十分追従できる低周波で容量を測定すると、応答する界面準位が増えるに従い、MIS容量は膜の容量に近づく。従って、Fig. 3.2とFig. 3.3に見られる

1MHzと *quasi-static* の負バイアス領域における大きな違いは、反転層の形成あるいは界面準位の応答によるものと考えられる。しかし、この段階ではどちらの要因によるかまだ断定できな

い。

Fig. 3.4にHP 4274A MULTI-FREQUENCY LCR METERを用いて測定した0.1-100 kHzにおけるC-V特性を示す。蓄積側で容量の周波数分散が小さいことは、伝導帯に近い方で界面準位が少なくなっていることを示している。また負バイアス領域において、周波数が低くなるに従い少数キャリアあるいは界面準位の応答する量が多くなり、MIS容量が増加していく様子がわかる。Fig. 3.5に0.1-100 kHzにおけるコンダクタンス-電圧(G-V)特性を示す。負のバイアス領域では、MISのコンダクタンス成分が大きくなっており、やはり応答が多くなっていることを裏付けている。

Fig. 3.2とFig. 3.3に示す1MHzおよびquasi-static C-V特性にそれぞれ、Terman法⁵²⁾とBerglund法⁵³⁾を適用して、界面準位密度 N_{ss} を評価する。Berglund法⁵³⁾では積分定数を決める必要があるが、InP MIS構造において強蓄積状態が実現しやすいことから、強蓄積側より積分定数を決定した。Fig. 3.6にその界面準位密度 N_{ss} の分布をエネルギー $E_c - E$ の関数で示す。ここで E_c は伝導帯下端のエネルギー、 E は界面準位のエネルギーを表す。両方法ともに N_{ss} は $E_c - E$ に対してU字型の分布をしている。Fig. 3.6に示すように、Terman法⁵²⁾においては、反転から蓄積の方向に測ったC-V特性から求めた N_{ss} の方が、蓄積から反転の方向の測定による N_{ss} よりかなり大きくなっている。一般に N_{ss} の評価はTerman法⁵²⁾よりBerglund法⁵³⁾の方が正確であるとされている。Berglund法

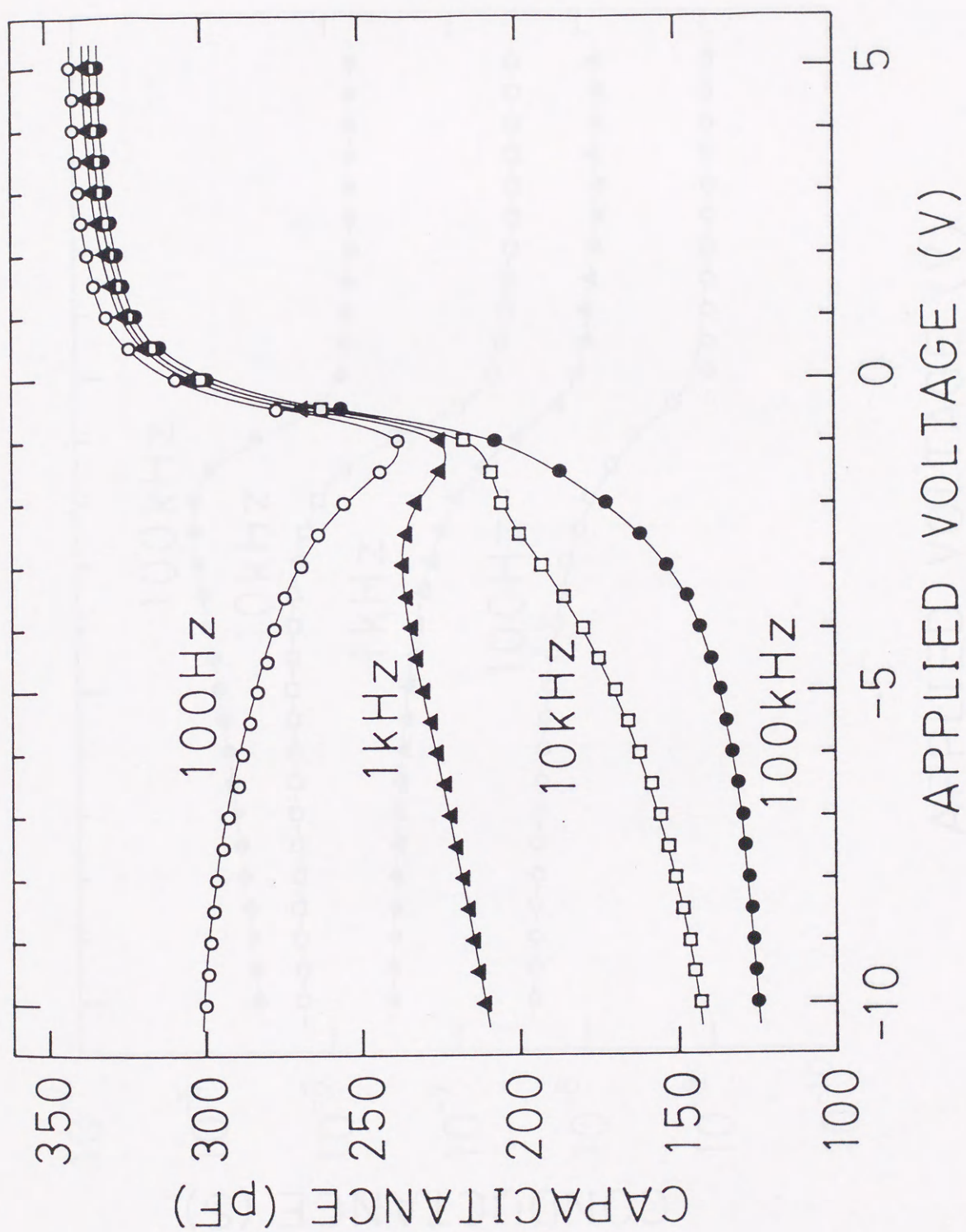


Fig. 3.4 $\text{InP}_{x_0y}\text{-n}$ 型 InP MIS構造における0.1-100 kHzの周波数領域での
C-V特性

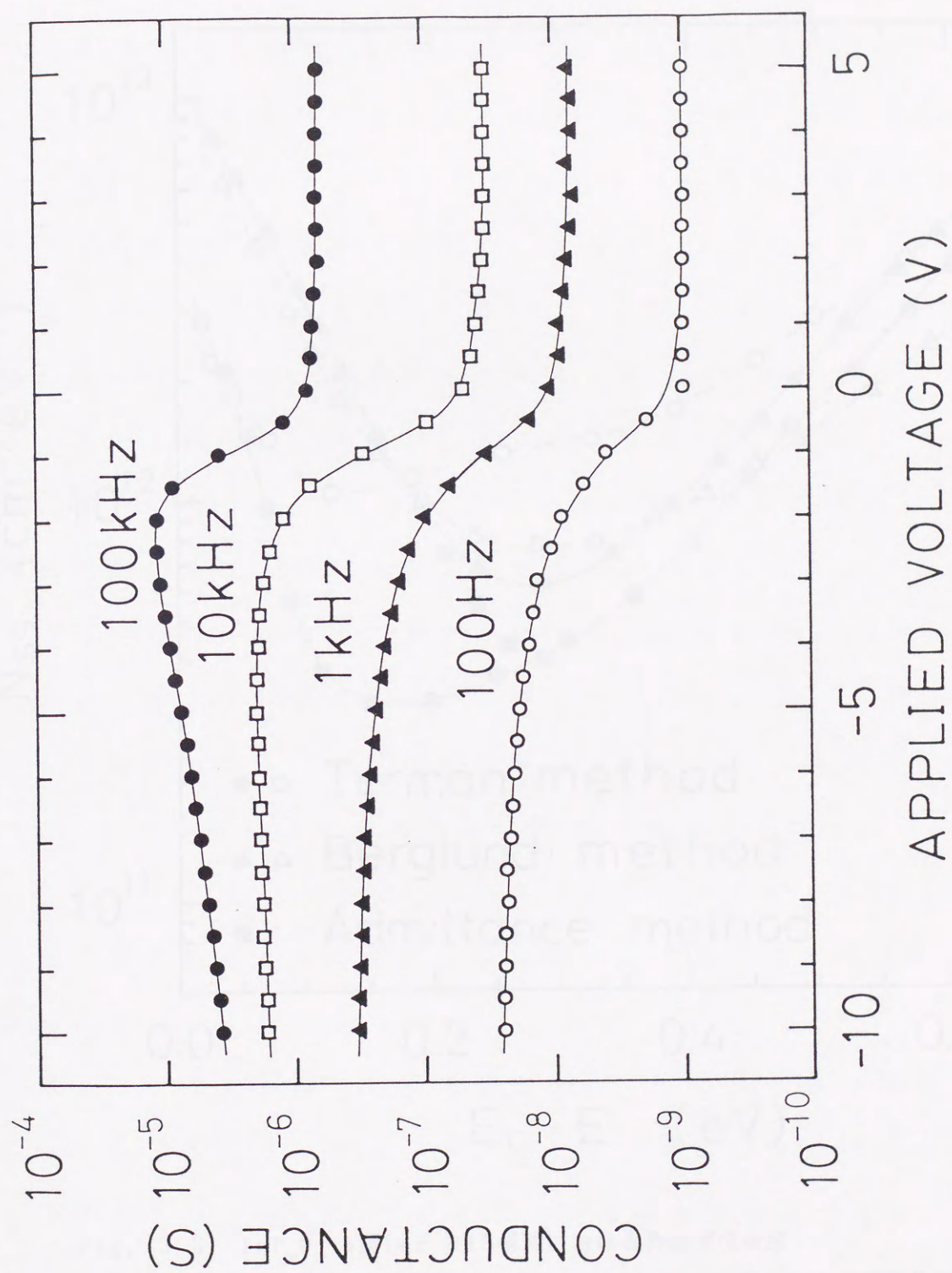


Fig. 3.5 InP_{x0_y-n} 型InP MIS構造における0.1-100 kHzの周波数領域での
G-V特性

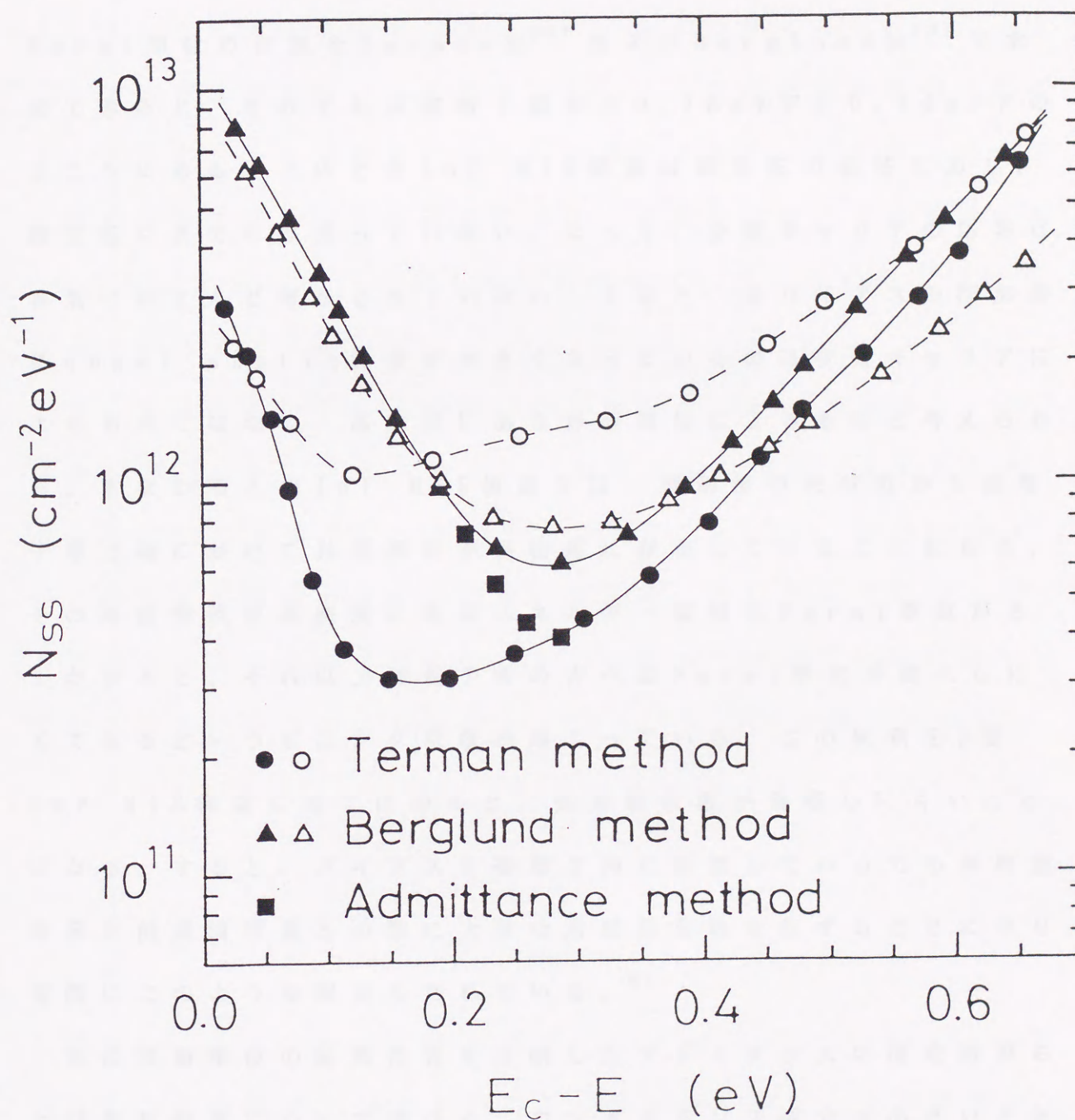


Fig. 3.6 InP_xO_y -n型InP MIS構造における界面準位密度

●, ▲, 実線は蓄積から反転への測定によって得られた界面準位密度
○, △, 破線は反転から蓄積への測定によって得られた界面準位密度

⁵³⁾では N_{ss} の最小値は $7 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ で、そのエネルギー位置は伝導帯下端から 0.28 eV 下のところである。

-10 V の負バイアスを印加したときの半導体表面におけるFermi準位の位置をTerman法⁵²⁾およびBerglund法⁵³⁾で求めてみると、それぞれ伝導帯下端から 0.76 eV 下と 0.84 eV 下のところにある。このときInP MIS構造は弱反転の領域にあり、強反転にまでには至っていない。よって、少数キャリアの応答は容量にほとんど寄与されていない。すると、負バイアスの印加時にquasi-static容量が大きくなっているのは少数キャリアによるものではなく、高密度にある界面準位によるものと考えられる。すなわちこのInP MIS構造では、禁制帯中央付近から価電子帯上端にかけて界面準位が高密度に存在していることになる。その界面準位が高密度にあるエネルギー領域にFermi準位がさしかかると、それ以上価電子帯の方へはFermi準位が進入しにくくなるというピニング現象が起こっている。この現象をp型InP MIS構造に当てはめると、強蓄積状態が実現しにくいことになる。すると、バイアスを蓄積方向に印加していても高周波容量と低周波容量との間に大きな周波数分散を生ずることになり、実際にこのような報告もされている。⁶⁾

次に界面準位の動的性質を反映したアドミタンスの測定結果および解析結果について述べる。コンダクタンス成分は小さいときでアドミタンスの1%以下となり、これを精度良く測定するには市販のLCRメータでは困難である。そこでアドミタンスの測定はYHP 4260A UNIVERSAL BRIDGEで行うことにし、正確な

測定を行うために付録に示すバンドパスフィルタを用いた。ブリッジでは平衡をとってくると測定信号が小さくなり雑音に埋もれてくる。よって高いQ値を有するバンドパスフィルタによって、測定周波数以外の雑音を減衰させることが重要である。このようにして信号雑音比を向上させることによって測定感度が増大できる。アドミタンスの測定には長い時間と高い精度が必要なために、安定な試料に対してのみ適用できる。実際に本研究では測定に約2日を要し、その間に特性の経時変化がないような試料を作製することが不可欠であった。

空乏領域におけるMISの等価回路をFig. 3.7に示す。この図の中で C_M と R_M は、それぞれMIS構造の直列容量と直列抵抗であり、 C_D は半導体の空乏層容量である。 C_I と R_I は、それぞれゲート絶縁膜の直列容量と直列抵抗である。そして C_p と G_p は、微小交流信号による界面準位の応答を等価的に並列容量と並列コンダクタンスで表したものである。Fig. 3.7の等価回路から G_p / ω を求めると、

$$\frac{G_p}{\omega} = \frac{(D_M C_I - D_I C_M) C_M C_I}{(C_I - C_M)^2 + (D_M C_I - D_I C_M)^2} \quad (3.1)$$

となる。ここで、 $\omega = 2\pi f$ であり、 $D_M = \omega C_M R_M$ 、 $D_I = \omega C_I R_I$ とおいた。この D_M と D_I はそれぞれMIS構造およびゲート絶縁膜の誘電損失を表す。

周波数0.02-5 kHzの範囲で C_I と R_I を測定するために、MIS構造に+5Vのバイアスを加え強蓄積状態を作る。この状態で測定

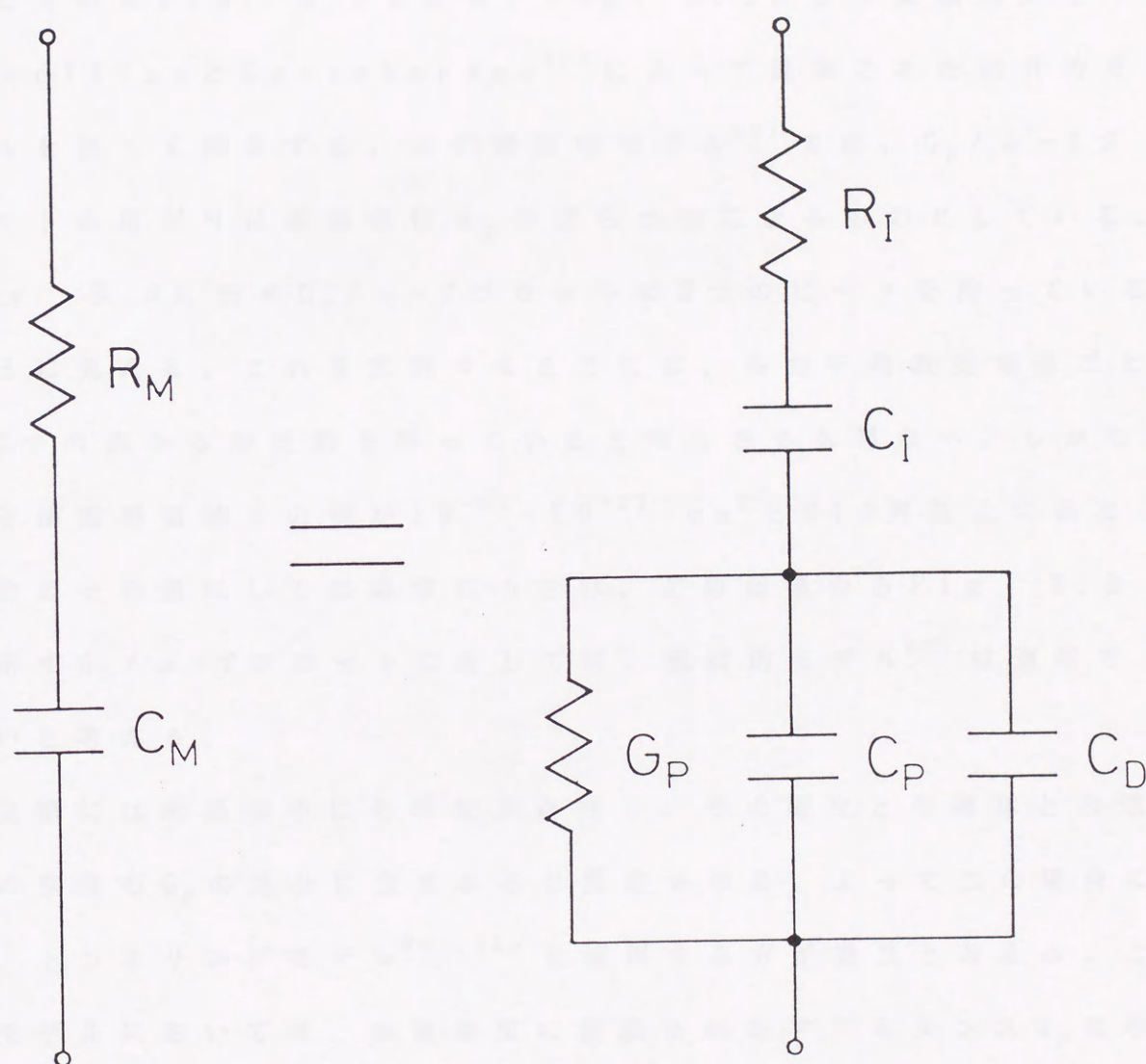


Fig. 3.7 空乏領域におけるMIS等価回路

したMIS構造の直列容量と直列抵抗をそれぞれ C_I と R_I とみなす。次に空乏状態になるようにバイアスを印加し、周波数ごとにMIS構造の直列容量 C_M と直列抵抗 R_M を測定する。この C_M, R_M, C_I, R_I を式(3.1)に代入して G_p/ω を計算する。各バイアスごとに表面電位 ϕ_s が決定され、各 ϕ_s に対する G_p/ω と周波数 f との関係を示したのがFig. 3.8である。Fig. 3.8に示す実験結果を、NicollianとGoetzberger⁵⁷⁾によって提案された統計的モデルを使って解析する。この統計的モデル⁵⁷⁾では、 $G_p/\omega - f$ プロットの広がりには表面電位 ϕ_s のばらつきによるものとしている。Fig. 3.8に示す $G_p/\omega - f$ プロットは2つのピークを持っているように見える。これを説明するためには、各の平均表面電位ごとに2つの異なる時定数を持っていると考えざるを得ない。しかも、電子捕獲断面積 σ の値が $10^{-20} - 10^{-17} \text{ cm}^2$ とMIS界面上にある準位の σ の値にしては非常に小さい。この結果からFig. 3.8に示す $G_p/\omega - f$ プロットに対しては、統計的モデル⁵⁷⁾は適切でないと考える。

実際には絶縁膜中にも準位が存在し、その準位と半導体との電子の交換も G_p の成分に含まれると推定される。よってこの場合には、トンネリングモデル^{54), 55)}を適用する方が妥当と考える。このモデルにおいては、界面準位に接続されるアドミタンス Y_p は次のように表される。

$$Y_p = i\omega \frac{Sq^2}{kT} \int_0^\infty \int_{-\infty}^\infty \frac{N(x, E) f_0 (1 - f_0)}{1 + i\omega\tau f_0} dE dx \quad (3.2)$$

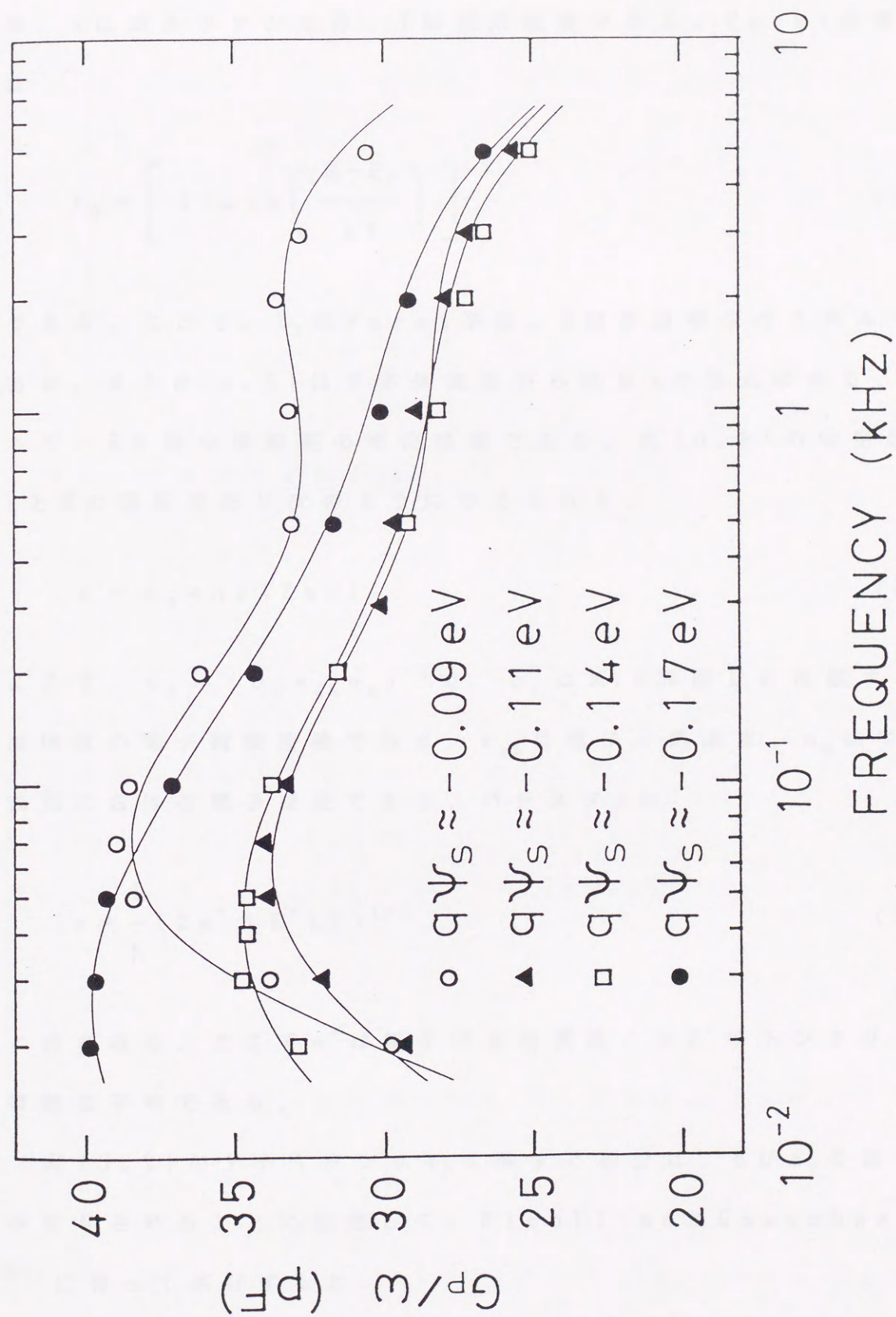


Fig. 3.8 $\text{InP}_{0.9}\text{-n}$ 型 InP MIS 構造における $G_p/\omega - f$ 特性
 実線はトンネリングモデルに基づく $G_p/\omega - f$ の理論曲線

ここで、 S はMIS構造におけるゲート電極の面積、 q は電子の電荷、 k はボルツマン定数、 T は絶対温度である。Fermi分布関数は

$$f_0 = \left[1 + \exp \left(\frac{E - E_F}{kT} \right) \right]^{-1} \quad (3.3)$$

である。ここで、 E_F はFermi準位、 E は界面準位のエネルギーである。また $N(x, E)$ は半導体表面から距離 x の地点にある、エネルギー E を持つ絶縁膜の準位密度である。式(3.2)の時定数 τ は、 x と E の関数であり次のように与えられる。

$$\tau = \tau_0 \exp(2ax) \quad (3.4)$$

ここで、 $\tau_0 = (\sigma_0 v_{th} n_s)^{-1}$ で、 σ_0 はMIS界面上に位置する界面準位の電子捕獲面積である。 v_{th} は電子の熱速度、 n_s は半導体表面における電子濃度である。パラメタ a は

$$a = \frac{1}{\hbar} (2m^* \Delta E^* kT)^{1/2} \quad (3.5)$$

と表される。ここで m^* は電子の有効質量、 ΔE^* はトンネリング障壁の平均である。

式(3.2)のアドミタンス Y_p に関する積分は、 E が E_F の近傍のみ寄与されることに注意して、NicollianとGoetzberger⁵⁷⁾に習って実行すると、

$$Y_p = G_p + i \omega C_p \quad (3.6)$$

ここで、

$$\frac{G_p}{\omega} = \frac{q^2 S}{2} \int_0^\infty \frac{N(x, E_F)}{\omega \tau_0 \exp(2ax)} \ln[1 + (\omega \tau_0)^2 \exp(4ax)] dx \quad (3.7)$$

$$C_p = q^2 S \int_0^\infty \frac{N(x, E_F)}{\omega \tau_0 \exp(2ax)} \arctan[\omega \tau_0 \exp(2ax)] dx \quad (3.8)$$

となる。また界面準位密度 N_{ss} は

$$N_{ss} = \int_0^\infty N(x, E_F) dx \quad (3.9)$$

となる。 $G_p / \omega - f$ プロットに見られた2つのピークに対応して、絶縁膜中の準位密度を次のように仮定する。

$$N(x, E) = N_0(E) \exp\left(-\frac{x}{W_0}\right) + N_1(E) \exp\left[-\frac{(x - x_1)^2}{W_1^2}\right] \quad (3.10)$$

この密度分布は、半導体表面から絶縁膜内部へ向かって密度が減少していく準位と、絶縁膜中のある幾何学的な深さのところに密度が集中している準位の両方を想定している。

Fig. 3.8に示す実線は式(3.7)を用いて、実験結果になるべく一致するようにパラメタを調整して計算した結果である。この計算に用いたパラメタをTable 3.1に示す。そのパラメタが

Table 3.1 InP_xO_y -n型InP界面における界面準位アドミタンス計算に用いたパラメタ

$q\phi_s(\text{eV})$	$N_0/2a(\text{cm}^{-2}\text{eV}^{-1})$	N_1/N_0	$2aW_0$	$2ax_1$	$2aW_1$	$\tau_0(\text{s})$
-0.09	3.6×10^{10}	1.0	2.5	5.5	1.0	2.8×10^{-5}
-0.11	2.7×10^{10}	0.8	3.0	5.9	1.7	2.6×10^{-5}
-0.14	2.4×10^{10}	0.8	3.5	6.4	2.3	2.4×10^{-5}
-0.17	2.3×10^{10}	0.9	4.0	7.0	2.8	2.3×10^{-5}

Table 3.2 InP_xO_y -n型InP界面における時定数 τ による界面準位の分類

$E_C - E(\text{eV})$	$N_{\text{SL}}(\text{cm}^{-2}\text{eV}^{-1})^a$	$N_{\text{SS}}^*(\text{cm}^{-2}\text{eV}^{-1})^b$	$N_{\text{FS}}(\text{cm}^{-2}\text{eV}^{-1})^c$
0.21	0.7×10^{11}	1.6×10^{11}	5.9×10^{11}
0.24	2.0×10^{11}	1.5×10^{11}	4.0×10^{11}
0.26	2.6×10^{11}	1.6×10^{11}	2.8×10^{11}
0.29	2.9×10^{11}	2.0×10^{11}	2.1×10^{11}

^a $(2\pi\tau)^{-1} \lesssim 20\text{Hz}$ で応答する界面準位密度

^b $(2\pi\tau)^{-1} \sim 0.02\text{--}5\text{ kHz}$ で応答する界面準位密度

^c $(2\pi\tau)^{-1} \gg 5\text{kHz}$ で応答する界面準位密度

ら式(3.9)を用いて計算される界面準位密度を N_{ss}^* とし、Table 3.2に載せる。 a^{-1} の値は文献54), 55)によると、1 Åのオーダーである。絶縁膜中への界面準位の広がりを $x_1 + W_1$ の距離でもって近似する。 $a^{-1} < 5 \text{ Å}$ とすれば、 $x_1 + W_1$ は25 Å以下になる。Fig. 3.6に示すように、0.02-5 kHzの周波数範囲にある $G_p / \omega - f$ 曲線から得られる界面準位密度 N_{ss}^* は、Berglund法⁵³⁾によって得られた界面準位密度 N_{ss} に比べかなり小さい。これは G_p / ω を測定した周波数の範囲外で応答する界面準位が存在するためと考えられる。式(3.9)で計算された N_{ss}^* は $(2\pi\tau)^{-1} \sim 0.02-5 \text{ kHz}$ の範囲で応答する界面準位密度を表している。

Table 3.1に示した τ_0 から電子捕獲断面積 σ_0 を求め、それを $E_c - E$ の関数で表したのがFig. 3.9である。この0.02-5 kHzで応答する界面準位の捕獲断面積は、ちょうどInP_xO_y-InP界面上に準位があるものとみなした値である。Fig. 3.9に示すように、 E_c から見たエネルギー E が深くなるにつれて、捕獲断面積 σ_0 は指数関数的に増加している。このような傾向はSiの金属-酸化物-半導体(MOS)構造でも見られる。^{58), 59)}

Fig. 3.7に示す等価回路から C_p を求めると

$$C_p = \frac{(C_I - C_M) C_I C_M}{(C_I - C_M)^2 + (D_M C_I - D_I C_M)^2} - C_D \quad (3.11)$$

となる。ここで半導体の空乏層容量 C_D は表面電位 ψ_s から計算される。 C_I, C_M, D_I, D_M, C_D を式(3.11)に代入すると、 C_p は各周波数 f 、各表面電位 ψ_s ごとに求められる。室温における $C_p - f$ プ

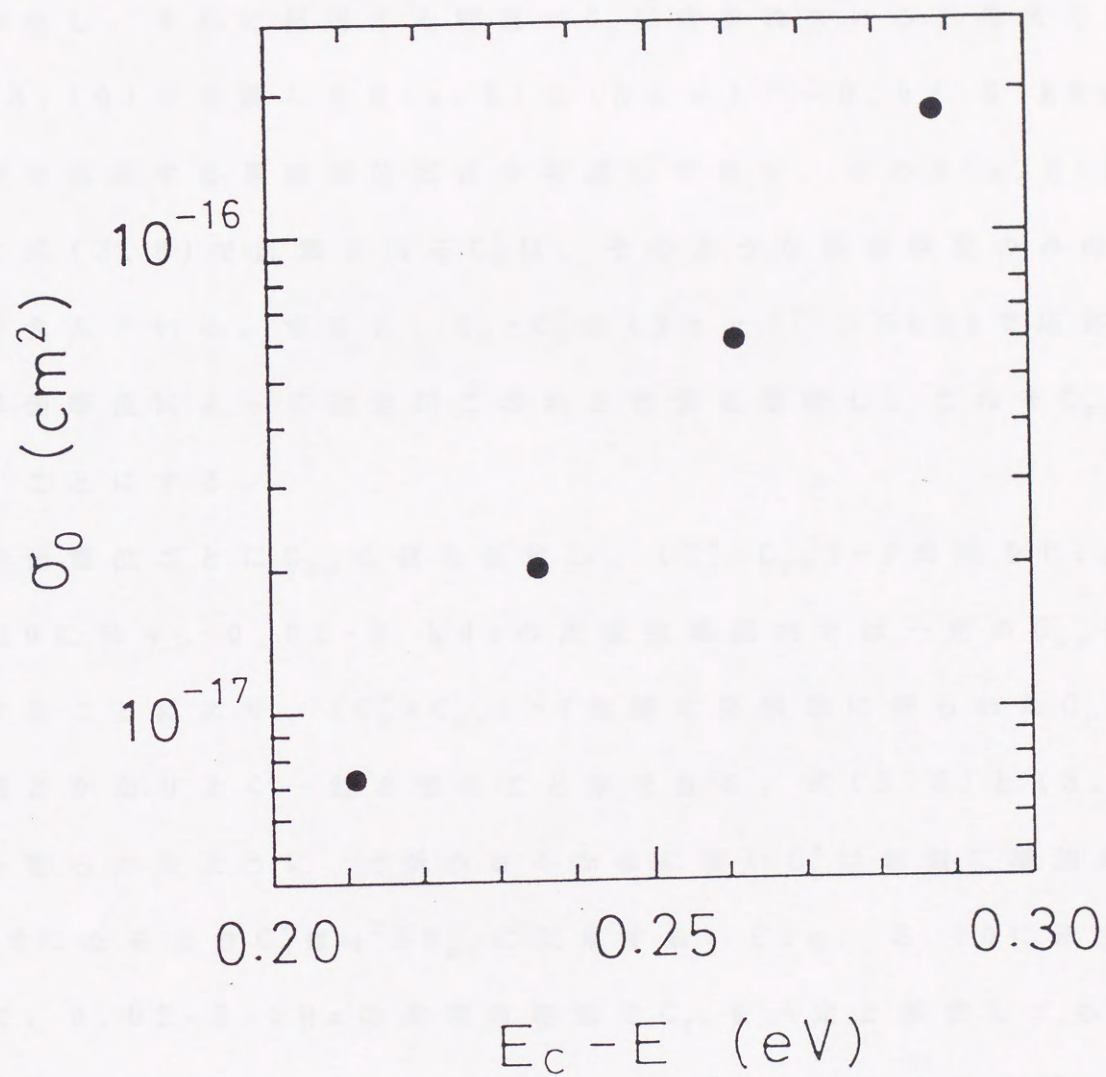


Fig. 3.9 InP_xO_y -n型InP界面における電子捕獲断面積

ロットを Fig. 3.10 に示す。Table 3.1 を示す値を式 (3.8) に代入して、計算される C_p の値を C_p^* とする。式 (3.8) で計算される C_p^* の値は、式 (3.11) で計算される C_p の値に比べかなり小さい。これは $(2\pi\tau)^{-1} > 5 \text{ kHz}$ で応答するような速い界面準位が存在し、それに起因する容量が C_p に含まれていると考えられる。式 (3.10) で定義した $N(x, E)$ は $(2\pi\tau)^{-1} \sim 0.02 - 5 \text{ kHz}$ の範囲で応答する界面準位だけを考慮しており、その $N(x, E)$ を使って式 (3.8) で計算される C_p^* は、そのような界面準位のみの応答を含んでいる。すると、 $C_p - C_p^*$ は $(2\pi\tau)^{-1} > 5 \text{ kHz}$ で応答する界面準位によって引き起こされる容量を意味し、これを C_{FP} と表すことにする。

表面電位ごとに C_{FP} の値を仮定し、 $(C_p^* + C_{FP}) - f$ 曲線を Fig. 3.10 に示す。0.02 - 5 kHz の周波数範囲内では一定の C_{FP} を仮定することにより、 $(C_p^* + C_{FP}) - f$ 曲線は実験的に得られた $C_p - f$ 曲線とかなりよく一致させることができる。式 (3.8) と (3.9) から明らかのように、 f が小さくなるに従い C_p^* は単調に増加し、 f が 0 になるとき C_p^* は $q^2 S N_{SS}^*$ に収束する。Fig. 3.10 に示すように、0.02 - 5 kHz の周波数範囲で C_{FP} を一定と仮定しても $(C_p^* + C_{FP}) - f$ 曲線と $C_p - f$ 曲線はよく一致することから、速い界面準位の応答による C_{FP} は 5 kHz ですでに収束しているとみなすことができる。すなわち、速い界面準位の応答周波数は $(2\pi\tau)^{-1} \gg 5 \text{ kHz}$ と推察される。この $(2\pi\tau)^{-1} \gg 5 \text{ kHz}$ で応答する界面準位密度は $C_{FP} / q^2 S$ で与えられ、これを N_{FS} と表して Table 3.2 に示す。

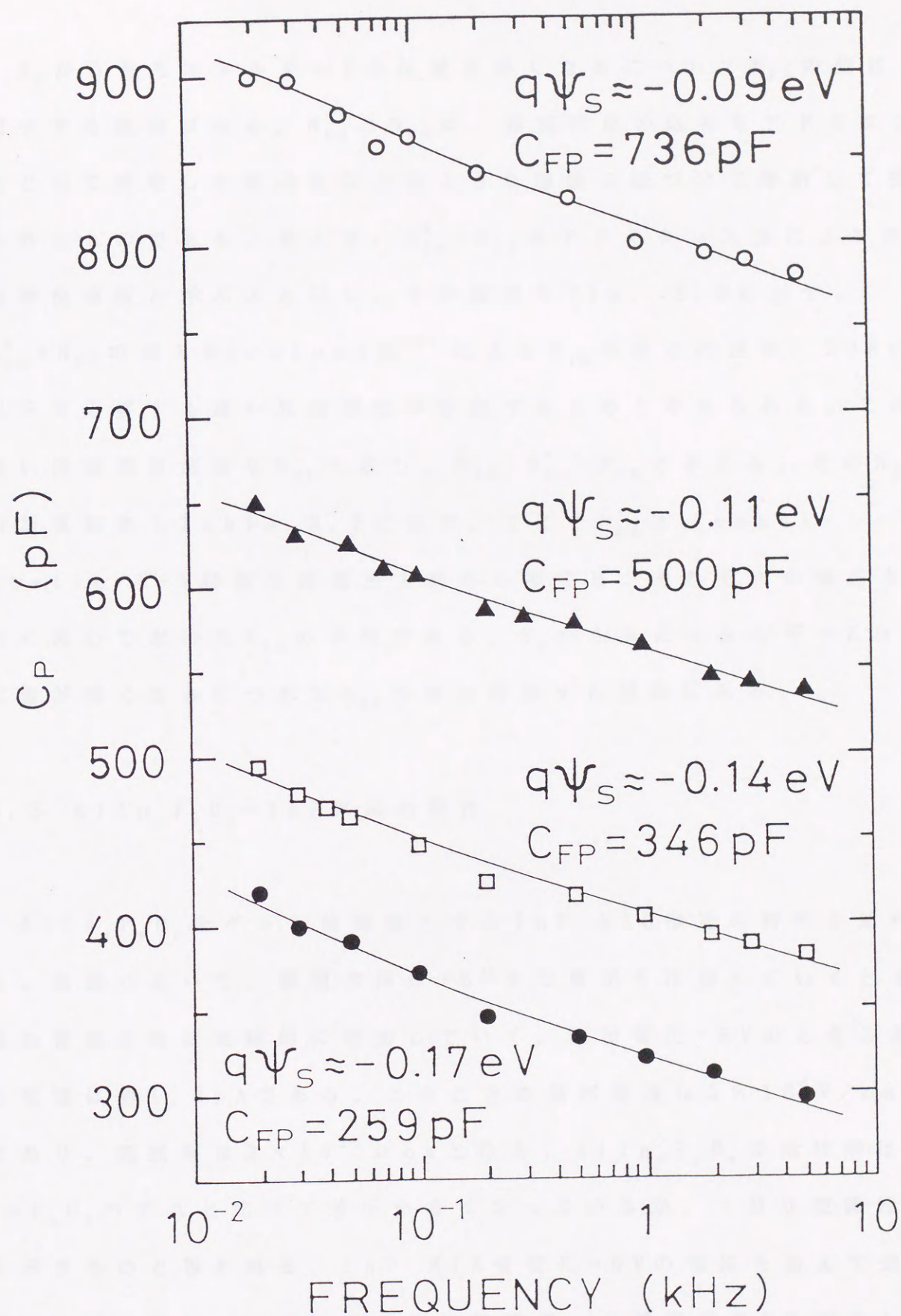


Fig. 3.10 InP_xO_y -n型InP MIS構造における C_p - f 特性

実線はトンネリングモデルに基づく $(C_p^* + C_{FP})$ - f の理論曲線

E_c から見たエネルギー E の位置が深くなるにつれて N_{FS} の値は減少する傾向がある。 N_{SS}^* と N_{FS} は、界面準位の応答をアドミタンスとして測定した結果を以上のような議論に基づいて解析して得られたものである。そこで、 $N_{SS}^* + N_{FS}$ をアドミタンス法による界面準位密度と呼ぶことにし、その結果を Fig. 3.6 に示す。

$N_{SS}^* + N_{FS}$ の値と Berglund 法⁵³⁾ による N_{SS} の値との差は、20 Hz 以下で応答する遅い界面準位が存在するためと考えられる。この遅い界面準位密度を N_{SL} と表し、 $\bar{N}_{SS} - N_{SS}^* - N_{FS}$ で与える。その N_{SL} の計算結果も Table 3.2 に示す。ここで \bar{N}_{SS} は、quasi-static C-V 特性を両電圧方向から測定し、それぞれの電圧方向に対して求めた N_{SS} の平均である。 E_c から見たエネルギー E の位置が深くなるにつれて N_{SL} の値は増加する傾向にある。

3.3 $AlIn_xP_yO_z$ - InP 界面の特性

$AlIn_xP_yO_z$ をゲート絶縁膜とする InP MIS 構造の特性を述べる。室温において、蓄積方向に +5 V まで電圧を印加していくとき、漏れ電流はほぼ直線的に増加していく。印加電圧 +5 V のときの漏れ電流は約 1.3 pA である。このときの電界強度は 3×10^5 V/cm であり、抵抗率は $2 \times 10^{15} \Omega \text{ cm}$ となる。 $AlIn_xP_yO_z$ の抵抗率は InP_xO_y のそれと比べて若干小さくなっているが、十分な絶縁性を示すものと思われる。InP MIS 構造に +5 V の電圧を加えて強蓄積状態を作り、室温における比誘電率 ϵ と誘電損失 D を測定した結果を Fig. 3.11 に示す。周波数が $2 \times 10^{-5} - 1$ MHz の範囲

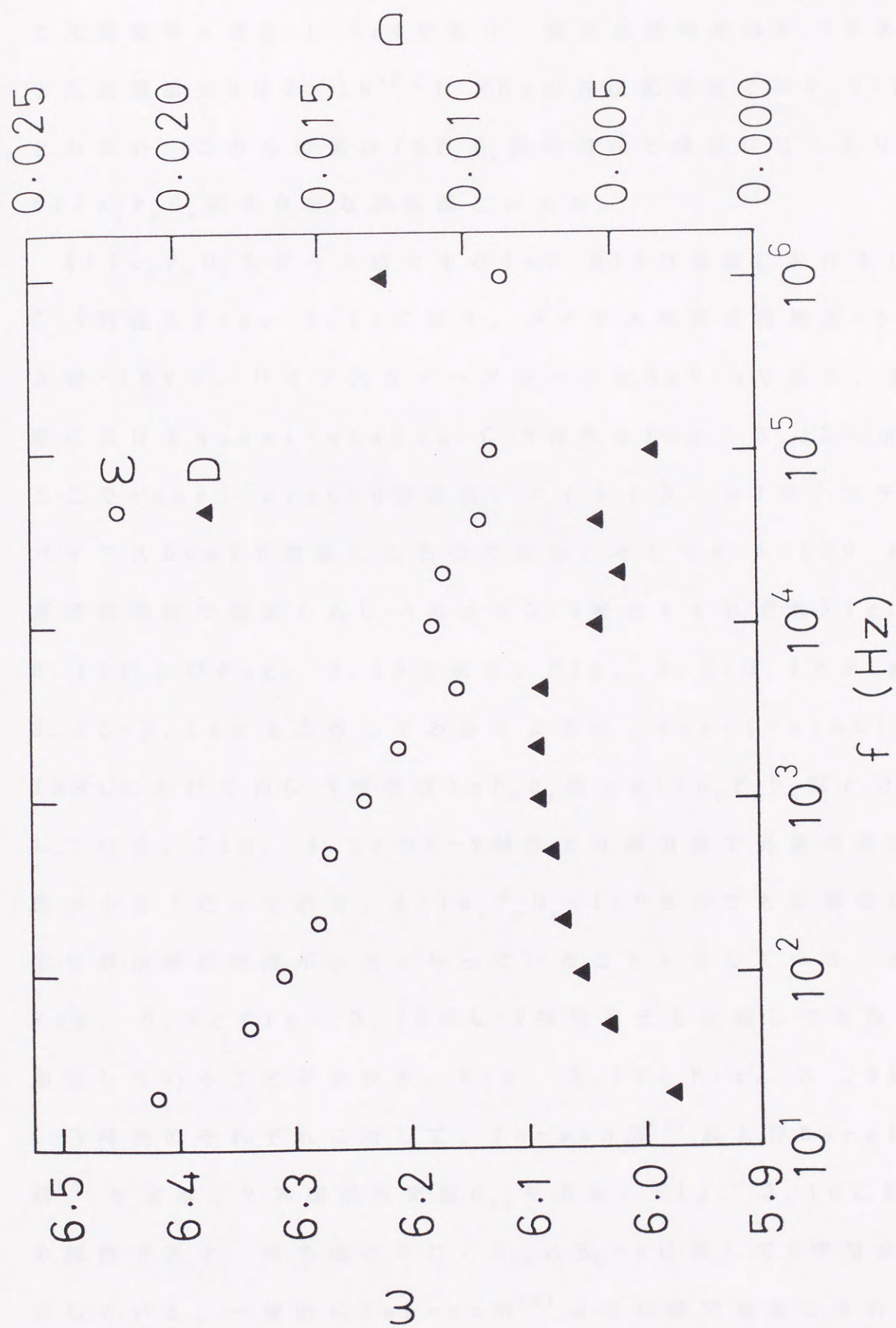


Fig. 3.11 $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜の比誘電率と誘電損失

で比誘電率 ϵ は $6.1 - 6.4$ であり、静的比誘電率は 6.7 である。
 また誘電損失 D は $2 \times 10^{-5} - 1$ MHz の周波数範囲では 0.013 以下と小さい。これらの値は InP_xO_y 膜の特性とほぼ同じであり、
 $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜も良好な絶縁膜といえる。

$\text{AlIn}_x\text{P}_y\text{O}_z$ をゲート膜とする InP MIS の室温における 1MHz $C-V$ 特性を Fig. 3.12 に示す。バイアス範囲は蓄積側 $+5\text{V}$ 、空乏側 -10V で、バイアススイープレートは 5mV/s である。また室温における quasi-static $C-V$ 特性を Fig. 3.13 に示す。
 ここで quasi-static 容量は、ディレイタイム 1 秒、ステップバイアス 50mV で測定したものである。そして $0.1 - 100\text{kHz}$ の周波数範囲で測定した $C-V$ および $G-V$ 特性をそれぞれ Fig. 3.14 および Fig. 3.15 に示す。Fig. 3.2-3.4 と Fig. 3.12-3.14 とを比較してわかるように、quasi-static から 1MHz にかけての $C-V$ 特性は InP_xO_y 膜と $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜とで類似している。Fig. 3.14 の $C-V$ 特性では蓄積側で容量の周波数分散が小さくなっており、 $\text{AlIn}_x\text{P}_y\text{O}_z - \text{InP}$ 界面でも伝導帯に近い方で界面準位密度が小さくなっていることを示している。また Fig. 3.5 と Fig. 3.15 の $G-V$ 特性同士を比較しても両者は類似していることがわかる。Fig. 3.12 と Fig. 3.13 に示す $C-V$ 特性のそれぞれに対して、Terman 法⁵²⁾ および Berglund 法⁵³⁾ を適用して界面準位密度 N_{ss} を求め、Fig. 3.16 に $E_c - E$ の関数で表す。両方法ともに、 N_{ss} は $E_c - E$ に対して U 字型分布を示している。一般的に Terman 法⁵²⁾ より正確であるとされている Berglund 法⁵³⁾ による解析の結果、 N_{ss} の最小値は 6×10^{11}

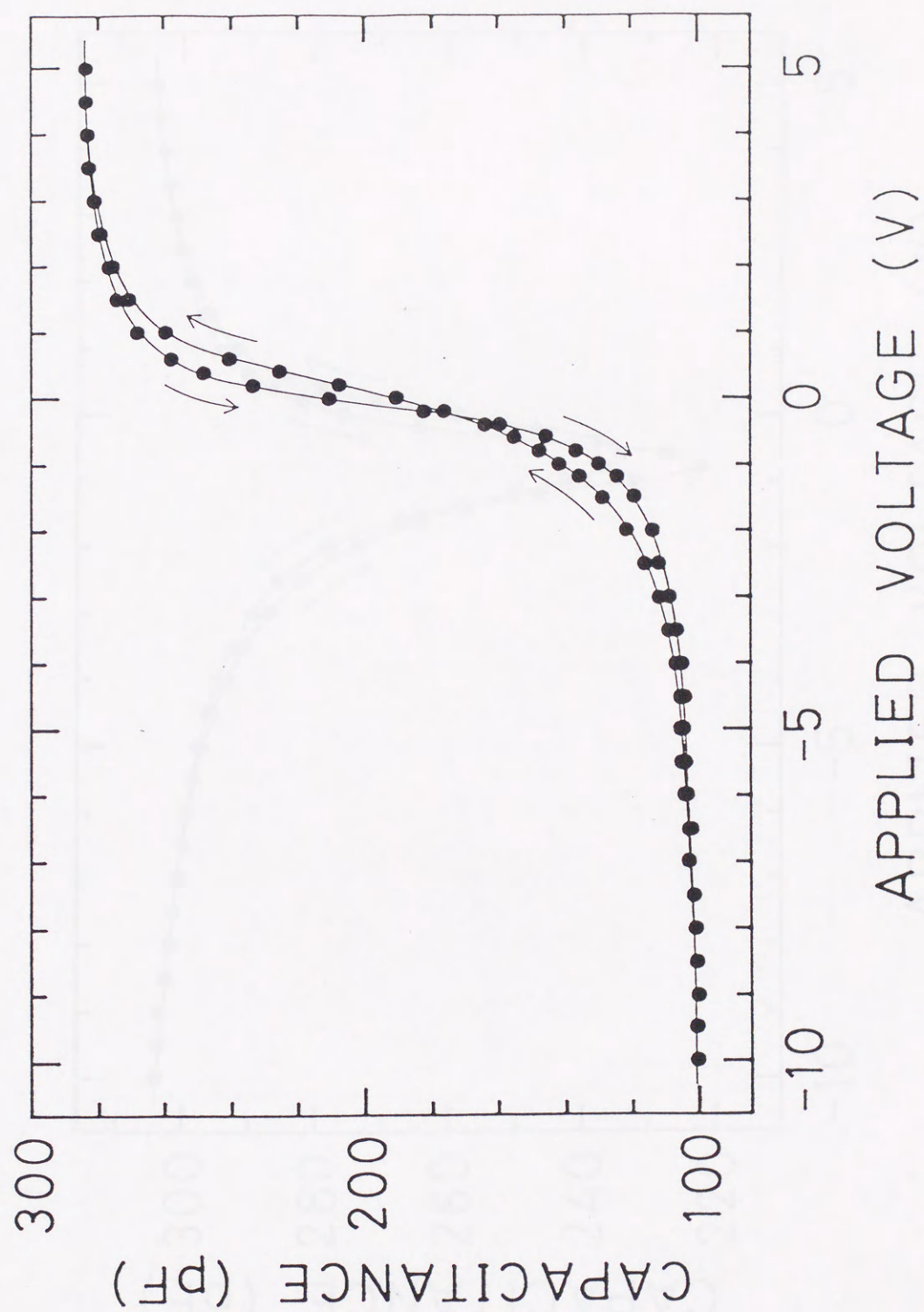


Fig. 3.12 $\text{AlIn}_x\text{P}_y\text{O}_z$ -n type InP MIS structureにおける 1MHz C-V 特性

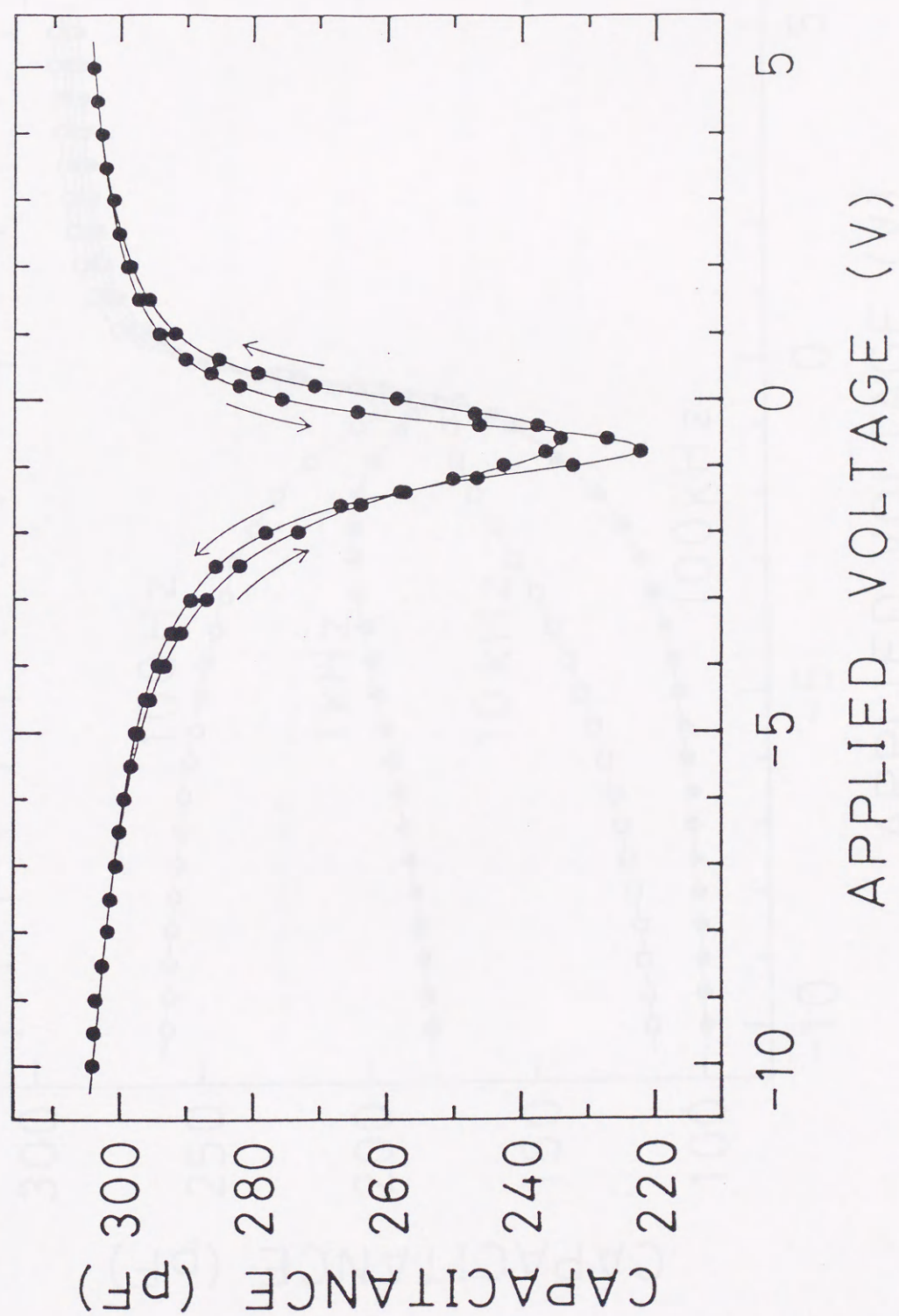


Fig. 3.13 $\text{AlIn}_x\text{P}_y\text{O}_z$ -n type InP MIS structureにおけるquasi-static C-V特性

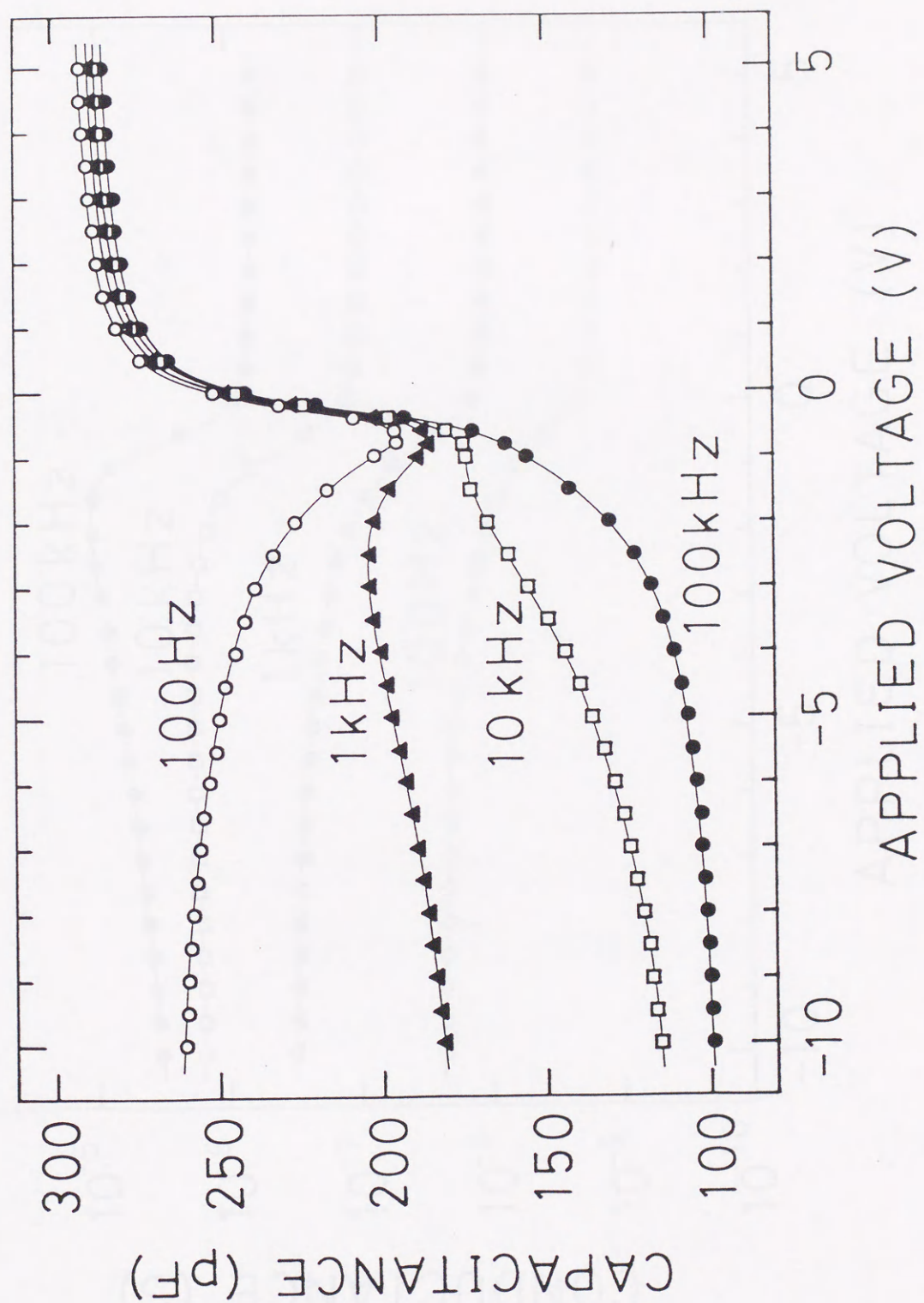


Fig. 3.14 AlInP_{0.1}-n型InP MIS構造における0.1-100 kHzの周波数領域でのC-V特性

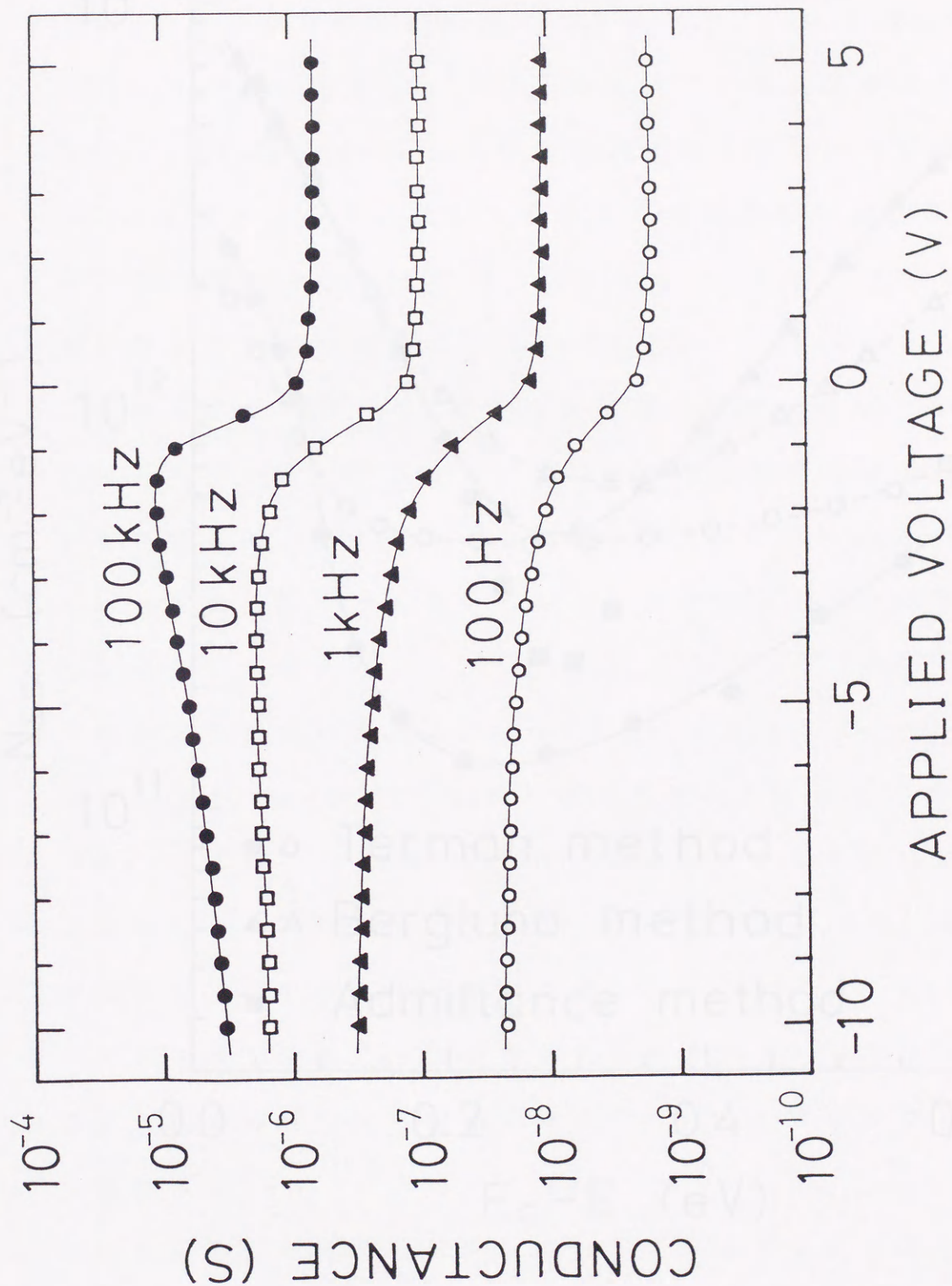


Fig. 3.15 AlInP_xO_z -n type InP MIS構造における0.1-100 kHzの周波数領域での
G-V特性

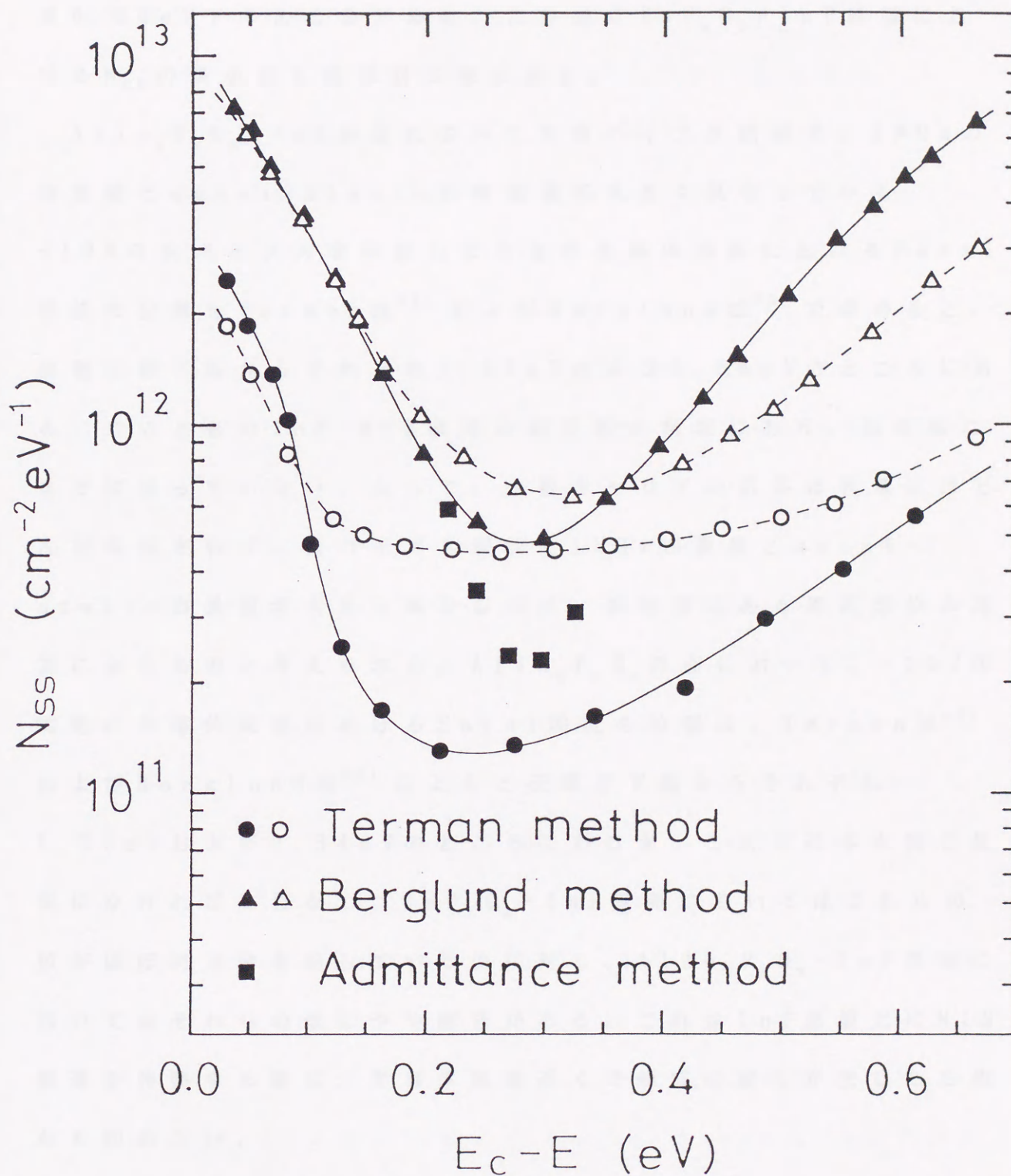


Fig. 3.16 $\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP MIS構造における界面準位密度

●, ▲, 実線は蓄積から反転への測定によって得られた界面準位密度
○, △, 破線は反転から蓄積への測定によって得られた界面準位密度

$\text{cm}^{-2}\text{eV}^{-1}$ で、そのときのエネルギー位置はInPの伝導帯下端より 0.30eV 下のところである。この値は InP_xO_y -InP界面における N_{ss} の最小値とほぼ同じ値である。

$\text{AlIn}_x\text{P}_y\text{O}_z$ -InP界面においても負バイアス領域で、 1MHz の容量値とquasi-staticの容量値が大きく異なっている。
 -10V の負バイアスを印加したときの半導体表面におけるFermi準位の位置をTerman法⁵²⁾およびBerglund法⁵³⁾で求めると、価電子帯下端からそれぞれ 1.15eV および 0.84eV のところにある。このときのInP MIS構造は弱反転の領域にあり、強反転にまでは至っていない。よって、少数キャリアの応答は容量にほとんど寄与されず、負バイアス領域で 1MHz 容量値とquasi-static容量値が大きく異なるのは、高密度にある界面準位の応答によるものと考えられる。 $\text{AlIn}_x\text{P}_y\text{O}_z$ 界面において、 -10V 印加時の半導体表面におけるFermi準位の位置は、Terman法⁵²⁾およびBerglund法⁵³⁾によると伝導帯下端からそれぞれ 1.15eV および 0.84eV のところにあるが、これらは本来同じ位置になければならない。 InP_xO_y -InP界面においてはこれらの値がほぼ同じ値を示しているのに対し、 $\text{AlIn}_x\text{P}_y\text{O}_z$ -InP界面においてはそれらの値にやや開きがある。これはInP基板上にMIS構造を作製する際に、半導体表面近くで組成の変化が生じたためかも知れない。

次に界面準位の動的性質を反映したアドミタンスを扱う。まず $+5\text{V}$ の電圧を印加して強蓄積状態を作り、 $0.02-5\text{kHz}$ の周波数範囲で、絶縁膜の直列容量 C_I および直列抵抗 R_I を測定する。

そして、MISが空乏状態になるようにバイアスを印加して、同じ周波数範囲でMISの直列容量 C_M と直列抵抗 R_M を測定する。これらの値を式(3.1)に代入すると、各バイアス、各周波数ごとに G_p/ω が求められる。各バイアスごとにそれぞれ表面電位が対応し、その表面電位ごとに $G_p/\omega - f$ の関係を示したのがFig.

3.17である。この図からわかるように、 $G_p/\omega - f$ プロットは2つのピークを持っているように見える。よって $AlIn_xP_yO_z - InP$ 界面に対しても、統計的モデル⁵⁷⁾は適さないと考える。そこでこの場合もトンネリングモデル^{54), 55)}を用いて界面準位を解析することにする。

絶縁膜中の準位の分布を $InP_xO_y - InP$ 界面のときと同様に、式(3.10)のように仮定する。式(3.7)で計算される G_p/ω が実験結果に一致するようにパラメタを調整する。その計算結果をFig. 3.17に実線で示し、そこに使われたパラメタをTable 3.3に示す。ここで準位の広がり $(x_1 + W_1)$ と定め、この値を推測する。式(3.5)で与えられる a^{-1} の値は1Åのオーダーとされている。^{54), 55)}そこで $a^{-1} < 5\text{Å}$ と仮定すれば、準位の広がり $(x_1 + W_1)$ は25Å以下と見積もられる。この値は $InP_xO_y - InP$ 界面における準位の広がりと同程度のものである。さて、式(3.9)から計算される界面準位密度を N_{ss}^* とする。ところがこの N_{ss}^* の値は、Fig. 3.16に示されるように、Berglund法⁵³⁾で求められる N_{ss} の値よりもかなり小さくなっている。 N_{ss}^* は0.02-5 kHzの周波数範囲で応答する界面準位だけを扱ったものであるから、 $AlIn_xP_yO_z - InP$ 界面に対しても、 N_{ss}^* と N_{ss} の差はこの周波

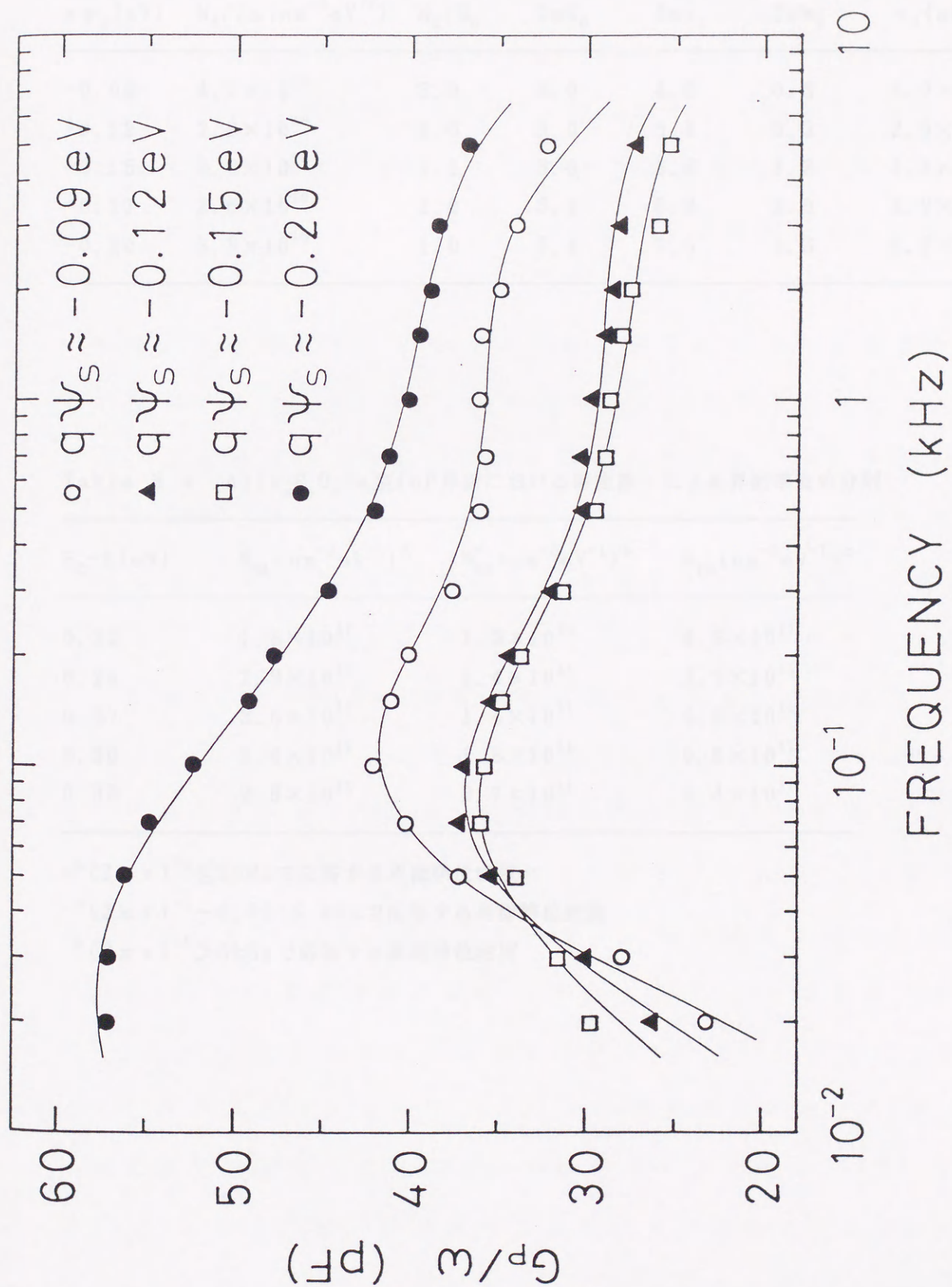


Fig. 3.17 $\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP MIS構造における G_p/ω - f 特性
 実線はトンネリングモデルに基づく G_p/ω - f の理論曲線

Table 3.3 $\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP界面における界面準位アドミタンス計算に用いたパラメタ

$q\phi_s(\text{eV})$	$N_0/2a(\text{cm}^{-2}\text{eV}^{-1})$	N_1/N_0	$2aW_0$	$2ax_1$	$2aW_1$	$\tau_0(\text{s})$
-0.09	4.1×10^{10}	3.0	2.0	4.6	0.3	4.0×10^{-5}
-0.12	2.8×10^{10}	1.6	3.0	5.4	0.3	2.3×10^{-5}
-0.15	2.6×10^{10}	1.1	3.0	5.6	1.3	2.2×10^{-5}
-0.17	2.6×10^{10}	1.0	3.3	6.3	2.0	2.2×10^{-5}
-0.20	3.3×10^{10}	1.0	3.4	7.0	2.5	2.2×10^{-5}

Table 3.4 $\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP界面における時定数 τ による界面準位の分類

$E_c - E(\text{eV})$	$N_{\text{SL}}(\text{cm}^{-2}\text{eV}^{-1})^a$	$N_{\text{SS}}^*(\text{cm}^{-2}\text{eV}^{-1})^b$	$N_{\text{FS}}(\text{cm}^{-2}\text{eV}^{-1})^c$
0.22	1.8×10^{11}	1.5×10^{11}	4.5×10^{11}
0.24	2.9×10^{11}	1.4×10^{11}	2.2×10^{11}
0.27	3.6×10^{11}	1.4×10^{11}	0.9×10^{11}
0.30	3.4×10^{11}	1.8×10^{11}	0.5×10^{11}
0.33	2.8×10^{11}	2.7×10^{11}	0.4×10^{11}

^a $(2\pi\tau)^{-1} \lesssim 20\text{Hz}$ で応答する界面準位密度

^b $(2\pi\tau)^{-1} \sim 0.02\text{--}5\text{ kHz}$ で応答する界面準位密度

^c $(2\pi\tau)^{-1} \gg 5\text{kHz}$ で応答する界面準位密度

数範囲外で応答する界面準位密度を表すものと考えられる。

Table 3.3に示す時定数 τ_0 から電子捕獲断面積 σ_0 を求め $(E_c - E)$ の関数で表したのがFig. 3.18である。その図から明らかのように、伝導帯下端 E_c からのエネルギー位置 E が深くなるにつれて σ_0 は増加している。このような傾向は $\text{InP}_x\text{O}_y - \text{InP}$ 界面で見られたのと同様に、Si MOS構造でも観測されている。⁵⁸⁾,
59)

次に、界面準位アドミタンスの容量成分 C_p について議論する。この C_p は、 C_i, C_m, D_i, D_m, C_d を式(3.11)に代入することによって、各表面電位、各周波数ごとに求められる。一方トンネリングモデル^{54), 55)}に従い、Table 3.3に示したパラメタを式(3.8)に代入して得られる C_p を C_p^* と表すことにする。この場合も $\text{InP}_x\text{O}_y - \text{InP}$ 構造のときと同様、 C_p の方が C_p^* よりかなり大きい。 C_p^* は0.02-5 kHzの周波数範囲で応答する界面準位によって生じるものであり、 C_p と C_p^* の差は5kHz以上で応答する界面準位によるものとする。すなわち5kHz以上で応答する速い界面準位の容量成分を $C_p^* - C_p$ で与えることにし、これを C_{FP} で表すことにする。Fig. 3.19に示すように、各表面電位ごとに0.02-5 kHzの周波数に依存しない一定の C_{FP} を定めることで、 $(C_p^* + C_{FP}) - f$ 曲線は実験的に求めた $C_p - f$ プロットによく一致させることができる。よって $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜に関しても、5kHz以上の周波数で応答する界面準位の時定数を τ とすれば、 $(2\pi\tau)^{-1} \gg 5\text{kHz}$ となり、速い界面準位による応答の容量成分 C_{FP} は、5kHz以下の周波数で一定値をとっているとみなすことができる。

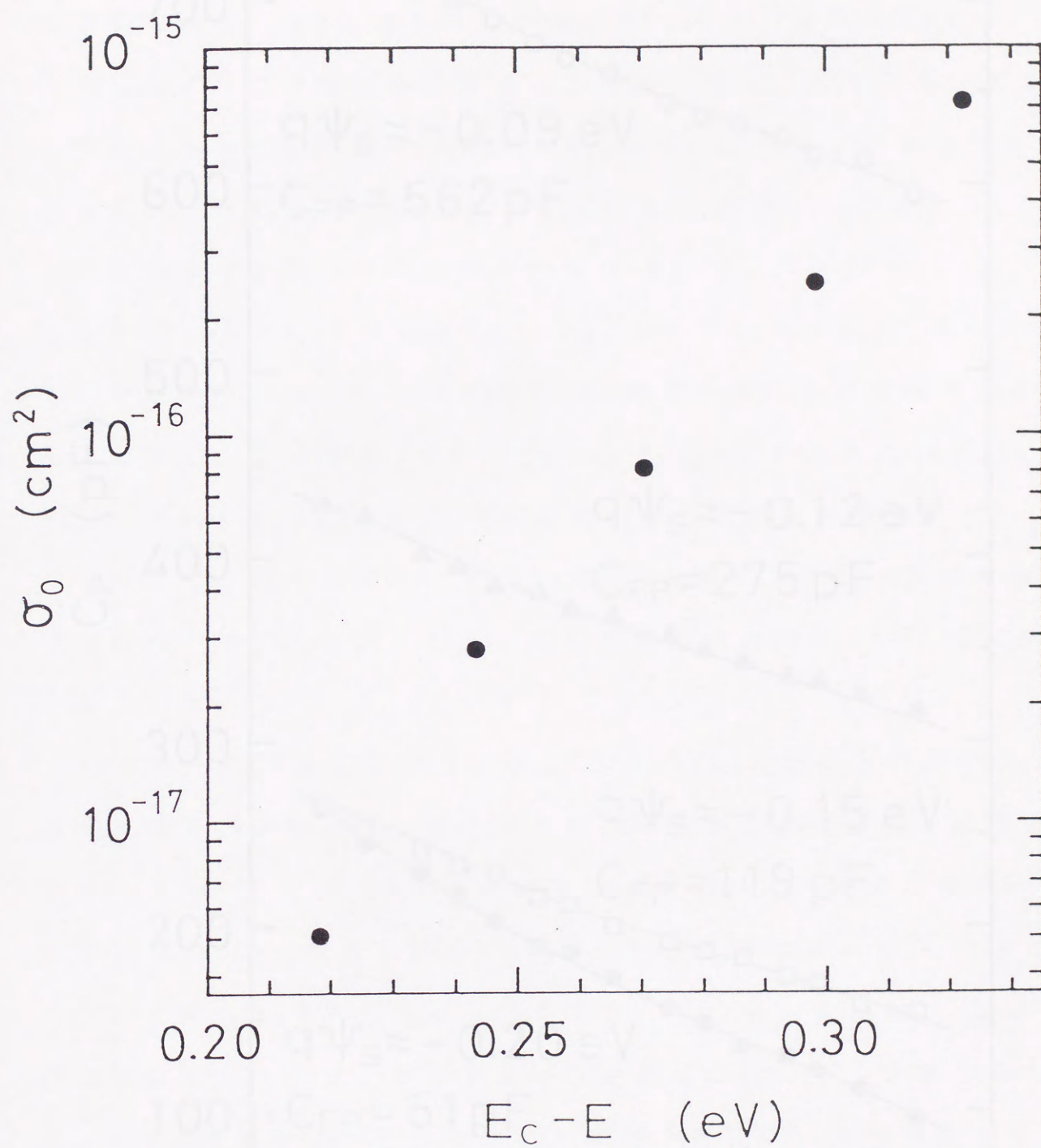


Fig. 3.18 $\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP界面における電子捕獲断面積

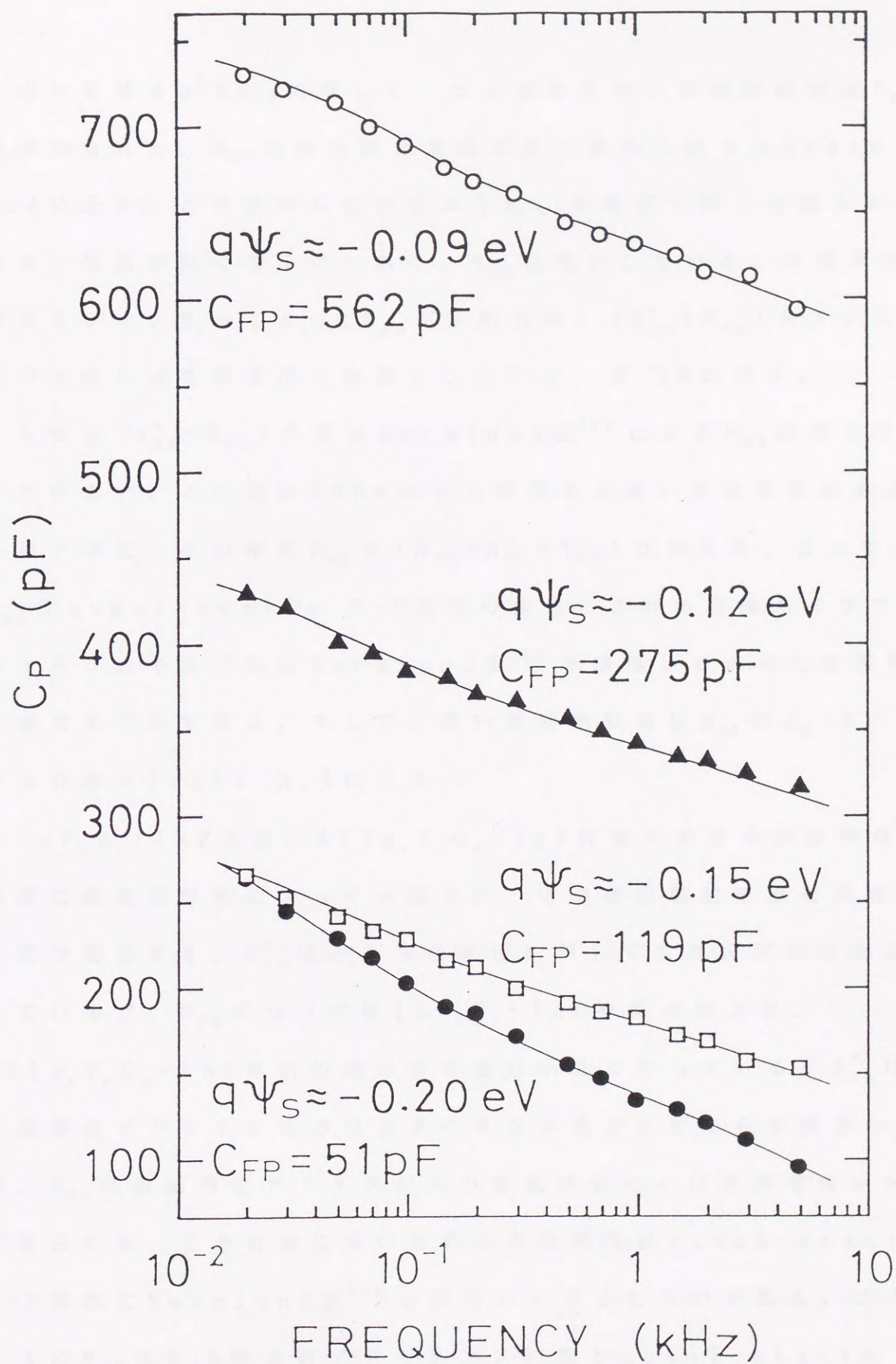


Fig. 3.19 $\text{AlIn}_x\text{P}_y\text{O}_z$ -n型InP MIS構造における C_p - f 特性
 実線はトンネリングモデルに基づく $(C_p^* + C_{FP})$ - f の理論曲線

この一定値は $q^2 S N_{FS}$ に等しく、この値から速い界面準位密度 N_{FS} が求められる。 N_{FS} の値を表面電位ごとに求めた結果も Table 3.4 に示す。この表からわかるように、伝導帯下端から見たエネルギー位置が深くなるにつれて、 N_{FS} は減少している。界面準位アドミタンス Y_P から N_{SS}^* と N_{SS} が求められ、 $(N_{SS}^* + N_{FS})$ をアドミタンス法による界面準位密度として Fig. 3.16 に示す。

しかし $(N_{SS}^* + N_{FS})$ の値は Berglund 法⁵³⁾ による N_{SS} の値よりまだ小さい。この差は 20 Hz 以下で応答する遅い界面準位があるためと考え、その密度 N_{SL} を $(\bar{N}_{SS} - N_{SS}^* - N_{FS})$ で与える。ここで、 \bar{N}_{SS} は quasi-static C-V 特性の測定における往復バイアススイープのそれぞれに Berglund 法⁵³⁾ を適用して求めた界面準位密度の平均である。そして、遅い界面準位密度 N_{SL} の $E_C - E$ に対する分布を Table 3.4 に示す。

$InP_xO_y - InP$ 界面と $AlIn_xP_yO_z - InP$ 界面における界面準位密度は応答周波数によって分類され、その界面準位密度を両構造の間で議論する。 N_{SS}^* はどちらの界面に対しても同程度の値を示しているが、 N_{FS} については $InP_xO_y - InP$ 界面の値より、 $AlIn_xP_yO_z - InP$ 界面の値の方が幾分小さくなっている。 N_{SS}^* は界面準位アドミタンスのコンダクタンス成分だけから計算されるが、 N_{FS} は界面準位アドミタンスの容量成分および表面電位から計算される。この計算に用いられる表面電位は quasi-static C-V 特性に Berglund 法⁵³⁾ を適用して求めたものである。このように N_{FS} は MIS 構造のアドミタンス特性と quasi-static C-V 特性の両方から求めるため、 N_{SS}^* を求めるよりも誤差を伴い

やすい。これが InP_xO_y - InP 界面と $\text{AlIn}_x\text{P}_y\text{O}_z$ - InP 界面とで N_{FS} の値が異なっている原因なのかも知れない。 N_{SL} は、Berglund 法⁵³⁾ で求めた \bar{N}_{SS} と界面準位アドミタンスから求めた N_{SS}^* , N_{FS} から算出されるので、 N_{FS} の誤差と同程度の誤差があるものと考えられる。この点を考慮すると、応答時定数によって分類した界面準位密度 N_{SL} , N_{SS}^* , N_{FS} の値は、 InP_xO_y - InP 界面と $\text{AlIn}_x\text{P}_y\text{O}_z$ - InP 界面とでそれほど変わらないものと結論づける。

本研究で行った測定および解析結果からは、 InP_xP_y - InP 界面と $\text{AlIn}_x\text{P}_y\text{O}_z$ - InP 界面とでは大きな違いが見られなかった。しかし、これらの界面を持つ FET を作製した場合、ソース・ドレイン間を動くキャリアの移動度は両方で異なるかも知れない。

3.4 まとめ

InP 基板上に InP_xO_y および $\text{AlIn}_x\text{P}_y\text{O}_z$ と考えられる絶縁膜を作製し、それらの絶縁膜と InP との界面の電気的特性を詳細に調べた。作製した InP_xO_y 膜、 $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜はともに良い絶縁特性を示している。quasi-static C-V 特性に Berglund 法⁵³⁾ を適用して求めた界面準位密度の最小値は、 InP_xO_y - InP 界面においては InP の伝導帯下端より 0.28 eV 下のところで $7 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 、 $\text{AlIn}_x\text{P}_y\text{O}_z$ - InP 界面においては InP の伝導帯下端より 0.30 eV 下のところで $6 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ である。界面準位の応答を等価的にアドミタンスとにおいて、そのアドミタンスをトンネリングモデル^{54), 55)} で解析した。界面準位をその応答の時定

数 τ によって分類した。 $(2\pi\tau)^{-1} \sim 0.02-5$ kHz で応答する界面準位に対して、 $\text{InP}_x\text{O}_y-\text{InP}$ 界面上にある電子捕獲断面積は、伝導帯下端より下 $0.21-0.29$ eV のエネルギー位置で $(0.07-1.8) \times 10^{-16} \text{ cm}^2$ と求められた。また $\text{AlIn}_x\text{P}_y\text{O}_z-\text{InP}$ 界面上にある電子捕獲断面積は、伝導帯下端より下 $0.22-0.32$ eV のエネルギー位置で、 $(0.06-7.3) \times 10^{-16} \text{ cm}^2$ と求められた。本研究で行った測定および解析結果を検討した限り、 $\text{InP}_x\text{O}_y-\text{InP}$ 界面と $\text{AlIn}_x\text{P}_y\text{O}_z-\text{InP}$ 界面とでは、両者の間で電気的特性はあまり変わらないことを結論づけた。

4 InSb MIS界面の特性

4.1 はじめに

InSbは狭バンドギャップの化合物半導体であり、高い電子移動度を有する。そのためInSbは金属-絶縁体-半導体(MIS)トランジスタや赤外線電荷移送素子(CCD)などに利用される有望な材料である。InSbに対しても界面の評価が多くなされているが、InP MISの場合と同様に、そのほとんどがTerman法⁵²⁾を用いたものである。Terman法⁵²⁾以外の解析では、Berglund法⁵³⁾が用いられた例^{28), 33)}とアドミタンスの解析が行われた例^{23), 28)}が若干あるだけである。Terman法⁵²⁾以外の解析は安定性の高い試料が必要となるため、InSbに対してもあまり行われていないのが現状である。InSbは狭バンドギャップ半導体であるため、解析に伝導帯の非放物線性や電子・正孔の縮退を考慮して解析を行っている例もある。^{33), 60)}

本研究では、InSb MIS構造の電気的特性を温度100Kで測定する。まず1MHzのC-V特性を測定し、この特性にTerman法⁵²⁾を適用して界面準位密度を求める。このとき伝導帯の非放物線性と電子・正孔の縮退というInSbの特徴を考慮して解析をする。そしてquasi-static C-V特性を測定し、その特性を検討する。さらに0.02-10 kHzの周波数範囲で界面準位の動的性質を反映したアドミタンスを測定する。そのアドミタンスから界面準位の応答時定数および電子の捕獲断面積を求める。上述の測定

結果を組み合わせることにより、界面準位密度の応答時定数による分類を試みる。

4.2 $\text{SiIn}_x\text{P}_y\text{O}_z$ -InSb界面の特性

$\text{SiIn}_x\text{P}_y\text{O}_z$ を絶縁膜とするInSb MIS構造の特性を述べる。測定温度100Kにおいて、電圧を蓄積側に+5V印加したときの漏れ電流は約40fAである。このときの電界強度は $3 \times 10^5 \text{ V/cm}$ であり、抵抗率は $6 \times 10^{16} \Omega \text{ cm}$ と大きい。InP上に InP_xO_y 膜や $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜を形成したときの経験から、酸化リン堆積後の熱処理温度が高いほど膜の抵抗率が高くなる傾向があったが、In-SiO_x二重層上に酸化リン P_yO_z を堆積した後、最高温度180℃という低温の熱処理でも、十分高い膜の抵抗率が得られる。 $2 \times 10^{-5} - 1 \text{ MHz}$ の周波数範囲で測定した $\text{SiIn}_x\text{P}_y\text{O}_z$ 膜の比誘電率 ϵ と誘電損失DをFig. 4.1に示す。この周波数範囲における比誘電率は5.8-6.2、静的な比誘電率は6.3である。またこの周波数範囲における誘電損失は0.018以下と良好な絶縁膜になっている。

Fig. 4.2は温度100Kで測定した1MHz C-V特性である。バイアスの測定範囲は蓄積側+5V反転側-5Vであり、バイアスのスイープレートは2.5mV/sである。C-V特性には注入型のヒステリシスが観測され、その大きさ ΔV_H は約0.6Vである。Fig. 4.2には界面準位がなく、さらに金属と半導体の仕事関数の違いもない理想的な理論C-V曲線を示す。この曲線の計算はBloom

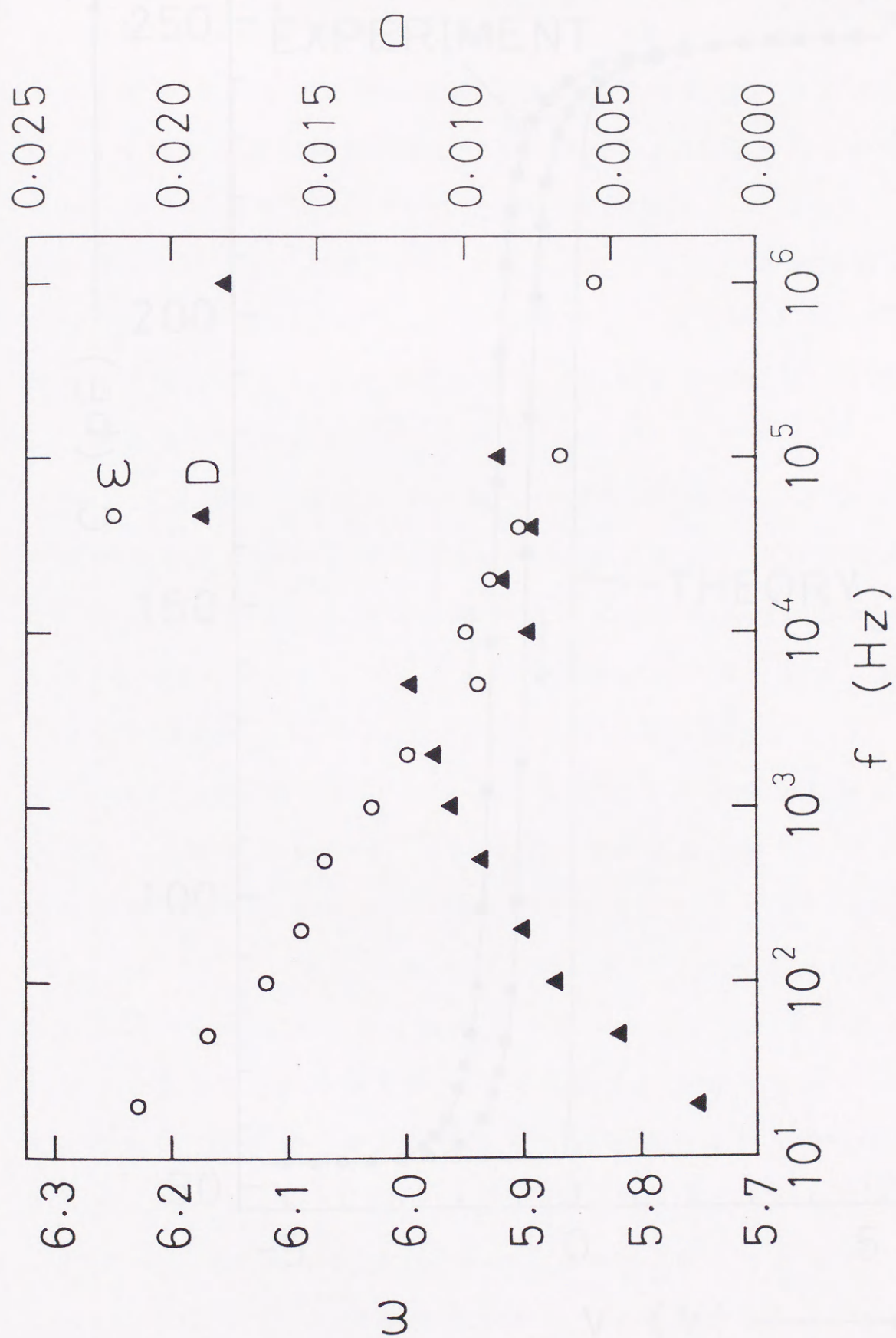


Fig. 4.1 $\text{SiIn}_x\text{P}_y\text{O}_z$ 膜の比誘電率と誘電損失

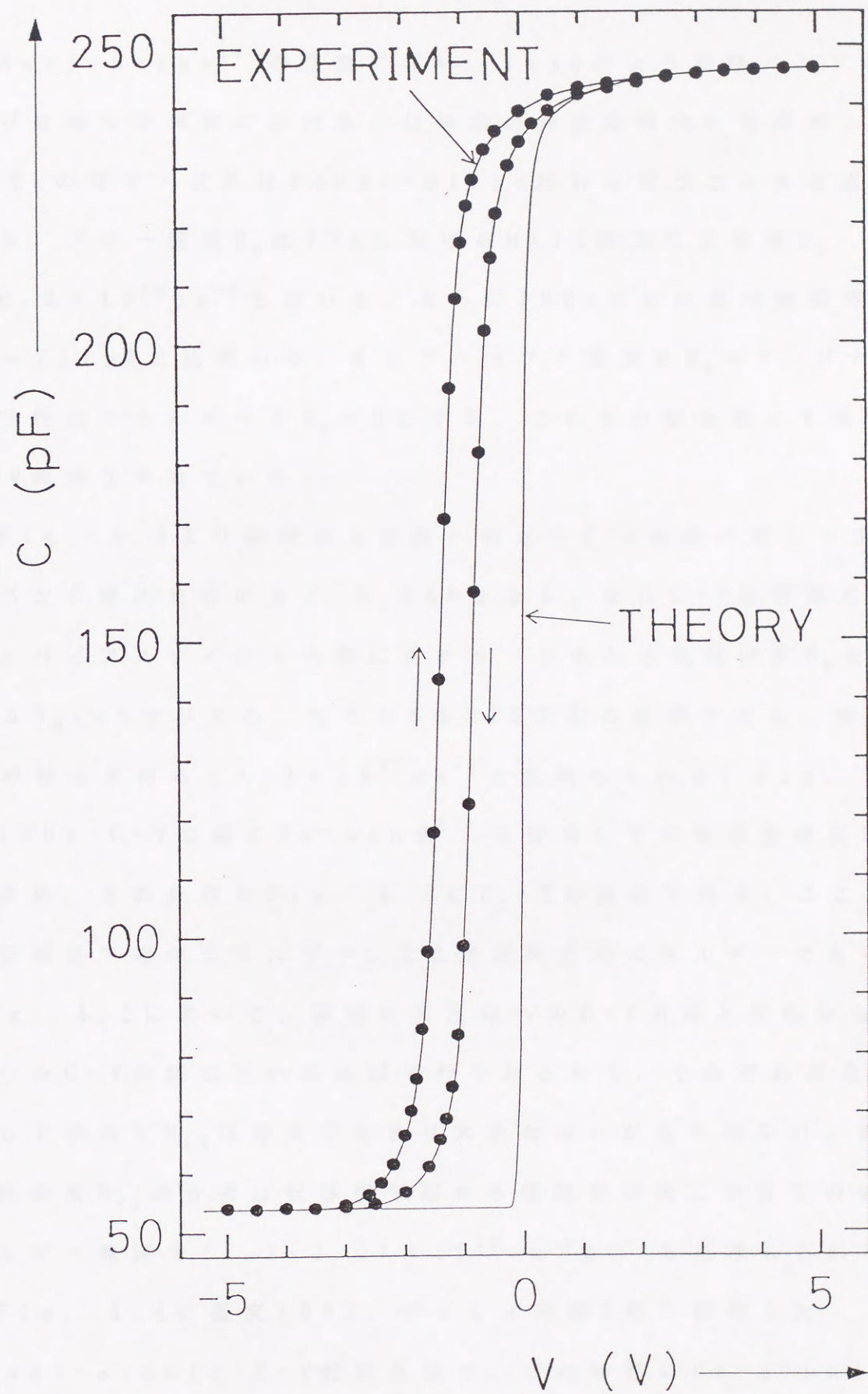


Fig. 4.2 $\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb MIS構造における1MHz C-V特性

と Nemirovsky⁶⁰⁾ の理論に従い、InSb のような狭バンドギャップを持つ半導体における、伝導帯の非放物線性の効果および InSb の電子・正孔は Fermi-Dirac 統計に従うことを考慮している。ドナー濃度 N_D は 77 K における Hall 測定による値 $N_D = 6.2 \times 10^{13} \text{ cm}^{-3}$ を用いる。さらに 1 MHz における絶縁膜容量を $C_I = 251 \text{ pF}$ と見積もる。またアクセプタ濃度を $N_A = 0$ 、ドナーの活性化エネルギーを $E_D = 0$ とする。これらの値を用いて理論 C-V 曲線を求めている。

Fig. 4.2 より蓄積から反転へ向かう C-V 曲線に対しフラットバンド電圧を求めると -0.84 V となる。また C-V 特性測定におけるバイアスサイクルの間に再チャージされる状態密度 N_R を $C_I \Delta V_H / qS$ で与える。ただし S は MIS 構造の面積である。実際に N_R の値を求めると $1.2 \times 10^{11} \text{ cm}^{-2}$ と見積もられる。Fig. 4.2 の 1 MHz C-V 曲線に Terman 法⁵²⁾ を適用して界面準位密度 N_{ss} を求め、その分布を Fig. 4.3 に $E_c - E$ の関数で表す。ここで E_c は伝導帯下端のエネルギー、 E は界面準位のエネルギーである。Fig. 4.2 において、蓄積から反転への C-V 曲線と反転から蓄積への C-V 曲線は互いにほぼ平行であるから、それぞれの曲線に対して求めた N_{ss} は両者であまり大きな違いが見られない。界面準位密度 N_{ss} の分布は伝導帯下端から禁制帯中央にかけてのエネルギー範囲で $(1.1 - 3.0) \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ と見積もられる。

Fig. 4.4 に温度 100 K、ディレイ時間 1 秒で測定した quasi-static C-V 特性を示す。この特性に Berglund 法⁵³⁾ を適用すると、印加電圧が $+5 \text{ V}$ から -5 V まで変化する間に表面電

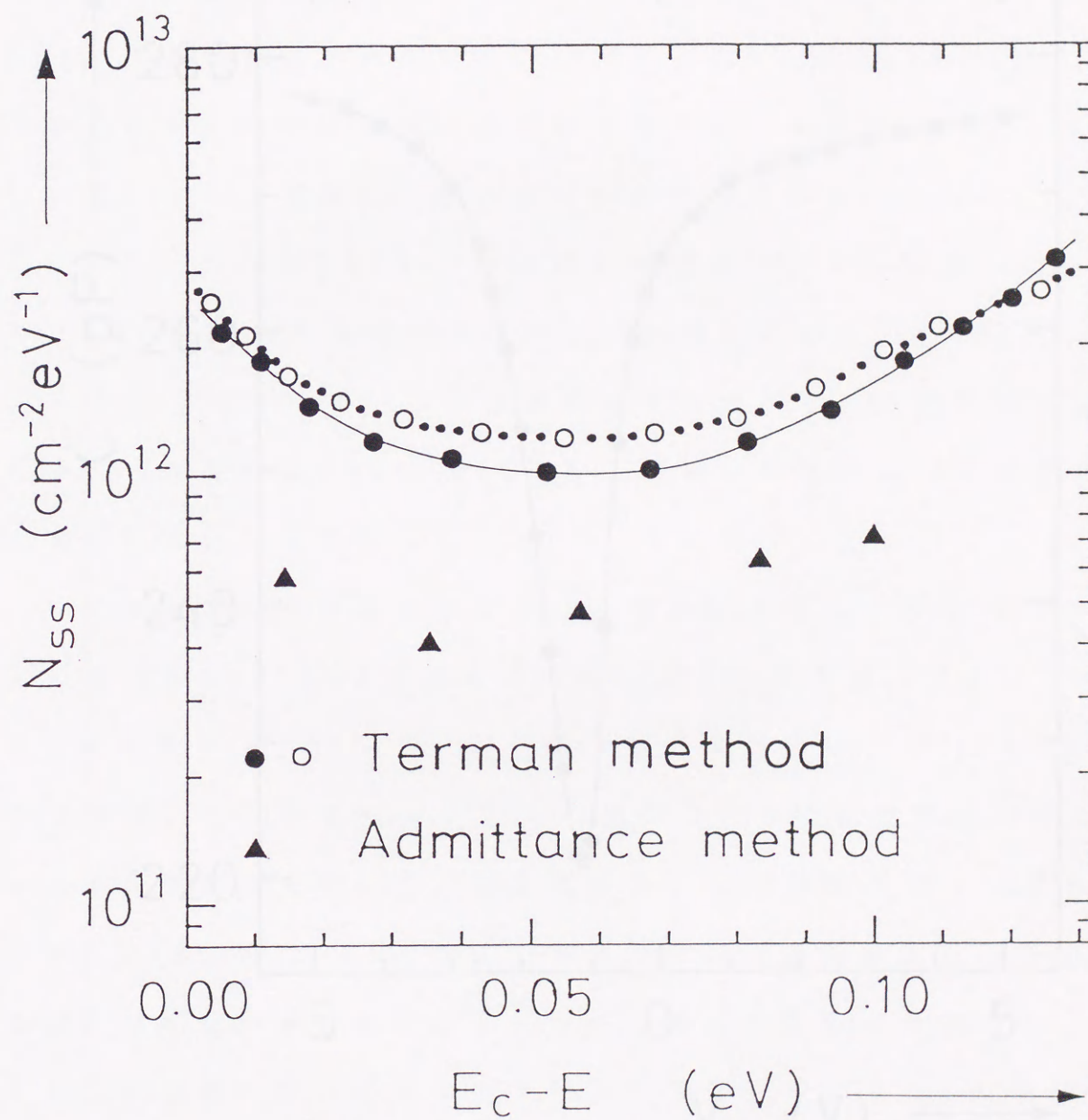


Fig. 4.3 $\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb MIS構造における界面準位密度

●, 実線は蓄積から反転への測定によって得られた界面準位密度

○, 破線は反転から蓄積への測定によって得られた界面準位密度

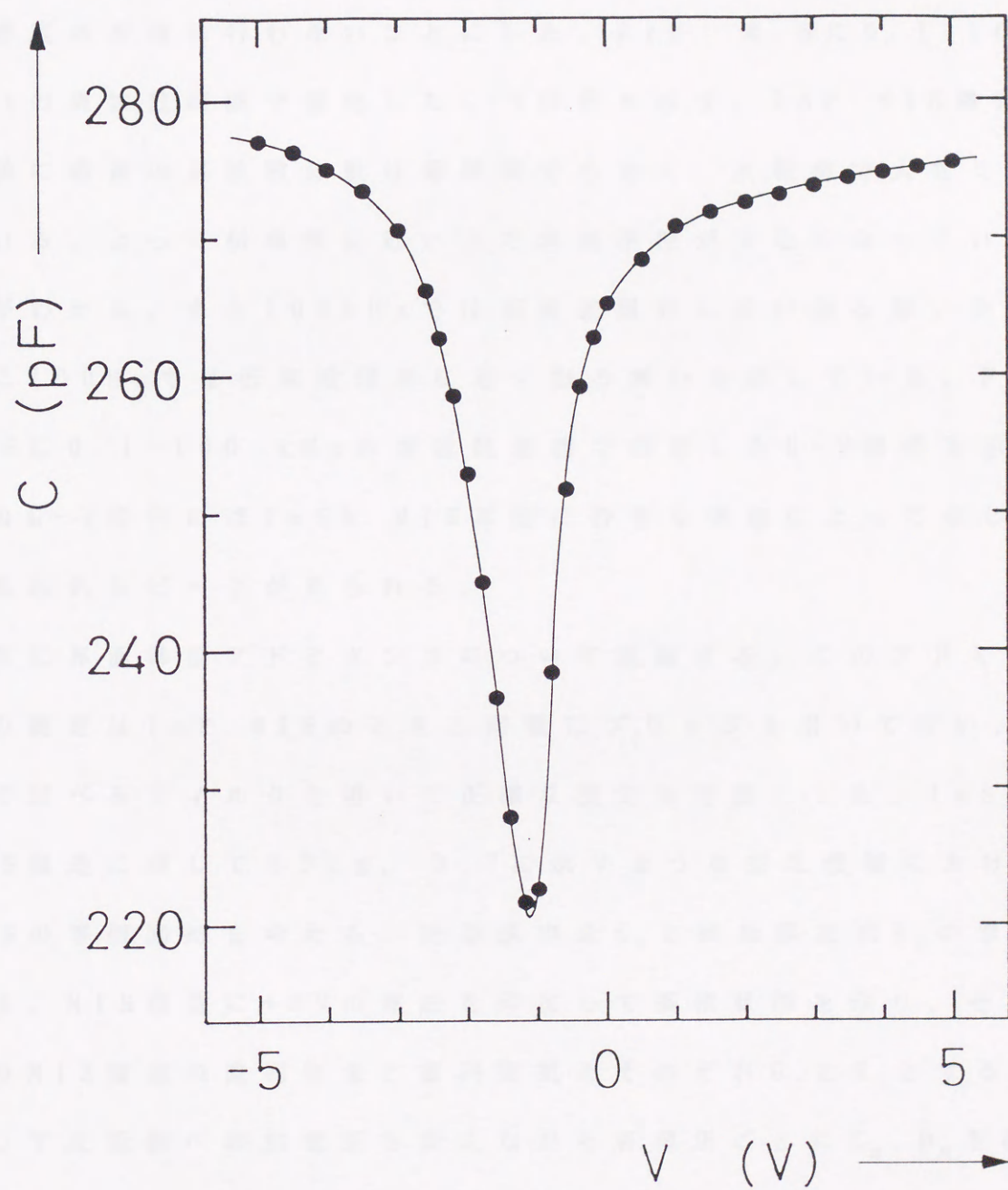


Fig. 4.4 $\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb MIS構造におけるquasi-static C-V特性

位が 0.4 eV 以上変化し、 InSb のバンドギャップ 0.22 eV を大幅に超えてしまう。文献 33) でもこのような現象が報告されている。この原因は定かではないが、狭バンドギャップ半導体特有の現象かも知れない。この現象のために Berglund 法⁵³⁾ による界面準位密度の評価は行わないことにした。Fig. 4.5 に $0.1 - 100\text{ kHz}$ の周波数範囲で測定した $C-V$ 特性を示す。 InP MIS 構造と同様に容量の周波数分散は蓄積側で小さく、反転側で大きくなっている。よって伝導帯に近い方で界面準位が少なくなっていることがわかる。また 100 kHz では高周波限界に近い振る舞いを示し、逆に 100 Hz では低周波限界に近い振る舞いを示している。Fig. 4.6 に $0.1 - 100\text{ kHz}$ の周波数範囲で測定した $G-V$ 特性を示す。この $G-V$ 特性には InSb MIS 界面に特有な準位によって生じたと思われるピークが見られる。

次に界面準位アドミタンスについて議論する。このアドミタンスの測定は InP MIS のときと同様にブリッジを用いて行い、付録で述べるフィルタを用いて正確な測定を可能にした。 InSb MIS 構造に対しても Fig. 3.7 に示すような空乏領域における MIS の等価回路を考える。絶縁膜容量 C_I と絶縁膜抵抗 R_I の求め方は、MIS 構造に $+5\text{ V}$ の電圧を印加して蓄積状態を作り、そのときの MIS 構造の直列容量と直列抵抗をそれぞれ C_I と R_I とする。そして反転側へ印加電圧を変えながら各電圧ごとに C_M , D_M を測定していく。

Fig. 4.2 に示す 1 MHz $C-V$ 曲線にはヒステリシスがあるため、蓄積側から反転側への測定による $C-V$ 曲線に Terman 法⁵²⁾

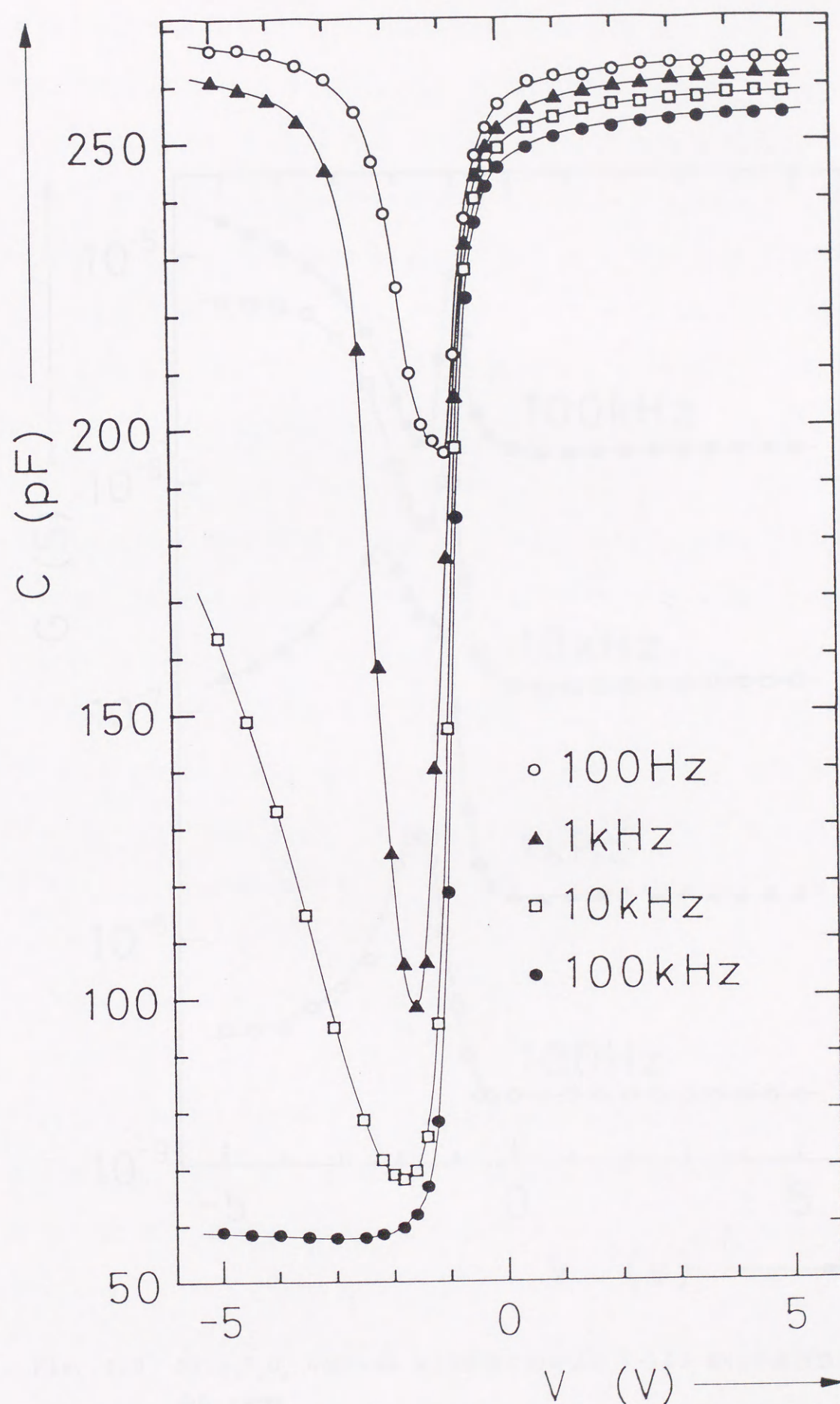


Fig. 4.5 $\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb MIS構造における0.1-100 kHzの周波数領域でのC-V特性

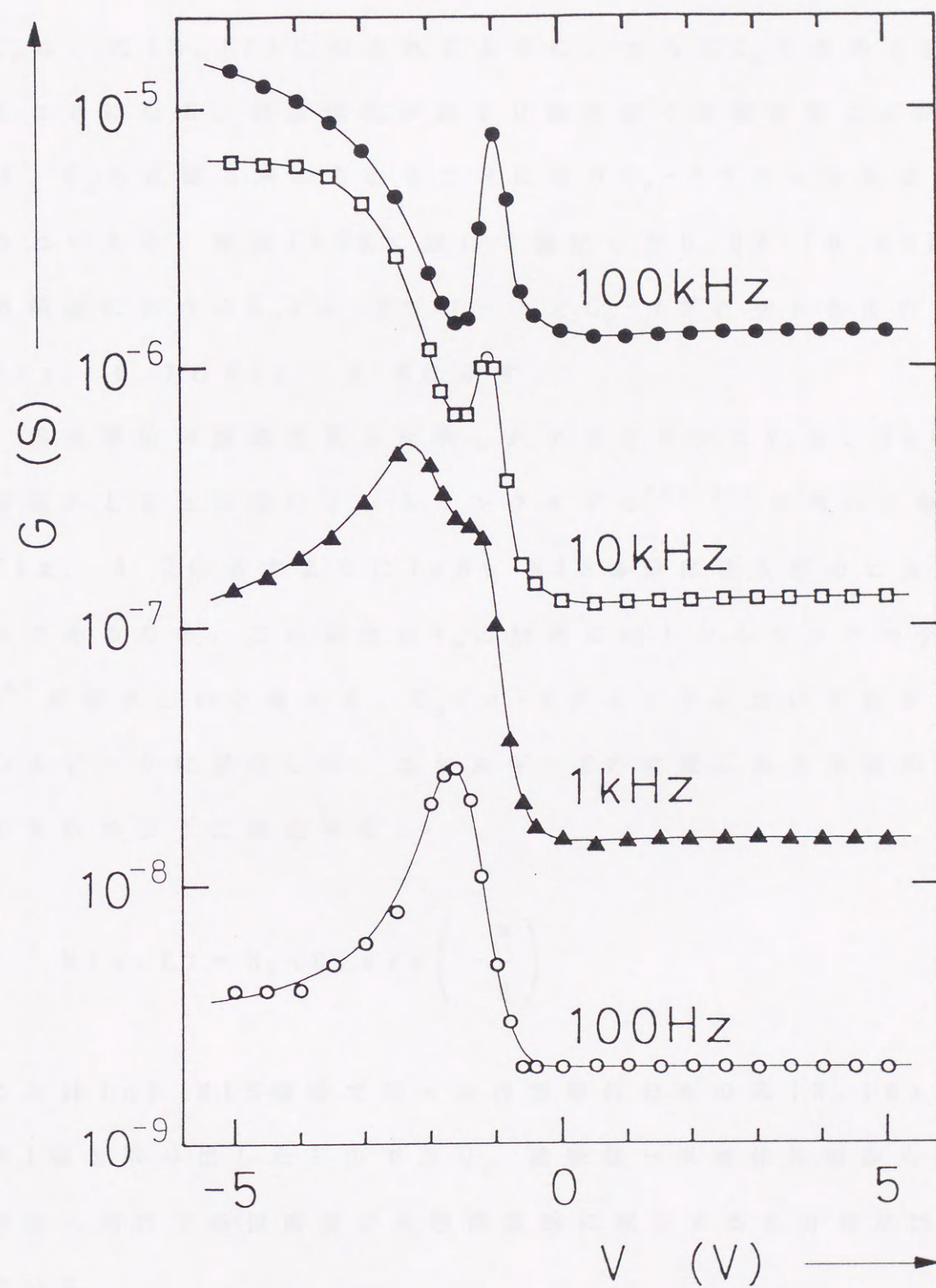


Fig. 4.6 $\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb MIS構造における0.1-100 kHzの周波数領域でのG-V特性

を適用して得られた $\psi_s - V$ の関係から表面電位を決定する。式 (3.1) に示されるように、 G_p / ω は C_I, C_M, D_I, D_M だけから計算されるので、 $G_p / \omega - f$ プロットはかなり正確に求められる。また C_p は、式 (3.11) に示されるように、さらに C_D も含めて計算することになる。表面電位があまり誤差なく見積もることができれば、 C_D も正確に求められることになり $C_p - f$ プロットも正確であるといえる。温度 100 K において測定した 0.02 - 10 kHz の周波数範囲における $G_p / \omega - f$ プロットと $C_p - f$ プロットをそれぞれ Fig. 4.7 と Fig. 4.8 に示す。

界面準位の動的性質を反映したアドミタンス Y_p を、InP MIS 構造のときと同様にトンネリングモデル^{54), 55)}を用いて解析する。Fig. 4.2 に示すように InSb MIS 構造は注入型のヒステリシスであるため、この場合の Y_p の解析にはトンネリングモデル^{54), 55)}が望ましいと考える。 $G_p / \omega - f$ プロットにおいて見られる 1 つのピークに対応して、エネルギー E の位置にある界面準位の分布を次のように想定する。

$$N(x, E) = N_0(E) \exp\left(-\frac{x}{W}\right) \quad (4.1)$$

これは InP MIS 構造で扱った界面準位分布の式 (3.10) の右辺第 1 項を取り出したものであり、絶縁体 - 半導体界面から絶縁体内部へ向けて準位密度が指数関数的に減少すると分布だけを考えている。

式 (3.7) から計算される $G_p / \omega - f$ 曲線を Fig. 4.7 に示す。

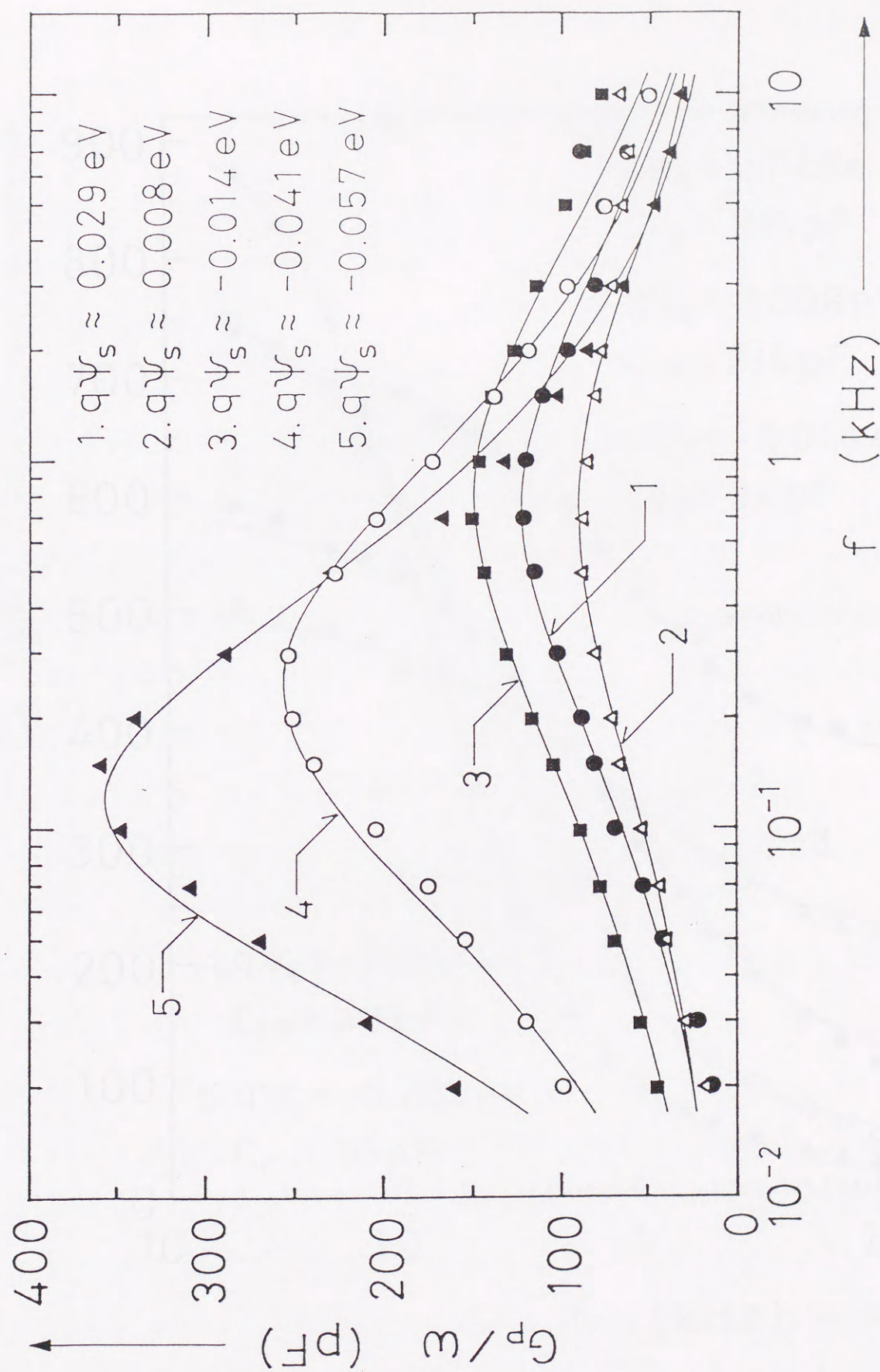


Fig. 4.7 $\text{SiInP}_{0.2}\text{-n type InSb MIS}$ 構造における G_p / ω - f 特性
 実線はトンネリングモデルに基づく G_p / ω - f の理論曲線

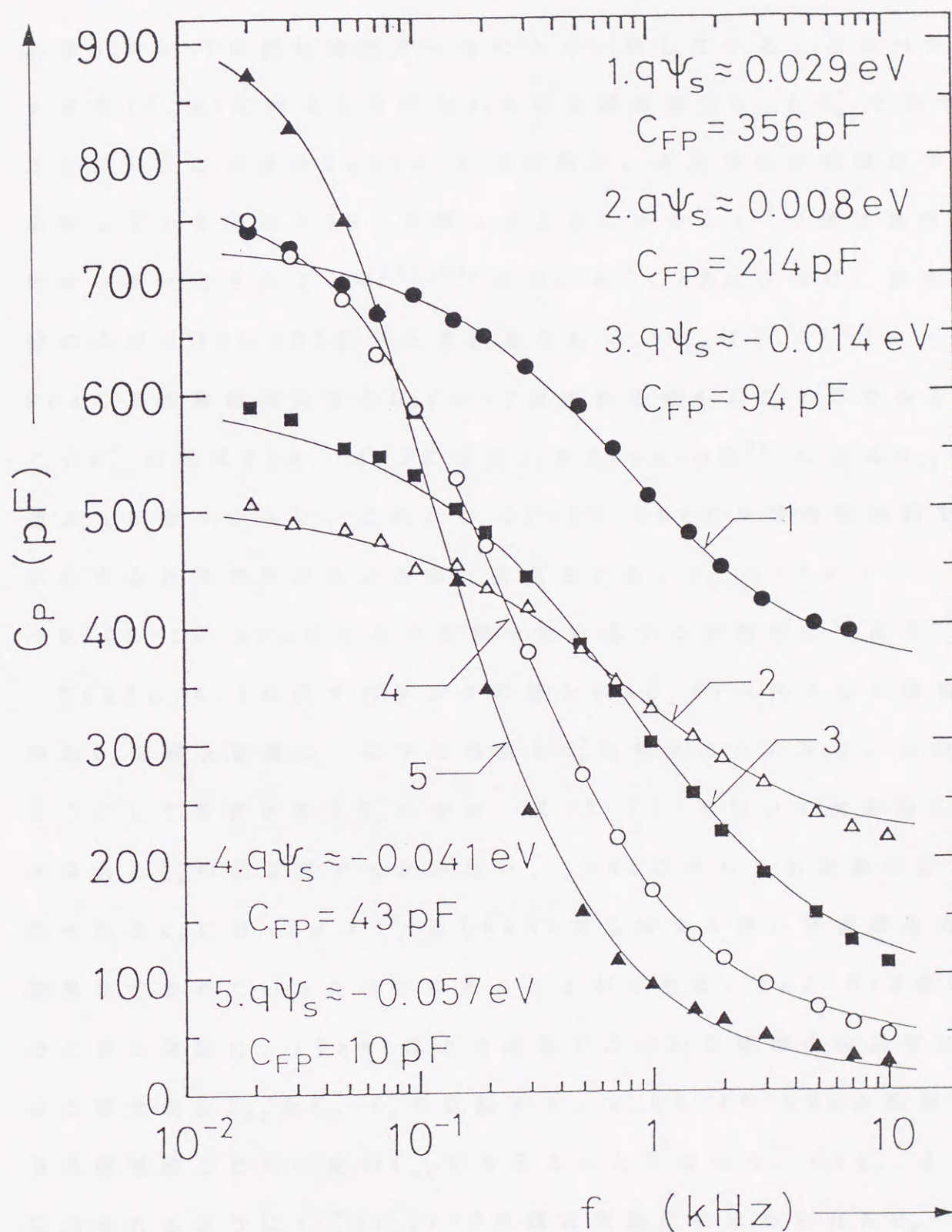


Fig. 4.8 $\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb MIS構造における C_p - f 特性
 実線はトンネリングモデルに基づく $(C_p^* + C_{FP})$ - f の理論曲線

この $G_p / \omega - f$ 曲線を計算するときに用いたパラメタを Table 4.1 に示す。Fig. 4.7 に示すように式 (3.7) によって計算される $G_p / \omega - f$ 曲線は実験データによく一致している。このパラメタを式 (3.9) に代入して得られた界面準位密度 N_{ss} を N_{ss}^* と表すことにし、この値を Table 4.2 に示す。界面準位が絶縁膜中へ広がっている深さを $3W$ と見積もることにする。 a^{-1} の値は通常 1 \AA のオーダーとされている^{54), 55)} ので、 $a^{-1} < 5 \text{ \AA}$ とすれば、界面準位の広がり $3W$ は 13 \AA 以下と見積もられる。 N_{ss}^* は $0.02 - 10 \text{ kHz}$ の周波数範囲内での $G_p / \omega - f$ 測定から得られたものであるが、この N_{ss}^* の値は Fig. 4.3 に示される Terman 法⁵²⁾ による N_{ss} の値よりかなり小さい。これは $0.02 - 10 \text{ kHz}$ の周波数範囲外で応答する界面準位があるためと推測される。 N_{ss}^* は $(2\pi\tau)^{-1} \sim 0.02 - 10 \text{ kHz}$ にある時定数 τ で応答する界面準位である。

Table 4.1 に示すパラメタの値を式 (3.8) へ代入して理論的な C_p の値を計算し、以下この値を C_p^* と表すことにする。このようにして計算された C_p^* の値は、式 (3.11) を用いて実験的に求められる C_p の値よりずっと小さい。InSb に対しても実験的に求められる C_p には $(2\pi\tau)^{-1} \geq 10 \text{ kHz}$ で応答する速い界面準位の効果も含まれているためと考えることができる。InP MIS 構造のときと同様に、 10 kHz 以上で応答する速い界面準位の応答による容量成分 C_{FP} を $C_p - C_p^*$ で近似する。 $0.02 - 10 \text{ kHz}$ の範囲で各表面電位ごとに一定の C_{FP} を与えることによって、Fig. 4.8 に示されるように $(C_p^* + C_{FP}) - f$ 曲線は実験的に求められた $C_p - f$ プロットによく一致させることができる。Fig. 4.8 には各表

Table 4.1 $\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb界面における界面準位アドミタンス計算に用いたパラメタ

$q\phi_s$ (eV)	$N_0/2a$ ($\text{cm}^{-2}\text{eV}^{-1}$)	$2aW$	τ_0 (s)
0.029	2.3×10^{11}	1.3	1.8×10^{-4}
0.008	1.4×10^{11}	1.7	1.6×10^{-4}
-0.014	2.4×10^{11}	1.7	1.4×10^{-4}
-0.041	5.9×10^{11}	1.0	6.4×10^{-4}
-0.057	7.0×10^{12}	0.1	2.4×10^{-3}

Table 4.2 $\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb界面における時定数 τ による界面準位の分類

$E_c - E$ (eV)	N_{SL} ($\text{cm}^{-2}\text{eV}^{-1}$) ^a	N_{SS}^* ($\text{cm}^{-2}\text{eV}^{-1}$) ^b	N_{FS} ($\text{cm}^{-2}\text{eV}^{-1}$) ^c
0.014	11.4×10^{11}	3.0×10^{11}	2.8×10^{11}
0.035	7.9×10^{11}	2.4×10^{11}	1.7×10^{11}
0.057	6.2×10^{11}	4.1×10^{11}	0.8×10^{11}
0.083	6.7×10^{11}	5.9×10^{11}	0.3×10^{11}
0.100	10.2×10^{11}	7.0×10^{11}	0.1×10^{11}

^a $(2\pi\tau)^{-1} \lesssim 20\text{Hz}$ で応答する界面準位密度^b $(2\pi\tau)^{-1} \sim 0.02\text{--}10\text{ kHz}$ で応答する界面準位密度^c $(2\pi\tau)^{-1} \gg 10\text{kHz}$ で応答する界面準位密度

面電位ごとの C_{FP} の値も載せてある。そして速い界面準位密度 N_{FS} を $C_{FP} / q^2 S$ で与え、その値を Table 4.2 に示す。 $E_C - E$ の値が増加するに伴い N_{FS} の値は減少している。 N_{SS}^* と N_{FS} は界面準位の応答を等価的に表したアドミタンスから得られたものであるから、 $N_{SS}^* + N_{FS}$ をアドミタンス法による界面準位密度とし、 Fig. 4.3 に示す。

Terman 法⁵²⁾ で得られた N_{SS} とアドミタンス法で得られた $(N_{SS}^* + N_{FS})$ の差は 20 Hz 以下の周波数で応答する遅い界面準位と考える。この遅い界面準位密度 N_{SL} を $\bar{N}_{SS} - N_{SS}^* - N_{FS}$ で与え、Table 4.2 に示す。ここで \bar{N}_{SS} は 1 MHz C-V 曲線の 2 つのバイアス方向のそれぞれに対し Terman 法⁵²⁾ を適用して求めた界面準位密度の平均である。Table 4.2 から明らかなように、 $E_C - E$ が 0.014 eV から 0.100 eV までのエネルギー範囲においては 10 kHz 以下で応答する界面準位が支配的になっている。

Table 4.1 の τ_0 の値から、電子の捕獲断面積 σ_0 が求められる。 $(2\pi\tau)^{-1} \sim 0.02 - 10$ kHz で応答する界面準位の捕獲断面積 σ_0 は、ちょうど $SiIn_xP_yO_z - InSb$ 界面上に位置するときの値と考えている。Fig. 4.9 に σ_0 の変化を $E_C - E$ の関数で示す。伝導帯下端から 0.1 eV 下のエネルギー位置にある σ_0 の値は $1.3 \times 10^{-16} \text{ cm}^2$ である。 $E_C - E$ の減少に伴い、電子の捕獲断面積 σ_0 は減少している。このような現象は Si MOS 構造でも見られる^{58), 59)} 他に、本研究における $InP_xO_y - InP$, $AlIn_xP_yO_z - InP$ 界面でも見られる。

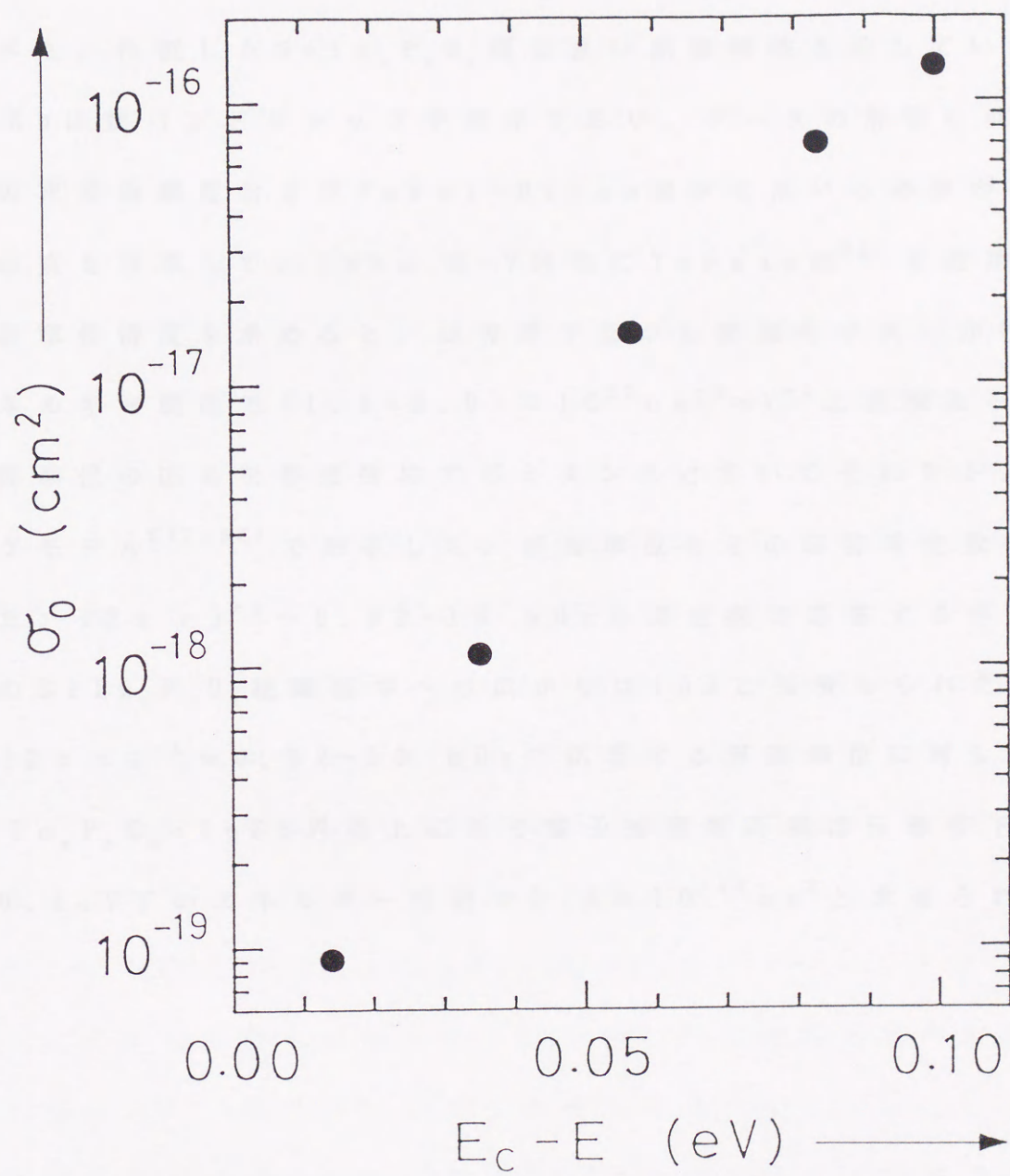


Fig. 4.9 $\text{SiIn}_x\text{P}_y\text{O}_z$ -n型InSb界面における電子捕獲断面積

4.3 まとめ

InSb基板上に $\text{SiIn}_x\text{P}_y\text{O}_z$ と考えられる絶縁膜を作製し、その絶縁膜とInSbとの界面の電気的特性を測定温度100Kで詳細に調べた。作製した $\text{SiIn}_x\text{P}_y\text{O}_z$ 膜は良い絶縁特性を示している。InSbは狭バンドギャップ半導体であり、データの解析には伝導帯の非放物線性およびFermi-Dirac統計を用いる必要がある。この点を考慮して、1MHz C-V特性にTerman法⁵²⁾を適用して界面準位密度を求めると、伝導帯下端から禁制帯中央にかけてのエネルギー範囲で $(1.1-3.0) \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ と見積もられる。界面準位の応答を等価的にアドミタンスとにおいてそれをトンネリングモデル^{54), 55)}で解析した。界面準位をその応答時定数で分類した。 $(2\pi\tau)^{-1} \sim 0.02-10 \text{ kHz}$ の周波数で応答する界面準位の $\text{SiIn}_x\text{P}_y\text{O}_z$ 絶縁膜中への広がり λ は13Åと見積もられた。また $(2\pi\tau)^{-1} \sim 0.02-10 \text{ kHz}$ で応答する界面準位に対して、 $\text{SiIn}_x\text{P}_y\text{O}_z$ -InSb界面上にある電子捕獲断面積は伝導帯下端より0.1eV下のエネルギー位置で $1.3 \times 10^{-16} \text{ cm}^2$ と求められた。

5 GaAs MIS界面の特性

5.1 はじめに

GaAsはSiに比べて移動度が大きく、バンド構造が直接遷移型であるため、光電子素子、マイクロ波電界効果トランジスタ、高性能電荷移送素子に適した有望な材料である。これまでGaAs上に多くの絶縁膜の形成がされてきた。^{6), 35)-50)}しかしGaAs表面に高密度の準位があり、GaAs MIS技術の発展の妨げとなっている。電気的特性を解析する上でGaAs MIS構造特有の問題がある。n型GaAs MIS構造に対して、1MHzおよびquasi-static C-V特性を測定すると、蓄積側方向に容量の大きな周波数分散が見られる。界面準位密度をTerman法⁵²⁾およびBerglund法⁵³⁾を適用して評価するとき、高周波および低周波それぞれの絶縁膜容量の見積もりが重要である。ところが周波数分散のために、高周波容量は絶縁膜容量に到達せず、その高周波絶縁膜容量をいかに見積もるかが問題となる。

そこで本研究では、quasi-staticから1MHzに及ぶC-V特性から強反転状態の実現を考える。そして理想的な高周波C-V理論に基づいて、強反転容量から絶縁膜容量を推定することにした。推定された高周波絶縁膜容量は低周波絶縁膜容量より若干小さい程度である。この差は p^+ 型GaAs MIS構造における高周波と低周波容量の違いの範囲内にある。Terman法⁵²⁾とBerglund法⁵³⁾を適用したところ、互いに矛盾のない結果が得られ、解析し

て得られた結果は信頼性の高いものとする。また高密度の界面準位を考慮した界面準位アドミタンスの振る舞いについて検討する。

5.2 $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ -GaAs界面の特性

$\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ をゲート膜とするGaAs MIS構造の特性を述べる。Fig. 5.1に p^+ 型GaAs MIS構造における1MHzおよびquasi-static C-V特性を示す。 p^+ 型GaAs MIS構造上で測定されるアドミタンスは絶縁膜自身のアドミタンスを示すものと考えられる。Fig. 5.1に示す試料に対して室温における漏れ電流を測定したところ、印加電圧が蓄積方向に-10Vまではほぼ直線的に増加していき、-10Vで約-1.6pAである。このときの電界強度は $7 \times 10^5 \text{ V/cm}$ であり、抵抗率は $3 \times 10^{15} \Omega \text{ cm}$ と大きい。また室温における $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ 膜の比誘電率 ϵ および誘電損失Dを測定し、Fig. 5.2に示す。ここで0.2-100 kHzの値はYHP 4274A MULTI-FREQUENCY LCR METERで、1MHzの値はKeithley 590 CV Analyzerを用いて測定したものである。周波数が 2×10^{-4} -1 MHzの範囲で比誘電率は5.0-5.1であり、Keithley 595 Quasistatic CV Meterで測定した静的な比誘電率は5.2である。1MHzと静的な比誘電率の分散は約4%である。誘電損失は 2×10^{-4} -1 MHzの周波数範囲では0.008以下と小さい。このように作製された $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ 膜は良好な絶縁膜といえる。

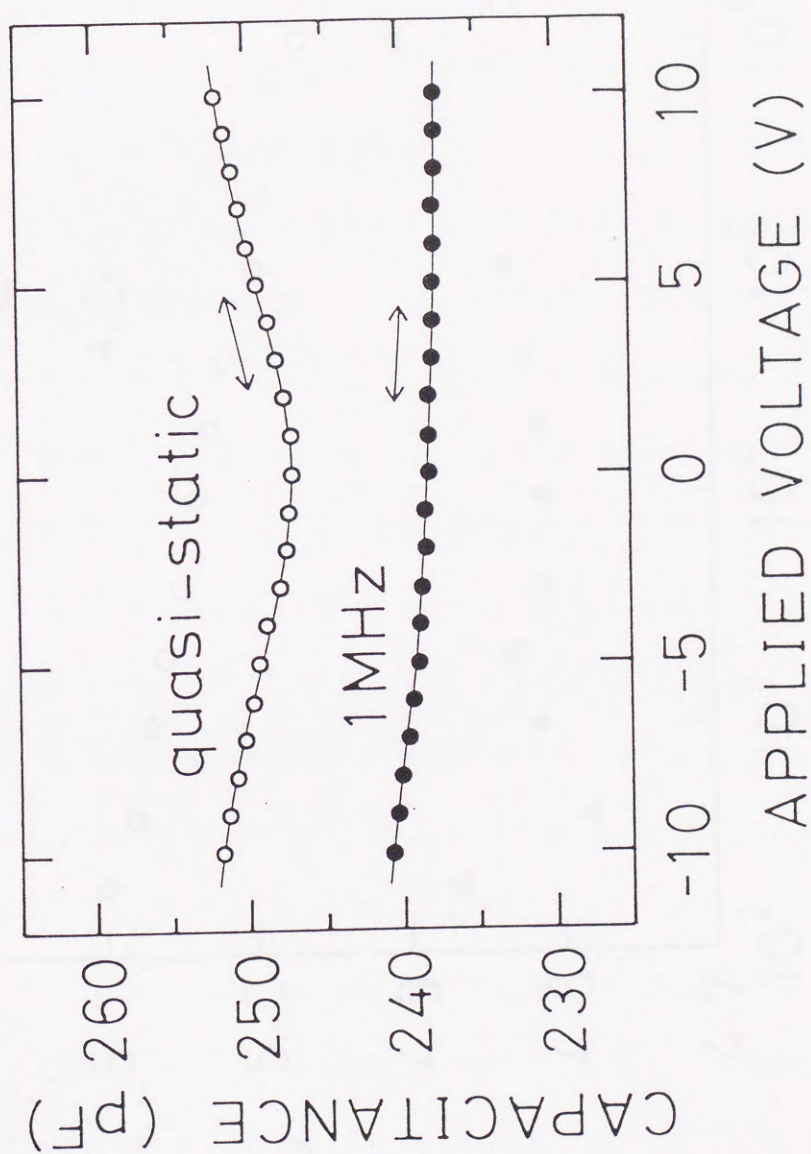


Fig. 5.1 $\text{SiO}_2/\text{GaAsP}_z\text{O}_z\text{-p}^+$ 型 GaAs MIS 構造における 1 MHz および quasi-static C-V 特性

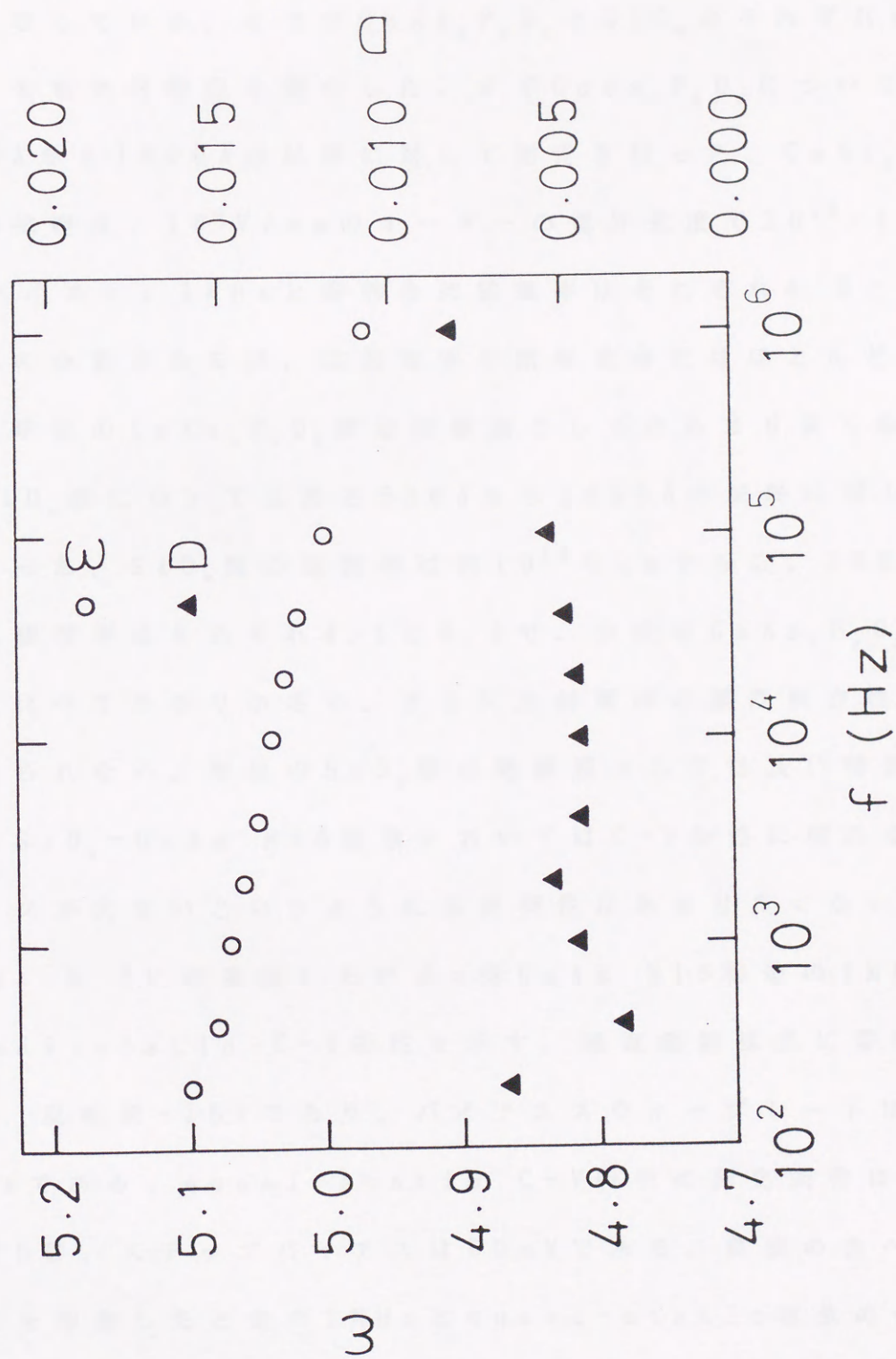


Fig. 5.2 $\text{SiO}_2/\text{GaAs}_x\text{P}_y\text{O}_z$ 膜の比誘電率と誘電損失

GaAs MIS構造に採用した絶縁膜は $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ の二層構造となっている。そこで $\text{GaAs}_x\text{P}_y\text{O}_z$ と SiO_w のそれぞれの膜に対しても電気的特性を測定した。まず $\text{GaAs}_x\text{P}_y\text{O}_z$ については厚さ600Åから1600Åの試料に対して測定を行った。 $\text{GaAs}_x\text{P}_y\text{O}_z$ 膜の抵抗率は、 10^4V/cm のオーダーの電界強度で $10^{12}-10^{14}\Omega\text{cm}$ と小さい。1MHzと静的な比誘電率はそれぞれ4.8と5.3で約10%の分散があるが、比誘電率の膜厚依存性はほとんど見られない。単独の $\text{GaAs}_x\text{P}_y\text{O}_z$ 膜は絶縁膜としてはあまり良くない。一方 SiO_w 膜については厚さ530Åから1050Åの試料に対して測定を行った。 SiO_w 膜の抵抗率は約 $10^{16}\Omega\text{cm}$ である。1MHzと静的な比誘電率はそれぞれ4.1と4.2で、分散は $\text{GaAs}_x\text{P}_y\text{O}_z$ 膜の分散と比べてかなり小さい。さらに比誘電率の膜厚依存性はほとんど見られない。単独の SiO_w 膜は絶縁膜としては良い特性を示すが、 SiO_w -GaAs MIS構造においてはC-V特性に現れるヒステリシスが大きいというように界面特性はあまり良くない。

Fig. 5.3には室温におけるn型GaAs MIS構造の1MHzおよびquasi-static C-V特性を示す。測定範囲は共に蓄積側+15V、反転側-15Vであり、バイアススイープレートは8mV/sである。quasi-static C-V特性の測定条件はディレイ時間5秒、ステップバイアスは50mVである。蓄積の方へ+15Vの電圧を印加したときの1MHzとquasi-static容量の分散は約14%である。この周波数分散は絶縁膜容量の分散よりずっと大きい。この結果から $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ -GaAs MIS構造には蓄積側に高密度の界面準位が存在することがわかる。

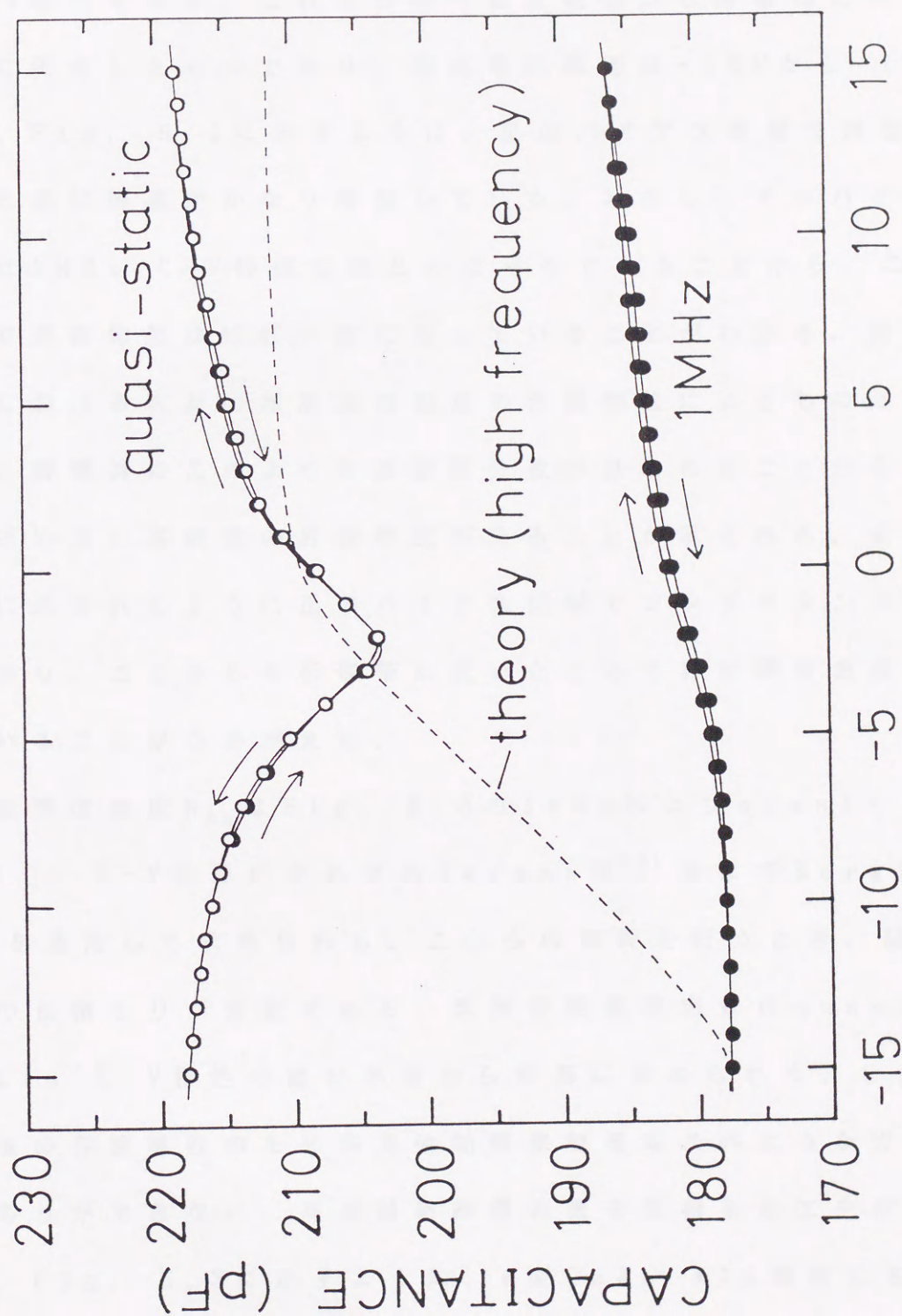


Fig. 5.3 $\text{SiO}_2/\text{GaAs}_{x_1}\text{P}_{y_1}\text{O}_{z_1}$ -n型GaAs MIS構造における1MHzおよびquasi-static C-V特性

Fig. 5.4に室温における0.12-100 kHzの周波数範囲で測定したC-V特性を示す。またFig. 5.5には同じ周波数範囲のG-V特性を示す。これらの特性は反転側から蓄積側に向かって同時に測定したものであり、測定電圧範囲は-15Vから+15Vである。Fig. 5.4に示すように、正のバイアス領域で周波数の減少と共に容量がかなり増加している。しかし、そのバイアス領域では1MHz C-V特性はほとんど平らであることから、このあたりで表面電位はほぼ一定になっていることがわかる。従って低周波における容量の増加は高密度の界面準位によるものと考えられる。蓄積側にこのような周波数分散が見られることから、伝導帯に近い方に高密度の界面準位があることが示される。またFig. 5.5に示されるように正のバイアス領域でコンダクタンスが増加しており、ここからも伝導帯に近いところで界面準位密度が増加していることがうかがえる。

界面準位密度 N_{ss} はFig. 5.3の1MHzおよびquasi-static C-V特性にそれぞれTerman法⁵²⁾およびBerglund法⁵³⁾を適用して求められる。これらの解析を行うとき、絶縁膜容量の見積もりが重要である。低周波絶縁膜容量はquasi-static C-V特性の飽和容量から容易に求められる。しかし、高密度の界面準位のため高周波絶縁膜容量はこのような方法では見積もりができない。高周波絶縁膜容量を見積もる工夫が必要となる。Fig. 5.3に示すように、n型GaAs MIS構造において印加電圧が-15V付近で、1MHz C-V特性が平らになっている。さらにこの電圧付近でquasi-static容量が低周波絶縁膜容量

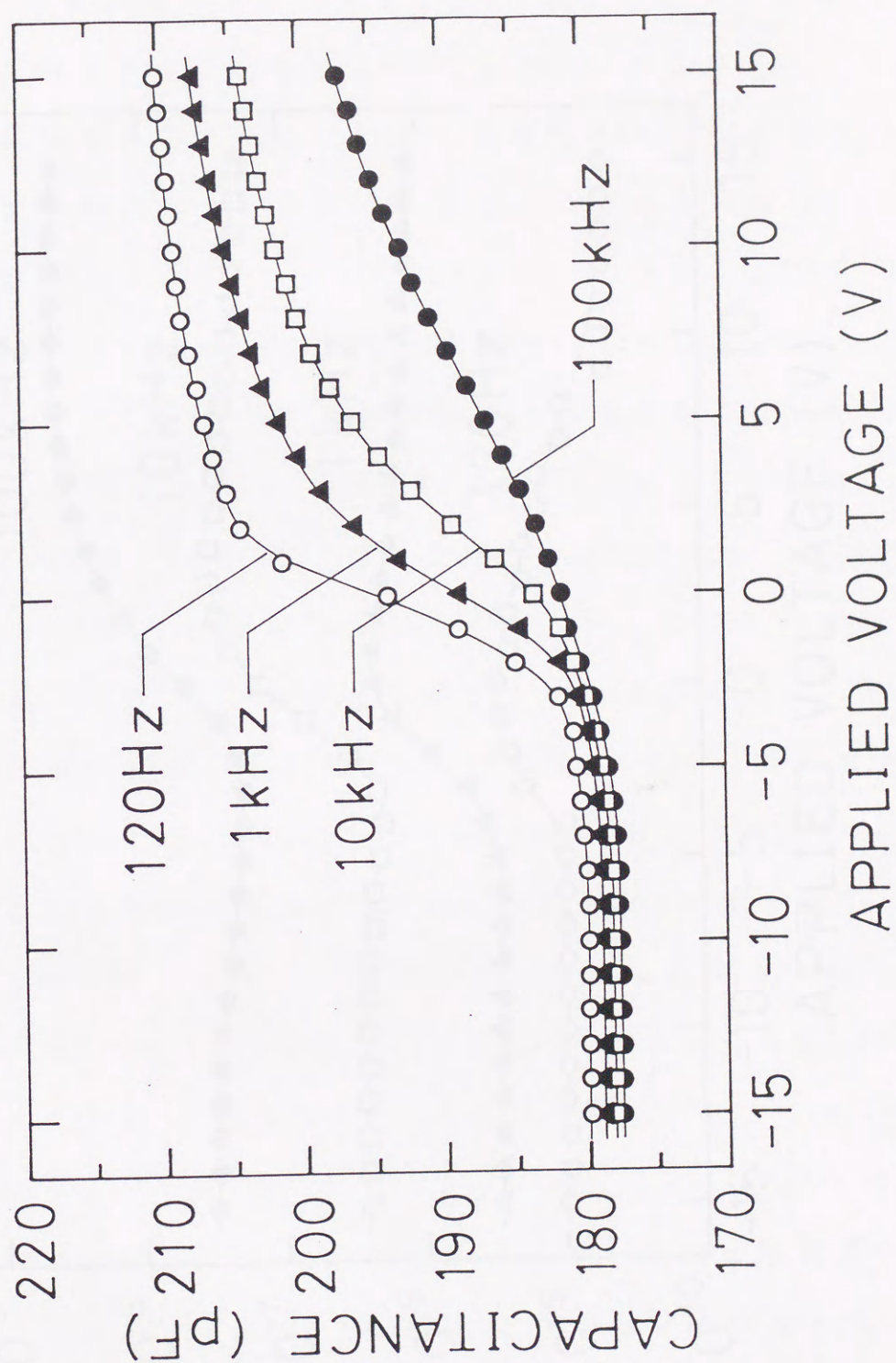


Fig. 5.4 $\text{SiO}_2/\text{GaAs}_x\text{P}_y\text{O}_z$ -n type GaAs MIS 構造における 0.12-100 kHz の周波数領域での C-V 特性

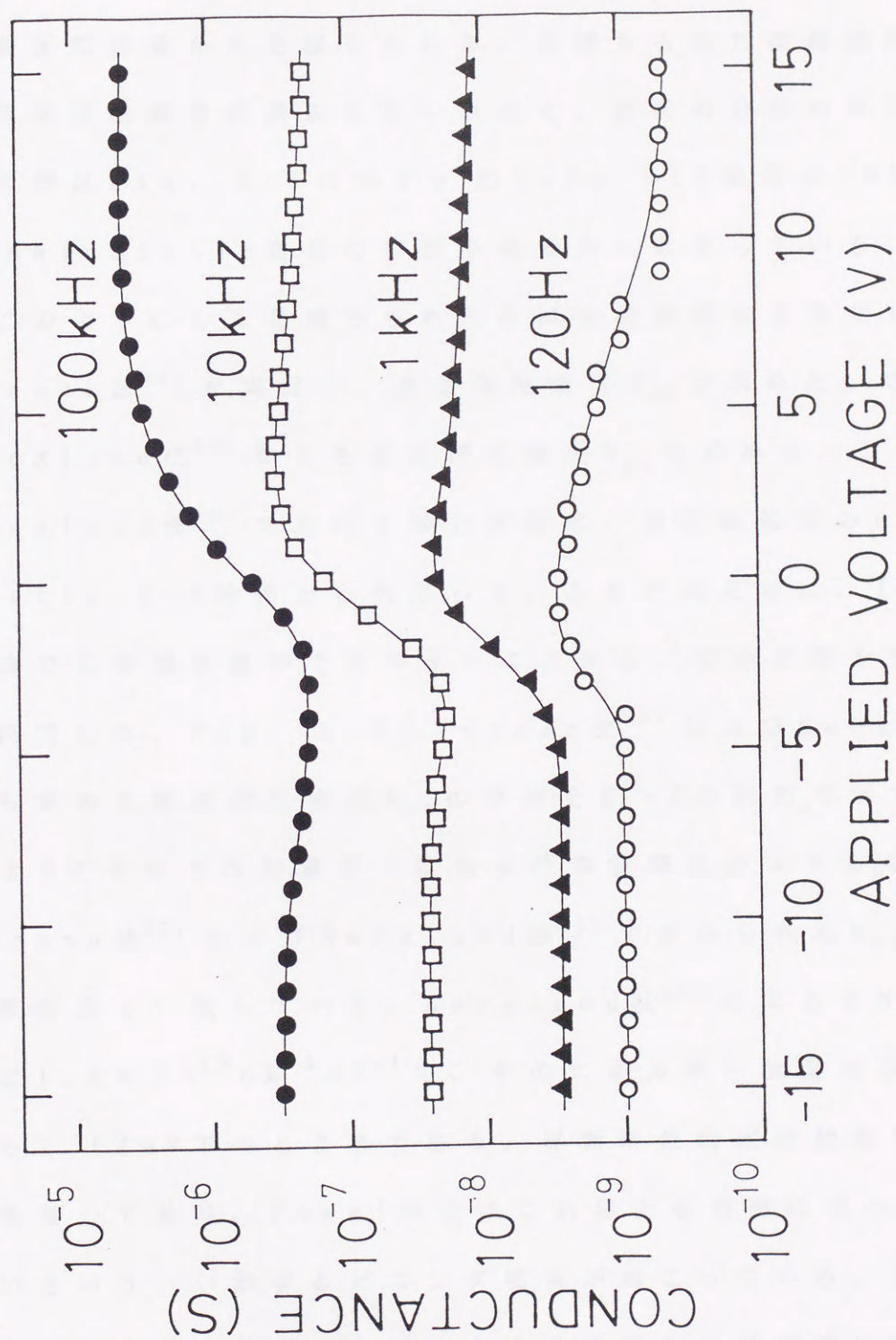


Fig. 5.5 $\text{SiO}_2/\text{GaAs}_x\text{P}_y\text{O}_z$ -n type GaAs MIS 構造における 0.12-100 kHz の周波数領域での G-V 特性

に近づいている。これらのことからn型GaAs MIS構造が印加電圧-15Vで強反転状態が実現されていると考えて議論を進める。高周波絶縁膜容量は高周波C-V理論に基づいて1MHz C-V特性の強反転容量から見積もられる。見積もられた高周波絶縁膜容量は低周波絶縁膜容量より若干小さく、両者の分散は約2%である。この値はFig. 5.1に示す p^+ 型GaAs MIS構造の1MHz容量とquasi-static容量の分散の範囲内に収まっている。

このようにして見積もられた高周波絶縁膜容量を用いてTerman法⁵²⁾を実行し、界面準位密度 N_{ss} を求めた。さらにBerglund法⁵³⁾からも界面準位密度 N_{ss} を求めた。ここでBerglund法⁵³⁾で用いる積分定数は、強反転領域のquasi-static C-V特性から決定した。これとは反対に、InP MIS構造では蓄積状態がしやすいことから、積分定数を強蓄積側から決定した。Fig. 5.6にTerman法⁵²⁾およびBerglund法⁵³⁾から求めた界面準位密度 N_{ss} の分布を $E_c - E$ の関数で示す。ただし E_c と E はそれぞれ伝導帯下端および界面準位のエネルギーである。Terman法⁵²⁾およびBerglund法⁵³⁾で求められた N_{ss} の分布は、比較的良く一致している。Berglund法⁵³⁾によると N_{ss} の最小値は $1.4 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ で、そのエネルギー位置は伝導帯下端から1.12eV下のところである。界面準位密度は禁制帯中央付近で急増しており、Fermi準位はこれ以上伝導帯の方へは近づかないという、いわゆるピニング現象が起こっている。界面準位密度の分布はバンドギャップの上半分で著しく高密度になっている。InP MIS構造においては、バンドギャップの下半分で界面準位

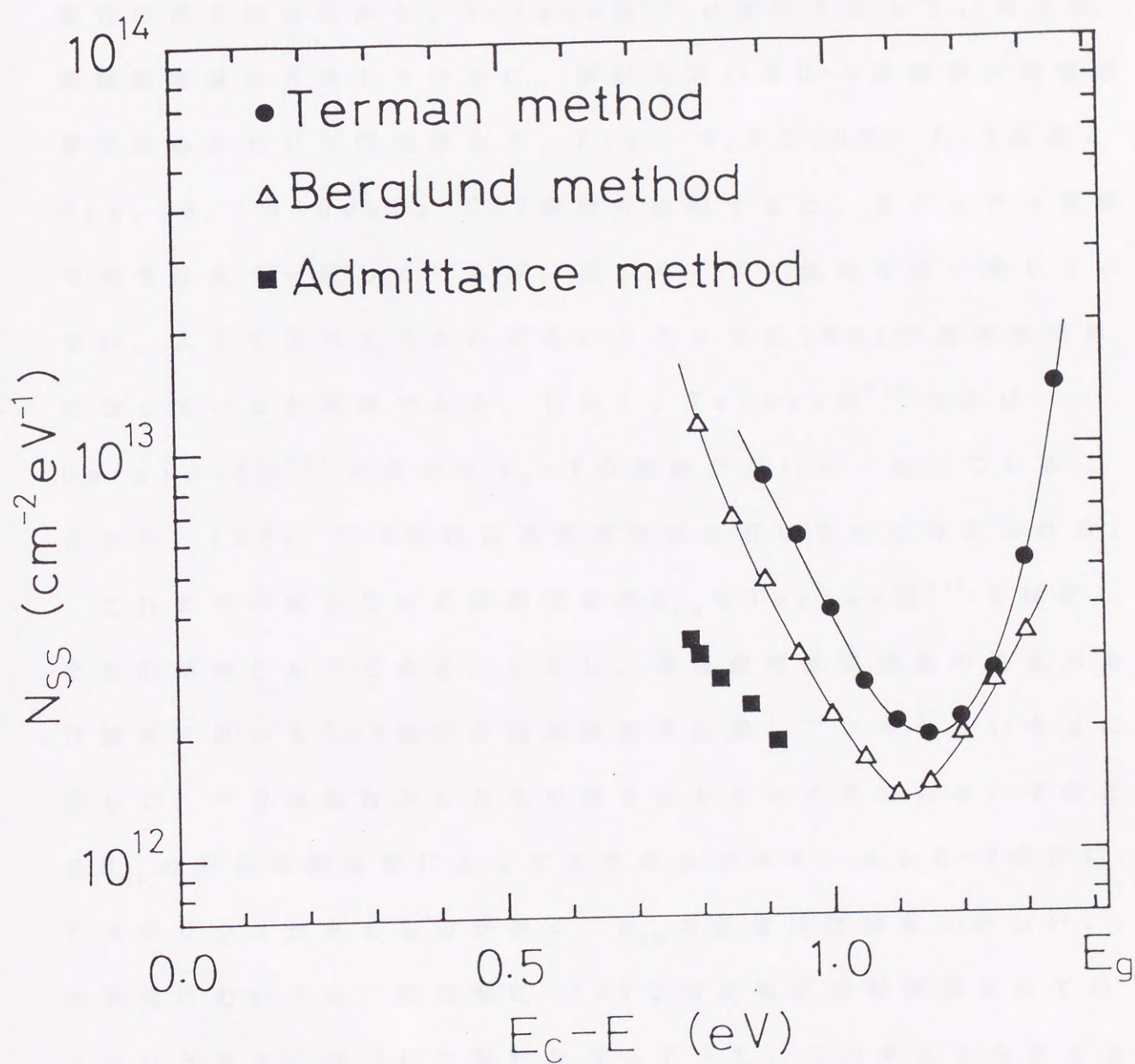


Fig. 5.6 $\text{SiO}_2/\text{GaAs}_x\text{P}_y\text{O}_z$ -n型GaAs MIS構造における界面準位密度

が高密度にあり、GaAs MIS構造とは正反対になっている。

Fig. 5.7にTerman法⁵²⁾およびBerglund法⁵³⁾で得られた表面電位-電圧($\phi_s - V$)曲線を示す。2つの方法で得られた $\phi_s - V$ 曲線は互いに良く一致している。このことは解析結果の信頼性の向上につながる。Terman法⁵²⁾を実行する上で、高周波絶縁膜容量の見積もりの他に、解析に用いるC-V曲線が高周波限界であるかという問題がある。Fig. 5.3の1MHz C-V曲線とFig. 5.4の100kHz C-V曲線を比較すると、負バイアス領域で両者は良く一致しているが、正のバイアス領域では一致していない。よって正バイアスの大きいところでは1MHzが高周波限界になっているか疑問である。しかし、Terman法⁵²⁾およびBerglund法⁵³⁾で求めた $\phi_s - V$ の関係が互いに一致していることから、1MHz C-V特性は高周波限界に近いものと考えられる。

これまでの報告では界面準位密度 N_{ss} をTerman法⁵²⁾で解析したものがほとんどである。しかし、高周波絶縁膜容量の決定および解析に用いるC-V特性が高周波限界に達しているかという点に関して、十分な検討をしたものはあまりないと思われる。そのため N_{ss} の評価は報告者によってさまざまである。またC-V特性にヒステリシスがあるものが多く、 N_{ss} の評価は信頼性に乏しい。本研究においては、印加電圧-15Vで強反転状態が実現されているという考えに基づいて解析を行ってきた。この考えから次のような事柄を得ている。まずn型GaAs MIS構造において、強反転容量から見積もられた高周波絶縁膜容量は低周波絶縁膜容量より若干小さい程度である。この両者の差は p^+ 型GaAs MIS構造の

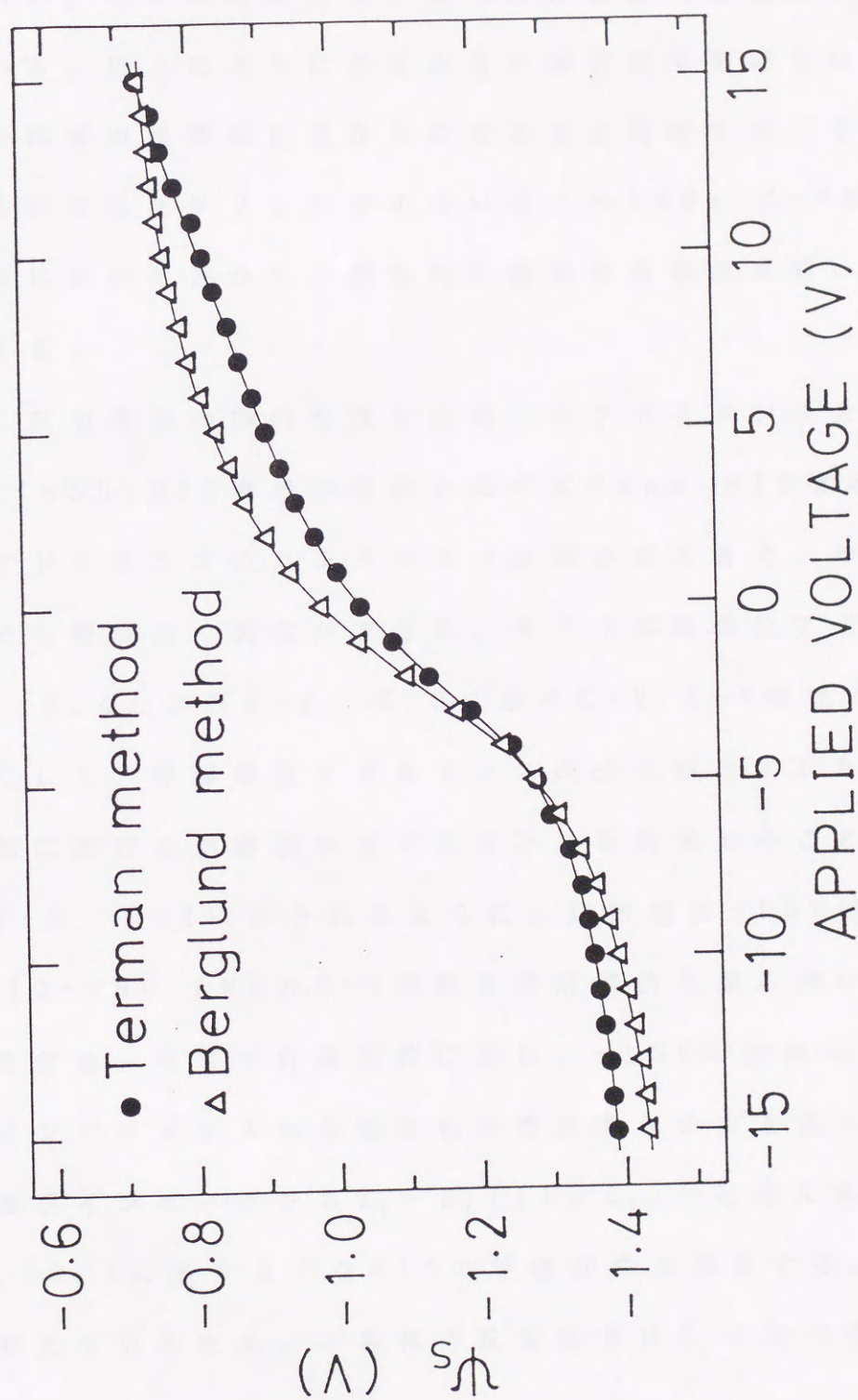


Fig. 5.7 $\text{SiO}_2/\text{GaAsP}_{0.7}\text{Ga}_{0.3}$ MIS構造における ϕ_s -V特性

容量の周波数分散の範囲内に収まっている。また Terman 法⁵²⁾ および Berglund 法⁵³⁾ で得られた2つの $\phi_s - V$ 曲線が互いに一致している。さらには両方法で得られた界面準位密度 N_{ss} の分布が似ている。以上のように矛盾のない解析結果を得ていることから、一連の議論の展開は正当なものであると判断する。そして $C-V$ 特性においてヒステリシスが小さいことや 1 MHz $C-V$ 特性が高周波限界に近いことから、得られた結果は信頼性が高いものであると考える。

次に界面準位の動的性質を反映したアドミタンスを考察する。InP, InSb MIS 構造の場合と比べて GaAs MIS 構造では界面準位アドミタンスのコンダクタンス成分が大きく、市販の LCR メータでも精度良く測定ができる。そこで界面準位アドミタンスは Fig. 5.4 および Fig. 5.5 に示す $C-V$, $G-V$ 特性から求めることにした。界面準位アドミタンス成分を抽出するためには、各周波数における絶縁膜のアドミタンスを見積もることが必要である。Fig. 5.4 に示されるように、印加電圧 -15 V 付近においては 0.12-100 kHz の $C-V$ 特性を高周波的な振る舞いとみなすことができる。そこで各周波数に対し、-15 V 印加時の n 型 GaAs MIS インピーダンスから強反転半導体容量の分を差し引いたものを絶縁膜インピーダンス $Z_I = R_I + (i\omega C_I)^{-1}$ と考える。そして Fig. 3.7 に示すような MIS の等価回路を想定する。弱反転領域を考えているため、半導体の反転容量は C_D に比べ無視できるものとする。

式 (3.1) と (3.11) を用いて G_p / ω , C_p を計算する。このとき

低周波の方は測定精度があまり良くないので、対象とする周波数領域を $0.4 - 100 \text{ kHz}$ とする。バイアス範囲 $+2 \text{ V}$ から $+10 \text{ V}$ における $G_p / \omega - f$ プロットを Fig. 5.8 に示す。どのバイアスに対する $G_p / \omega - f$ プロットに対してもピークが見られる。Si MOS では弱反転領域における $G_p / \omega - f$ プロットには時定数の分散がないとされている。⁵⁷⁾ しかし、ここで得られた n 型 GaAs MIS 構造においては時定数の分散が見られる。そこで InP, InSb の解析で行ったのと同様に、トンネリングモデル^{54), 55)} を適用する。そして、 $G_p / \omega - f$ プロットにおいて観測された 1 つのピークに対応させて、エネルギー E の位置にある界面準位の分布を InSb MIS 構造と同じ式 (4.1) で与える。

式 (3.7) から計算される $G_p / \omega - f$ 曲線を Fig. 5.8 に実線で示す。この $G_p / \omega - f$ 曲線を計算するときに用いたパラメタを Table 5.1 に示す。Fig. 5.8 に示すように式 (3.7) によって計算される $G_p / \omega - f$ 曲線は実験データに良く一致している。このパラメタを式 (3.9) に代入して得られた界面準位密度を N_{ss}^* と表すことにし、この値を Table 5.2 に示す。 N_{ss}^* は $0.4 - 100 \text{ kHz}$ の周波数範囲での $G_p / \omega - f$ 測定から得られたもので、この周波数範囲内で応答する界面準位密度を示す。 N_{ss}^* の値は Fig. 5.6 に示される Terman 法⁵²⁾ あるいは Berglund 法⁵³⁾ による N_{ss} の値より小さい。これは $0.4 - 100 \text{ kHz}$ の周波数範囲外で応答する界面準位があるためと考える。

Table 5.1 に示すパラメタの値を式 (3.8) に代入して理論的な C_p の値を計算し、 C_p^* と表す。この理論的計算によって得ら

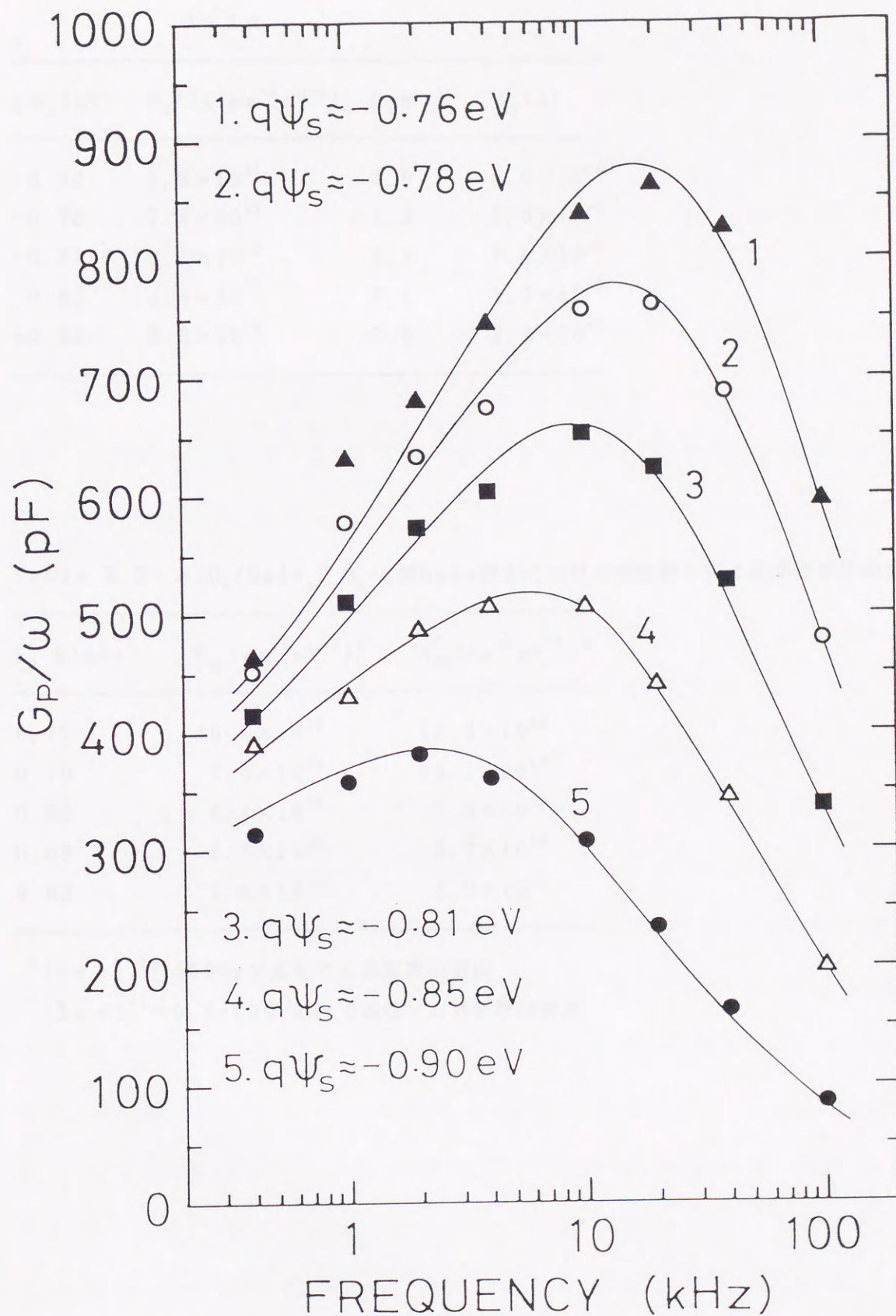


Fig. 5.8 $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ -n型GaAs MIS構造における G_p/ω - f 特性
 実線はトンネリングモデルに基づく G_p/ω - f の理論曲線

Table 5.1 $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ -n型GaAs界面における界面準位アドミタンス計算に用いたパラメタ

$q\psi_s$ (eV)	$N_0/2a$ ($\text{cm}^{-2}\text{eV}^{-1}$)	$2aW$	τ_0 (s)
-0.76	8.5×10^{11}	4.0	4.0×10^{-6}
-0.78	7.4×10^{11}	4.2	5.0×10^{-6}
-0.81	6.1×10^{11}	4.4	7.0×10^{-6}
-0.85	4.4×10^{11}	5.4	1.0×10^{-5}
-0.90	3.2×10^{11}	6.0	2.4×10^{-5}

Table 5.2 $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ -n型GaAs界面における時定数 τ による界面準位の分類

$E_c - E$ (eV)	N_{SL} ($\text{cm}^{-2}\text{eV}^{-1}$) ^a	N_{SS}^* ($\text{cm}^{-2}\text{eV}^{-1}$) ^b
0.77	10.9×10^{12}	14.3×10^{12}
0.79	7.0×10^{12}	10.1×10^{12}
0.82	4.7×10^{12}	7.4×10^{12}
0.88	3.3×10^{12}	5.7×10^{12}
0.92	1.8×10^{12}	4.2×10^{12}

^a $(2\pi\tau)^{-1} \lesssim 400\text{Hz}$ で応答する界面準位密度

^b $(2\pi\tau)^{-1} \sim 0.4\text{--}100\text{ kHz}$ で応答する界面準位密度

れる $C_p^* - f$ 曲線は、Fig. 5.9に示すように、実験的に式(3.11)を用いて得られた $C_p - f$ プロットに良く一致している。InP, InSb MIS構造では C_p^* に表面電位ごとに定まる一定の容量値 C_{FP} を加えないと C_p に一致しなかったが、GaAs MIS構造では C_{FP} が無視できる状況にある。よって100kHzより高い周波数で応答する界面準位はないものと考えられる。この結果から1MHz C-V曲線が高周波限界になっていることがわかり、1MHz C-V曲線にTerman法⁵²⁾を適用した正当性の裏付けともなる。そして N_{SS} と N_{SS}^* と差を400Hz以下で応答する遅い界面準位密度と考える。その遅い界面準位密度を N_{SL} として $\bar{N}_{SS} - N_{SS}^*$ で与え、その値をTable 5.2に示す。ここで \bar{N}_{SS} は、双方向のバイアススイープによるquasi-static C-V特性から、Berglund法⁵³⁾で求めた界面準位密度の平均である。伝導帯下端より下0.78eVから0.92eVにかけては、界面準位のエネルギーが浅くなるほど N_{SS}^* も N_{SL} も増加していく傾向が見られる。

Table 5.1に示した時定数 τ_0 は、 $\tau_0 = (\sigma_0 v_{th} n_s)^{-1}$ の関係がある。ここで σ_0 はMIS界面上にある界面準位に対する電子の捕獲断面積、 v_{th} は電子の熱速度、 n_s は半導体表面における電子濃度である。この関係に従って、伝導帯下端より下0.78eVから0.92eVにかけて σ_0 の値を求めると $10^{-7} - 10^{-5} \text{ cm}^2$ と著しく大きな値である。この原因は高密度にある界面準位のためと考えられる。上で述べてきたように、界面においてバンドギャップの上半分は高密度の界面準位のため、その範囲のエネルギー領域ではキャリアの充放電が円滑に行われているものと思われる。つま

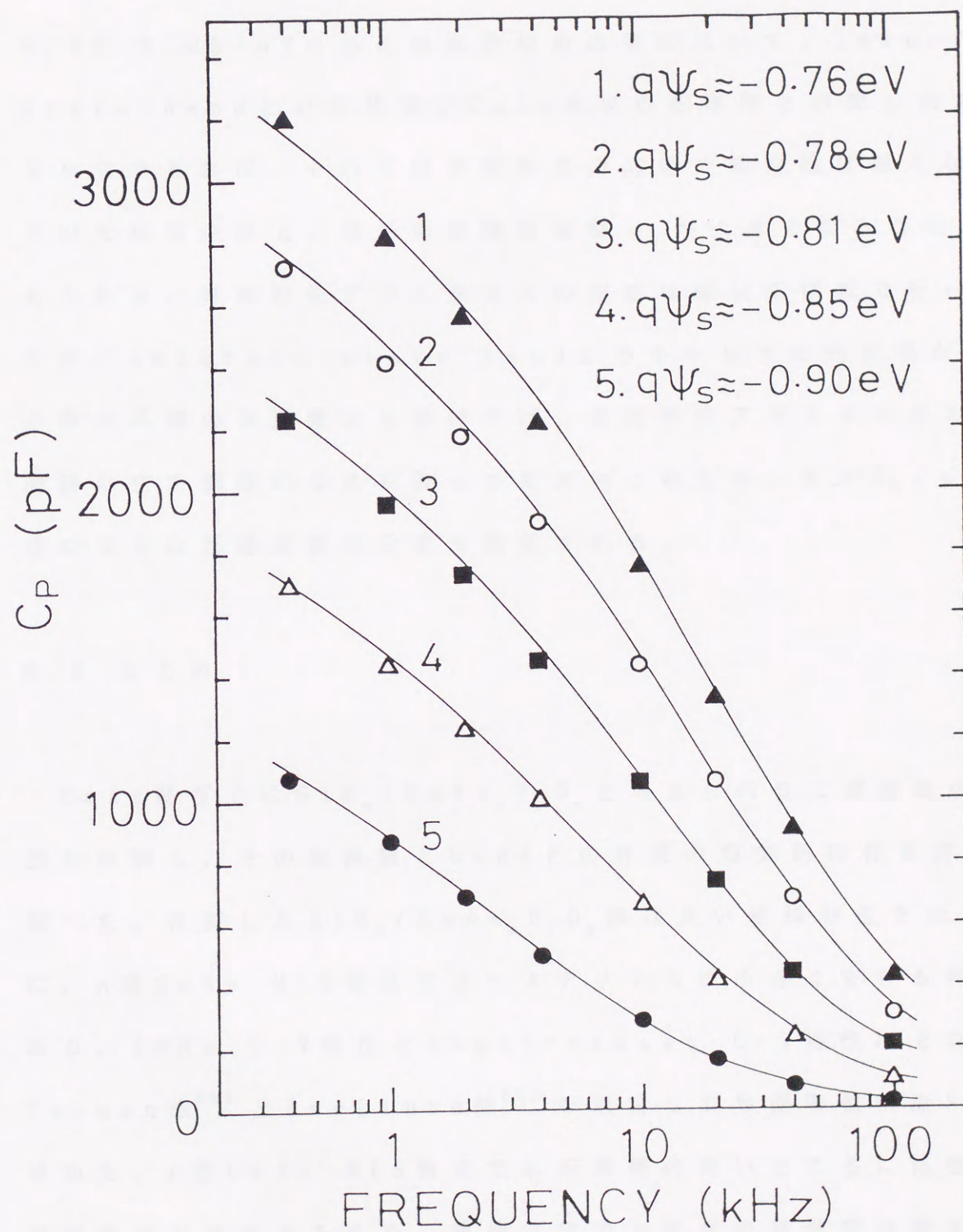


Fig. 5.9 $\text{SiO}_2/\text{GaAs}_x\text{P}_y\text{O}_z$ -n型GaAs MIS構造における C_p - f 特性
 実線はトンネリングモデルに基づく C_p^* - f の理論曲線

り界面上におけるバンドギャップの上半分は伝導帯のようになっていると見なすことができる。この見かけ上の伝導帯は interface state band と呼ばれる。 E_c より下 $0.78-0.92$ eV にある界面準位の応答において、 interface state band との充放電が GaAs 本来の伝導帯との間の充放電より主であれば、それだけ界面準位の応答の時定数は短くなる。このため見かけ上、電子の捕獲断面積 σ_0 が大きくなるものと考えられる。界面準位アドミタンスの測定は弱反転領域で行ってきたが、 interface state band とのキャリアの充放電が価電子帯との間の充放電より多ければ、界面準位アドミタンスの等価回路は空乏領域のものを扱っても良いと考える。また $G_p/\omega-f$ 特性に見られた時定数の分散も説明される。

5.3 まとめ

GaAs 基板上に $SiO_w/GaAs_xP_yO_z$ と考えられる二層構造の絶縁膜を作製し、その絶縁膜と GaAs との界面の電気的特性を詳細に調べた。作製した $SiO_w/GaAs_xP_yO_z$ 膜は良い絶縁特性を示す他に、n 型 GaAs MIS 構造ではヒステリシスが小さくできる特徴がある。1 MHz C-V 特性と quasi-static C-V 特性にそれぞれ Terman 法⁵²⁾ と Berglund 法⁵³⁾ を適用して界面準位密度 N_{ss} を求めた。n 型 GaAs MIS 構造では伝導帯の近いところに高密度の界面準位が存在するため、蓄積方向でも容量の周波数分散が見られる。よって Terman 法⁵²⁾ を適用する場合、高周波容量をどの

ように見積もるかが重要である。そこで本研究においては、印加電圧 -15V のとき強反転状態が実現されているという考えに基づいて解析を行った。高周波 $C-V$ 理論から見積もられた高周波絶縁膜容量と低周波絶縁膜容量との分散は p^+ 型GaAs上に作製したMIS構造における容量の周波数分散以内に収まっている。Terman法⁵²⁾とBerglund法⁵³⁾で解析した界面準位密度 N_{ss} は両者でほぼ同じ分布を示している。Berglund法⁵³⁾による N_{ss} の最小値は $1.4 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ で、そのエネルギー位置は伝導帯下端から 1.12eV 下のところである。また両方法によって得られた表面電位-電圧の関係が互いに良く一致している。以上の結果から、一連の議論の展開は正当であると判断し、これらの解析で得られた結果は信頼性の高いものである。

6 結 論

代表的なⅢ-Ⅴ族化合物半導体 InP , InSb , GaAs 基板上に、リン酸化物を中心とする絶縁膜を作製した。半導体ごとに物理的あるいは化学的な性質が異なるために、個々の半導体に応じて MIS 作製方法を工夫する必要があった。 InP に対しては、最高温度 $410-420^\circ\text{C}$ の熱処理によって、真空蒸着した In あるいは Al と堆積させた酸化リンと基板の一部が反応して、 InP_xO_y あるいは $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜ができた。しかし InSb , GaAs に対しては、このような方法では良好な MIS 構造が得られなかった。 InSb は低融点のため、最高温度 180°C の低温で MIS 構造を作製した。界面特性を悪くすることなく抵抗率を高める方法として、 $\text{SiIn}_x\text{P}_y\text{O}_z$ - InSb 構造を用いた。また GaAs に対しては、 $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ の二層構造膜を用いることにより良好な MIS 構造を得た。 GaAs MIS 構造において、半導体との界面近くでは $\text{GaAs}_x\text{P}_y\text{O}_z$ の成分が主になっており、 $\text{SiO}_w/\text{GaAs}_x\text{P}_y\text{O}_z$ の遷移領域では Si , Ga , As , P , O の原子が混じり合った安定なリンガラスができていると考えられる。

半導体ごとに膜の作製方法は異なるが、すべての MIS 構造に共通して酸化リンの堆積が鍵になっている。リンの酸化物が低温でも反応性に富みリンガラスを形成することから、比較的低温プロセスで良好な絶縁膜ができた。また熱平衡に近い状態でゆっくり膜を堆積できることから、半導体基板に損傷を与えずに安定で緻密な膜が形成される。そのため形成された絶縁膜は高抵抗率、低

損失であるのはもちろんのこと、ヒステリシスやドリフトが小さいなど界面特性の優れたMIS構造ができたと考える。一度準安定な膜を作ってしまうと長時間の熱処理を行っても安定化が難しい。そのため最初から安定した膜が形成されていくような作製プロセスが必要であり、本研究でそのようなプロセスが実現されたと考える。さらにリン酸化物を中心とする膜が、大気中を漂う Na^+ の他にも成膜前に半導体表面に付着している自然酸化物や不純物イオンおよび原子を安定化あるいは固定化することも、良好な電気的特性を示す一助になっていると考えられる。このようにMIS作製方針を満たすように考案したリン酸化物の形成プロセスによって、優れた電気的特性を持つMIS構造が得られた。電気的特性から膜の成分の決定はできないが、良好な特性が得られたことからリンと酸素が十分に含まれていると考えられる。本研究では、クリーンルームでない実験室で比較的安価な装置を用いて、特性の優れたMIS構造が作製された。もっと設備の整ったところでMIS構造を作製すれば、さらに特性の向上が期待されると思われる。

作製されたMIS構造の電気的特性を詳細に調べてきた。従来の界面評価は主にTerman法のみで行われてきたが、本研究ではBerglund法および界面準位アドミタンスの解析を適用して詳細な界面評価を行った。 InP 基板上に作製した InP_xO_y および $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜を絶縁膜とするMIS構造では、伝導帯から禁制帯中央にかけてのエネルギー範囲で界面準位密度が少なくなっている。Berglund法による界面準位密度の最小値は、 InP_xO_y 膜および $\text{AlIn}_x\text{P}_y\text{O}_z$ 膜に対してそれぞれ $7 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ および

$6 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ である。またInSbは狭バンドギャップ半導体のため、Fermi-Dirac統計および伝導帯の非放物線性を考慮することで、より正確な界面評価ができる。Terman法によると界面準位密度は伝導帯から禁制帯中央のエネルギー範囲で $(1.1 - 3.0) \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ である。

これに対しGaAs基板上に作製した $\text{SiO}_w / \text{GaAs}_x \text{P}_y \text{O}_z$ 膜を絶縁膜とするMIS構造では、伝導帯下端から禁制帯中央にかけてのエネルギー範囲で高密度の界面準位が存在する。この高密度の界面準位のために容量の周波数分散が生じ、正確な界面の評価が困難とされてきた。そこで本研究では、n型GaAs MIS構造において強い逆バイアス印加時に強反転状態が実現されると考えて解析を進めた。1MHzにおける強反転容量から見積もった高周波絶縁膜容量はquasi-static C-V特性から得られた低周波絶縁膜容量と比較すると妥当な値を示した。さらにTerman法とBerglund法の結果を比較したところ、両者で矛盾のない結果を得た。それゆえに一連の論理の展開は正当なものであると判断し、GaAs界面の評価値も信頼性の高いものであると確信する。Berglund法による界面準位密度の最小値は $1.4 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ で、そのときのエネルギー位置は伝導帯下端より 1.12 eV 下のところである。

界面準位アドミタンスを解析することによってより詳細な界面情報が得られる。そのアドミタンス解析にトンネリングモデルを適用した。InP, InSb, GaAsのどのMIS構造に対しても応答周波数による界面準位の分類を行った。そしてInP, InSb MIS構

造に対しては、20 Hz から 10 kHz の周波数領域で応答する界面準位の絶縁膜中への広がりを数十 Å 以下と見積もった。またその界面準位に対する電子捕獲断面積も求めた。これまで Berglund 法やアドミタンスの解析は Si MOS 構造以外ではほとんど行われておらず、本研究でこれらの評価をしたことは意義のあることと考える。また GaAs MIS 構造における界面準位アドミタンスの振る舞いは interface state band を考慮することによって説明された。

III-V 族化合物半導体の MIS 構造の研究は 30 年以上行われているが、本研究で作製した MIS 構造はこれまで作製されてきたものよりも電気的特性に優れ、再現性も良く、経時変化もほとんど見られなかった。従って quasi-static C-V 特性やアドミタンス特性の測定も安定して行うことが可能となった。そしてこれらの特性の解析によって得られた MIS 界面の評価は今までにない信頼性の高いものである。

謝 辞

本研究の遂行にあたり、終始有益な御指導をいただいた服部和雄助教授に厚く感謝致します。また日頃より、多大な御協力をいただいた藤井壽崇教授ならびに英貢教授に深く感謝致します。

参考文献

- 1) J.F.Wager and C.W.Wilmsen, J. Appl. Phys. 51, 812 (1980).
- 2) M.Yamaguchi, J. Appl. Phys. 52, 4885 (1981).
- 3) R.G.Gann, K.M.Geib, C.W.Wilmsen, J.Costello, G.Hrychowain, and R.J.Zeto, J. Appl. Phys. 63, 506 (1988).
- 4) A. Yamamoto, M.Yamaguchi, and C.Uemura, J. Electrochem. Soc. 129, 2795 (1982).
- 5) G.Hollinger, J.Joseph, Y.Robach, E.Bergignat, B.Commere, P.Viktorovitch, and M.Froment, J. Vac. Sci. Technol. B5, 1108 (1987).
- 6) H.Hasegawa and T.Sawada, J. Vac. Sci. Technol. 21, 457 (1982).
- 7) H.Lim, J.A.Baglio, N.DeCola, H.L.Park, J.I.Lee, and K.N.Kang, J. Appl. Phys. 69, 7918 (1991).
- 8) B.Bouchikhi, C.Michel, S.Ravelet, and B.Lepley, Phys. Status Solidi A 101, 173 (1987).
- 9) G.Hollinger, R.Blanchet, M.Gendry, C.Santinelli, R.Skheyta, and P.Viktorovitch, J. Appl. Phys. 67, 4173 (1990).
- 10) T.K.Paul and D.N.Bose, J. Appl. Phys. 67, 3744 (1990).
- 11) C.R.Zeisse, J. Vac. Sci. Technol. 16, 1466 (1979).
- 12) K.P.Pande and D.Gutierrez, Appl. Phys. Lett. 46, 416 (1985).
- 13) R.Iyer, R.R.Chang, and D.L.Lile, Appl. Phys. Lett. 53, 134 (1988).
- 14) W.Kulisch and R.Kassing, J. Vac. Sci. Technol. B5, 523 (1987).
- 15) C.J.Huang and Y.K.Su, J. Appl. Phys. 67, 3350 (1990).
- 16) H.L.Chang, L.G.Meiners, and C.J.Sa, Appl. Phys. Lett. 48, 375 (1986).
- 17) L.G.Meiners, Thin Solid Films 113, 85 (1984).
- 18) E.Yamaguchi and M.Minakata, J. Appl. Phys. 55, 3098 (1984).
- 19) Y.H.Jeong, S.Takagi, F.Arai, and T.Sugano, J. Appl. Phys. 62, 2370 (1987).
- 20) B.Commere, M.C.Habrard, S.K.Krawczyk, and J.C.Bruyere, Appl. Phys. Lett. 51, 2142 (1987).
- 21) K.M.Geib, S.M.Goodnick, D.Y.Lin, R.G.Gann, C.W.Wilmsen, and J.F.Wager, J. Vac. Sci. Technol. B2, 516 (1984).
- 22) T.K.Paul, P.Bhattacharya, and D.N.Bose, Appl. Phys. Lett. 56,

- 2648 (1990).
- 23) H.Fujisada and T.Sasase, Jpn. J. Appl. Phys. 23, L46 (1984).
 - 24) T.Jung, W.Braune, M.Schnürer, and J.Schulze, Phys. Status Solidi A 81, 463 (1984).
 - 25) W.Braune, M.Schnürer, N.Kubicki, and R.Herrmann, Phys. Status Solidi A 86, 427 (1984).
 - 26) V.N.Davydov and A.S.Petrov, Phys. Status Solidi A 98, 253 (1986).
 - 27) V.A.Berezovets, W.Braune, N.Kubicki, and A.O.Smirnov, Phys. Status Solidi A 108, 303 (1988).
 - 28) J.D.Langan and C.R.Viswanathan, J. Vac. Sci. Technol. 16, 1474 (1979).
 - 29) M.Okamura and M.Minakata, J. Appl. Phys. 57, 2060 (1985).
 - 30) Y.Avigal, J.Bregman, and Y.Shapira, J. Appl. Phys. 63, 430 (1988).
 - 31) K.F.Huang, J.S.Shie, J.J.Luo, and J.S.Chen, Thin Solid Films 151, 145 (1987).
 - 32) C.J.Huang, Y.K.Su, and R.L.Leu, J. Appl. Phys. 69, 2335 (1991).
 - 33) K.G.Germanova and E.P.Valcheva, Thin Solid Films 148, 243 (1987).
 - 34) S.C.Chen and J.R.Srour, IEEE Trans. Nuclear Sci. NS-26, 4824 (1979).
 - 35) T.E.Kazior, J.Lagowski, and H.C.Gatos, J. Appl. Phys. 54, 2533 (1983).
 - 36) F.I.Hshieh, J.M.Borrego, and S.K.Ghandhi, J. Appl. Phys. 59, 1 (1986).
 - 37) T.Hiramatsu, H.Goto, T.Hirobe, Y.Hirofuji, and M.Kimata, Jpn. J. Appl. Phys. 18, 853 (1979).
 - 38) R.S.Bhide, S.V.Bhoraskar, and V.J.Rao, J. Appl. Phys. 72, 1464 (1992).
 - 39) J.R.Sullivan and R.J.Soukup, J. Vac. Sci. Technol. A8, 3019 (1990).
 - 40) R.Blanchet, C.Santinelli, J.Chave, M.Garrigues, S.Krawczyk, and P.Viktorovitch, J. Vac. Sci. Technol. B2, 681 (1984).
 - 41) T.Waho and H.Saeki, Jpn. J. Appl. Phys. 30, 221 (1991).
 - 42) J.F.Fan, H.Oigawa, Y.Nannichi, Jpn. J. Appl. Phys. 27, L1331

- (1988).
- 43) A. Paccagnella, A. Callegari, J. Batey, and D. Lacey, Appl. Phys. Lett. 57, 258 (1990).
 - 44) A. Callegari, D. K. Sadana, D. A. Buchanan, A. Paccagnella, E. D. Marshall, M. A. Tischler, and M. Norcott, Appl. Phys. Lett. 58, 2540 (1991).
 - 45) J. S. Herman and F. L. Terry, Jr., Appl. Phys. Lett. 60, 716 (1992).
 - 46) T. Kikawa, S. Takatani, and Y. Tezen, Appl. Phys. Lett. 60, 2785 (1992).
 - 47) D. S. L. Mui, D. Biswas, J. Reed, A. L. Demirel, S. Strite, and H. Morkoc, Appl. Phys. Lett. 60, 2511 (1992).
 - 48) C. Y. Wu and M. S. Lin, J. Appl. Phys. 60, 2050 (1986).
 - 49) S. Fujieda, Y. Mochizuki, K. Akimoto, I. Hirose, Y. Matsumoto, and J. Matsui, Jpn. J. Appl. Phys. 29, L364 (1990).
 - 50) P. Bhattacharya and D. N. Bose, Jpn. J. Appl. Phys. 30, L1750 (1991).
 - 51) 徳山巍, MOSデバイス, 工業調査会, 1975
 - 52) L. M. Terman, Solid-State Electron. 5, 285 (1962).
 - 53) C. N. Berglund, IEEE Trans. Electron Devices, 13, 701 (1966).
 - 54) H. Preier, Appl. Phys. Lett. 10, 361 (1967).
 - 55) R. S. Nakhmanson and S. B. Sevastianov, Phys. Status Solidi A 57, 117 (1980).
 - 56) S. M. Sze, Physics of Semiconductor Devices, Wiley, New York, 1981.
 - 57) E. H. Nicollian and A. Goetzberger, Bell Syst. Tech. J. 46, 1055 (1967).
 - 58) H. Deuling, E. Klausmann, and A. Goetzberger, Solid-State Electron. 15, 559 (1972).
 - 59) M. Schulz and E. Klausmann, Appl. Phys. 18, 169 (1979).
 - 60) I. Bloom and Y. Nemirovsky, Solid-State Electron. 31, 17 (1988).

付録 界面準位アドミタンスの測定用フィルタ

界面準位アドミタンスを測定する上で重要なのは、コンダクタンス成分を精度よく求めることである。実際の InP MIS 構造におけるアドミタンス測定においては、誘電損失 D_M が小さいときには 10^{-3} のオーダーしかなく、市販の LCR メータ (YHP 4274A MULTI-FREQUENCY LCR METER) ではコンダクタンス成分を精度よく求めることは困難である。そこで低誘電損失である InP, InSb MIS 構造については、ブリッジ (YHP 4260A UNIVERSAL BRIDGE) を用いてアドミタンスを測定した。ブリッジでは平衡をとると測定信号が小さくなり、雑音に埋もれてくる。よって雑音を除去することが測定精度の向上につながる。そのために測定周波数のみを通過させるようなバンドパスフィルタ (BPF) を作製し、信号雑音比の改善を図った。

製作した BPF は Fig. A.1 に示すような状態変数型と呼ばれるものである。ここで $R_2 = R_3$, $C_1 R_6 = C_2 R_7$ とすれば BPF の中心周波数 f_0 、ゲイン G 、 Q 値は次のようになる。

$$f_0 = \frac{1}{2\pi C_1 R_6} = \frac{1}{2\pi C_2 R_7} \quad (A.1)$$

$$G = -\frac{R_4}{R_1} \quad (A.2)$$

$$Q = \frac{1}{2} \left(1 + \frac{R_4}{R_1} + \frac{R_4}{R_5} \right) \quad (A.3)$$

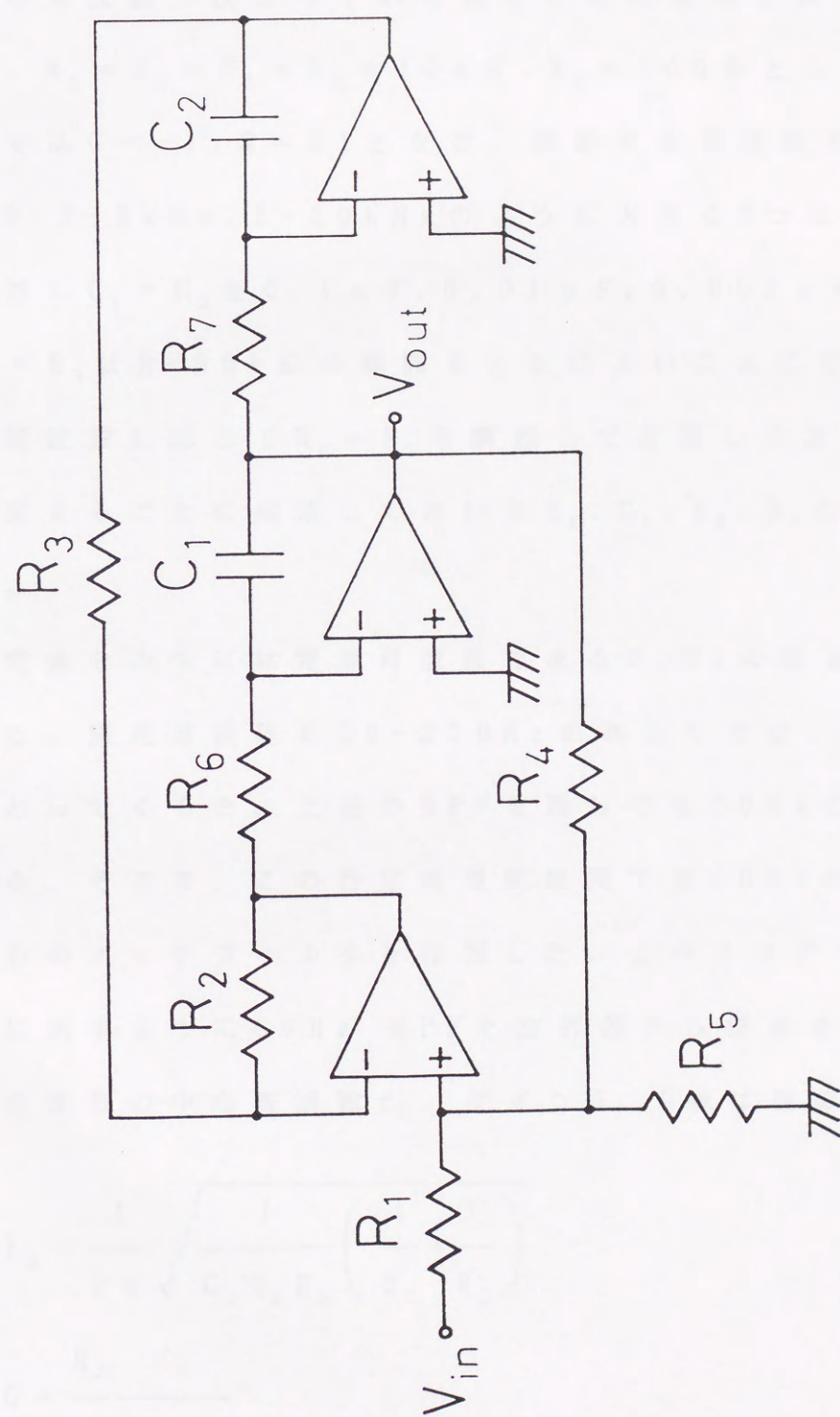


Fig. A.1 状態変数型バンドパスフィルタ

状態変数型BPFはオペアンプを3個使用するが、 f_0 と Q が独立した回路素子で設定できる特徴がある。従って調整が容易である。また Q を大きくすることも容易で、アドミタンス測定のように測定する周波数が決まっている場合には好都合である。実際の回路では、 $R_1 = R_2 = R_3 = R_4 = 10\text{ k}\Omega$ 、 $R_5 = 100\Omega$ とした。よって計算上では $G = -1$ 、 $Q = 51$ となる。測定する周波数領域を20-200 Hz、0.2-2 kHz、2-20 kHzのように大きく3つに分け、それぞれに対し $C_1 = C_2$ を $0.1\mu\text{F}$ 、 $0.01\mu\text{F}$ 、 $0.001\mu\text{F}$ とした。すると $R_6 = R_7$ は8-80 k Ω の範囲をとればよいことになる。測定に用いる周波数に応じて $R_6 = R_7$ を調整して用意しておき、測定周波数を変えるごとに用意しておいた C_1 、 C_2 、 R_6 、 R_7 のセットを利用する。

雑音成分の中には電源周波数である60 Hzの雑音が多く含まれている。測定周波数が20-200 Hzのあたりでは、ブリッジの平衡をとってくると、上述のBPFを通して60 Hzの雑音が目立っている。そこで、この測定周波数範囲では60 Hzの成分を除去するためのノッチフィルタを作製した。このノッチフィルタはFig. A.2に示すように60 Hz BPFと加算器から構成されている。BPFの部分の中心周波数 f_0 、ゲイン G 、 Q 値は次のようになる。

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{1}{C_1 C_2 R_3} \left(\frac{1}{R_1} + \frac{1}{R_2} \right)} \quad (\text{A.4})$$

$$G = \frac{R_3 C_1}{R_1 C_1 + C_2} \quad (\text{A.5})$$

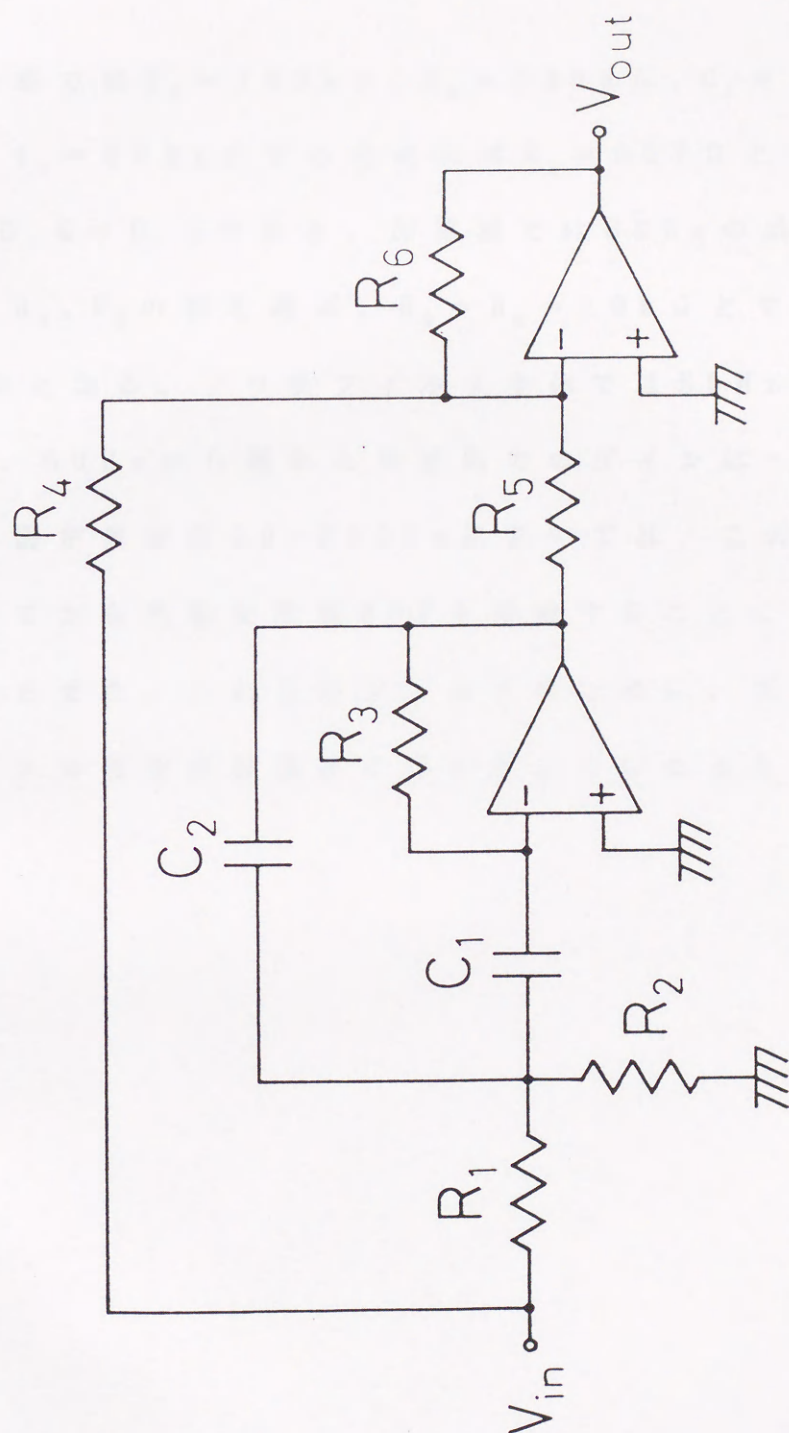
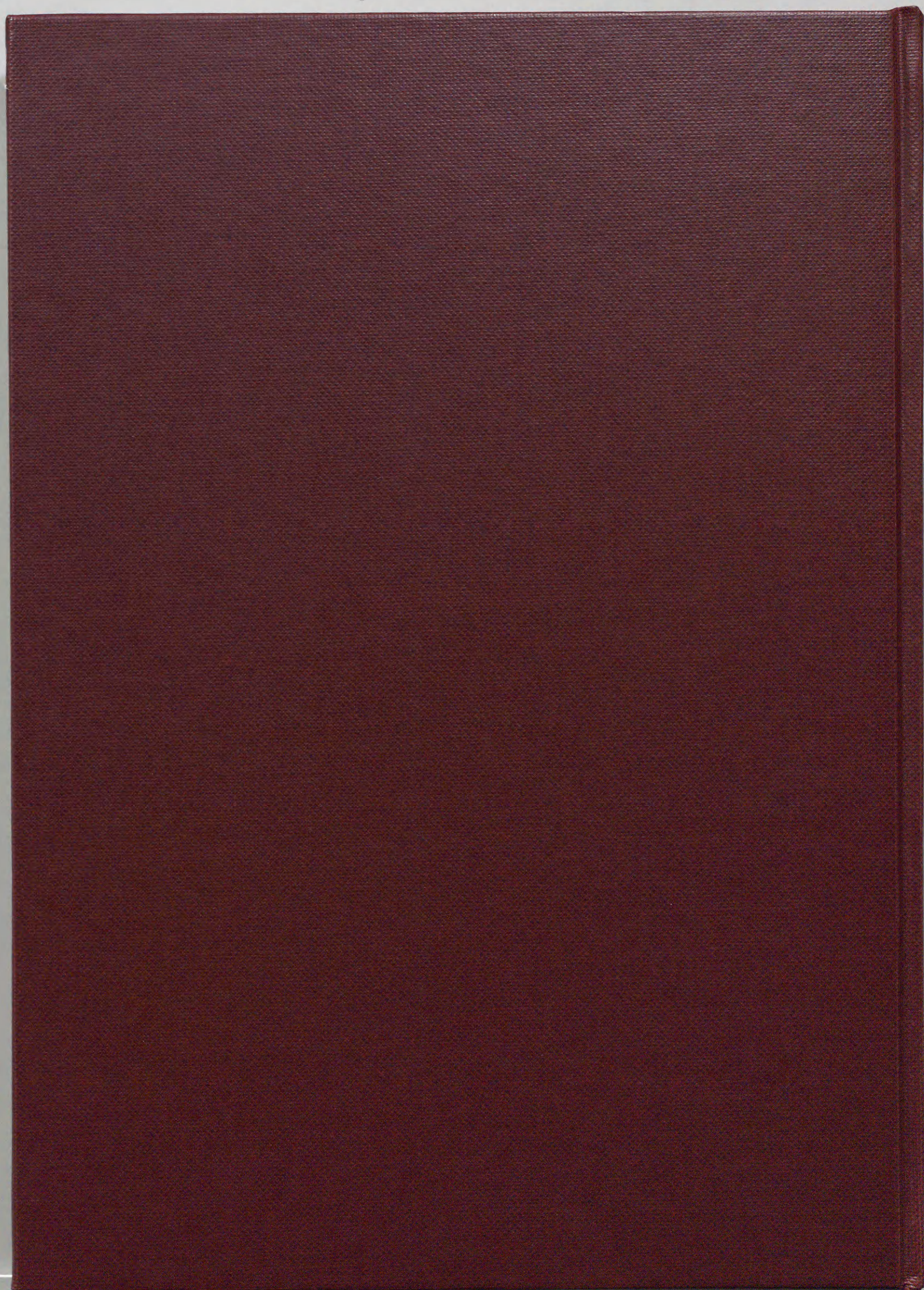
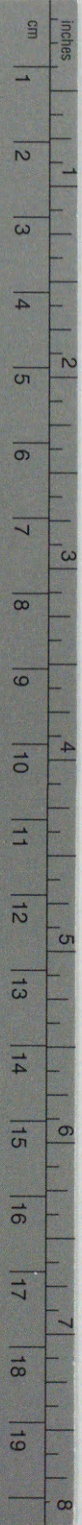


Fig. A.2 ノッチフィルタ

$$Q = \frac{1}{C_1 + C_2} \sqrt{C_1 C_2 R_3 \left(\frac{1}{R_1} + \frac{1}{R_2} \right)} \quad (\text{A. 6})$$

実際の回路では $R_1 = 100 \text{ k}\Omega$, $R_3 = 330 \text{ k}\Omega$, $C_1 = C_2 = 0.147 \mu\text{F}$ とした。 $f_0 = 60 \text{ Hz}$ にするためには $R_2 = 997 \Omega$ とする。すると $G = -1.65$, $Q = 9.1$ である。加算器では 60 Hz の成分が相殺されるように R_4, R_5 の値を選ぶ。 $R_4 = R_6 = 10 \text{ k}\Omega$ とすると $R_5 = 16.5 \text{ k}\Omega$ となる。ノッチフィルタ全体では 60 Hz の成分は理論上 0 にでき、 60 Hz から離れた周波数でのゲインは $-R_6 / R_4 = -1$ に近づく。測定周波数 $20 - 200 \text{ Hz}$ においては、このノッチフィルタを通してから状態変数型 BPF を接続することによって信号雑音比を向上させた。これらのフィルタのために、ブリッジによるアドミタンスの測定が精度良く行えるようになった。





Kodak Color Control Patches

© Kodak, 2007 TM: Kodak

Blue	Cyan	Green	Yellow	Red	Magenta	White	3/Color	Black

Kodak Gray Scale



© Kodak, 2007 TM: Kodak

A 1 2 3 4 5 6 **M** 8 9 10 11 12 13 14 15 **B** 17 18 19

