

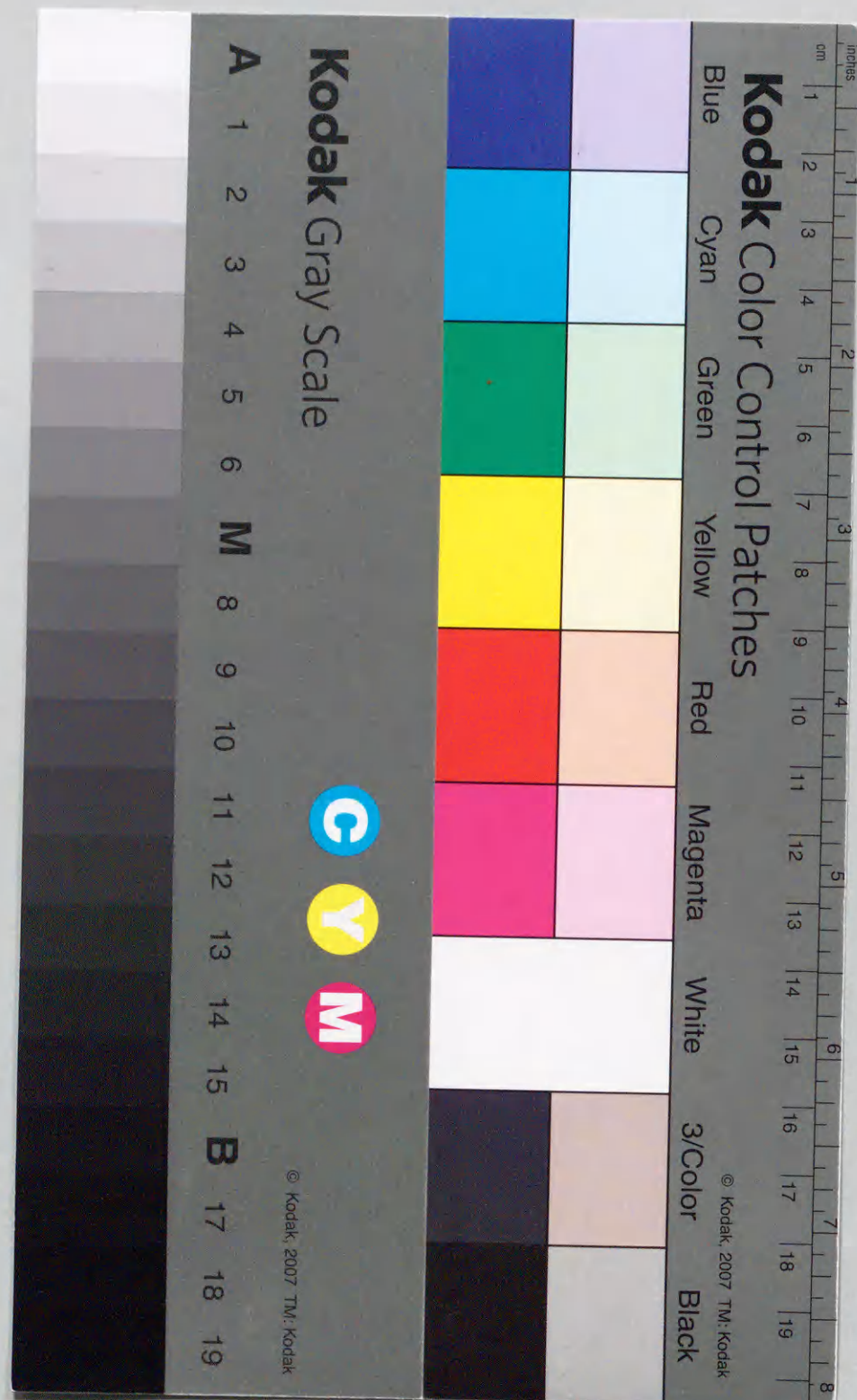
III-V 族化合物半導体
ヘテロエピタキシーにおける
貫通転位密度の低減および
表面の平坦化に関する研究

1999年1月

博士(工学)

左文字克哉

豊橋技術科学大学



①

III-V族化合物半導体ヘテロエピタキシーにおける
貫通転位密度の低減および表面の平坦化に関する研究

1999年1月

博士(工学)

左文字 克哉

豊橋技術科学大学

III-V 族化合物半導体ヘテロエピタキシーにおける 貫通転位密度の低減および表面の平坦化に関する研究

論文要旨

ヘテロエピタキシャル成長技術は異なった性質をもつ材料を組み合わせ、新しいデバイスを構築するために必要不可欠な基盤技術である。とくに、InP-on-Si ヘテロエピタキシーは InGaAsP/InP 系の発光デバイスと Si-LSI を融合する技術として期待される。しかし、InP-on-Si は格子不整合が 8% とひじょうに大きく、格子不整合歪みに起因して高密度の貫通転位が発生する。結晶欠陥はレーザ・ダイオード (LD) や発光ダイオード (LED) の発光効率や寿命を低下させる要因となる。したがって、貫通転位密度の低減は重要な課題となっている。そこで、本研究では工学的に有用と考えられる InP-on-Si ヘテロエピタキシーにおける結晶欠陥の発生機構を調べ、貫通転位の発生を抑制する手法を明らかにすることを目的とした。一方、格子不整合ヘテロエピタキシャル層の表面は一般に平坦性が良くない。とくに、クロスハッチ・パターン (CHP) とよばれる凹凸が、格子不整合の小さな系において明瞭に観察されることが知られている。表面の凹凸は、デバイスの性能やプロセスの信頼性に影響する恐れがある。したがって、格子不整合ヘテロエピタキシーをデバイスに応用するためには、表面を平坦化する技術が求められる。そこで、本研究では、CHP が明瞭に観察される InGaAs-on-GaAs において CHP の形成および成長過程を詳細に調べ、その抑制技術についても検討した。

貫通転位や CHP の発生の本質的な原因は、格子不整合歪みが転位の発生によって緩和される現象 (格子緩和) にある。したがって、Si に格子整合する材料を成長することによって、貫通転位や CHP の発生を完全に抑制できると期待される。そこで、本研究では、 $\text{GaP}_{1-x}\text{N}_x$ 混晶を用いて、Si 基板上に無転位の III-V 族化合物半導体成長層を得る試みについても行った。

はじめに、InP-on-Si ヘテロエピタキシーにおける貫通転位の発生を抑制する手法について検討した。まず、InP-on-Si とほぼ同じ格子不整合をもつ InP-on-GaP ヘテロエピタキシーにおいて初期成長過程と貫通転位の発生機構を調べた。その結果、InP 層は膜厚が 1 分子層 (ML) までは二次元的に成長し、膜厚が 2ML の段階では三次元化することがわかった。これより、GaP 上の InP は Stranski-Krastanov (S-K) 型の成長様式をもつことが明らかになった。一方、InP の膜厚が 2ML の段階では貫通転位は発生せず、膜厚が 4ML の段階になって貫通転位が透過型電子顕微鏡 (TEM) によって観察された。この結果から、貫通転位の発生は、InP 三次元成長島の拡大・合体の過程で生じることがわかった。したがって、格子不整合に起因する貫通転位の発生を抑制するためには、成長層の三次元

化を抑制する必要があることが推察された。そこで、InP-on-Si ヘテロエピタキシーにおける貫通転位の発生を抑制するために、 $(\text{InAs})_m(\text{GaAs})_n$ 歪短周期超格子 (SSPS) および $(\text{GaAs})_i(\text{GaP})_j$ SSPS からなる多層構造を用いた。その結果、各層は二次元的に成長し、三次元成長島の発生を抑制できることが明らかになった。TEM 観察の結果、格子不整合歪みは各ヘテロ界面に導入されたミスフィット転位によって緩和され、貫通転位の発生が効果的に抑制されることが見出された。

つぎに、GaAs 基板上に成長した $(\text{InAs})_1(\text{GaAs})_4$ SSPS および $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶の格子緩和過程を X 線回折 (XRD) と TEM によって調べた。その結果、SSPS では混晶に比べて転位発生臨界膜厚が増加することがわかった。これは、混晶中においては In 組成の局所的なばらつきのために格子不整合歪みが面内方向に不均一に分布しているのに対して、SSPS 中では格子不整合歪みが均一に分布していることに起因すると考えられた。しかし、その後の格子緩和過程について両者には大きな違いが見られず、SSPS は混晶とほぼ同じ速度で格子緩和が進行することが明らかになった。これは、格子緩和過程で導入されるミスフィット転位によって SSPS の積層構造が局所的に乱され、歪みの分布が混晶の場合と変わらなくなることによるものと推察された。

次いで、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ -on-GaAs ヘテロエピタキシーにおける CHP の形成過程と表面ラフネスの低減化技術について検討した。 $\text{InAs}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造と $\text{GaAs}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{InP}$ 構造を用いて CHP を示す表面での In および Ga 原子の取り込みを調べた。その結果、In 原子は凹凸の凸部で集中的に取り込まれることがわかった。一方、Ga 原子は凹凸に無関係にほぼ均一に成長表面に取り込まれることが明らかになった。この結果から、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ -on-GaAs ヘテロエピタキシーにおける CHP の成長には、主に In 原子の不均一な取り込みが寄与していることが明らかになった。また、In 原子の表面拡散にもとづいて、CHP の成長過程を説明するモデルを提案した。

また、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ の成長温度と表面ラフネスの大きさとの関係を調べた。その結果、成長温度を低くすることによって凹凸のラフネスの増大を抑制できることが明らかになった。これは、成長温度を低くすることによって In 原子の表面拡散が抑制され、In 原子の不均一な取り込みが抑えられたことに起因すると考えられる。さらに、格子不整合歪みをほぼ完全に緩和する $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層を低温 (350°C) で成長することによって、表面が平坦で残留歪みのほとんどない層を実現できることを示した。このような層の上では In 原子の表面拡散を促進した成長、すなわち高温成長を行っても表面ラフネスはほとんど増大しないことを明らかにした。

最後に、Si にはほぼ格子整合する $\text{GaP}_{1-x}\text{N}_x$ 混晶を用いて、Si 基板上に無欠陥の成長層を実現する手法について検討した。まず、GaP 基板上の $\text{GaP}_{1-x}\text{N}_x$ 混晶の成長において、組

成分分布の生じない均一な $\text{GaP}_{1-x}\text{N}_x$ 混晶が得られることを確認した。また、 $\text{GaP}_{1-x}\text{N}_x$ 混晶の成長においても格子不整合歪みはヘテロ界面に導入されるミスフィット転位によって緩和されることを TEM 観察により明らかにした。つぎに、Si 基板上に無欠陥の $\text{GaP}_{1-x}\text{N}_x$ 混晶を成長するために、 $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ 構造を成長した。この構造では、GaP 層の厚さを 20nm とひじょうに薄くした。結果として、薄い GaP 層を Si 上に成長することによって極性/非極性界面に起因する欠陥、すなわちアンチフェーズ・ドメイン (APD) や積層欠陥の発生を効果的に抑制できることが明らかになった。また、XRD 測定によって、 $\text{GaP}_{1-x}\text{N}_x$ 混晶層の N 組成は約 1.3% であることがわかった。このときの $\text{GaP}_{1-x}\text{N}_x$ と Si の格子不整合は 0.15% とひじょうに小さいことがわかった。さらに TEM 観察の結果、 $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ 構造においては、ミスフィット転位や APD などの結晶欠陥の発生が抑制され、無欠陥成長層を Si 基板上に実現できることが明らかになった。

Reduction of Threading Dislocation Density and Surface Roughness in Heteroepitaxy of III-V Compound Semiconductors

Abstract

It is required to grow a high quality heteroepitaxial layer for realization of novel opto-electronic devices. In particular, the heteroepitaxy of InP-on-Si is an important technology to realize novel opto-electronic integrated circuits (OEICs) which consist of InGaAsP/InP optical devices and Si integrated circuits. However, it is known that a large number of threading dislocations are generated in the direct growth of InP on Si substrates due to a very large lattice mismatch ($f=8\%$). The dislocations degrade characteristics and lead to a short operating life of laser diodes (LDs) and light emitting diodes (LEDs). Thus, it is required to reduce the density of threading dislocations in order to apply the InP-on-Si heterostructure to the OEICs. In the present work, generation and suppression mechanisms of threading dislocations were investigated in the InP-on-Si heteroepitaxy. It has been well-known that the surface of heteroepitaxial layers shows gradual striations along the $\langle 011 \rangle$ directions, referred as a cross-hatch pattern (CHP), in the heteroepitaxy with small lattice mismatch. The generation mechanism of CHP and the growth conditions to reduce surface roughness were investigated in the InGaAs-on-GaAs heteroepitaxy.

The generation of threading dislocations and CHPs is attributed to the relaxation process of lattice mismatch strain. Thus, I tried to reduce the lattice mismatch strain between epilayers and Si substrates in $\text{GaP}_{1-x}\text{N}_x$ -on-Si heteroepitaxy, in order to suppress the generation of crystalline defects.

Firstly, I investigated the relationship between the growth mode and the generation of threading dislocations in InP-on-GaP heteroepitaxy, which has almost the same lattice mismatch as that of the InP-on-Si. The InP grew two-dimensionally (2D) on GaP(100) substrate up to 1-2 ML thickness. Then, the growth mode changed to the three-dimensional (3D) island growth mode. Threading dislocations were generated after 4 ML thick growth. It was apparent that threading dislocations were generated from the grown and/or coalesced 3D islands. These results suggested that the density of threading dislocations could be reduced by suppression of the 3D island formation.

I grew an InP/SSPSs/GaAs/SSPSs/GaP/Si structure. The SSPSs are the multiple $(\text{InAs})_m(\text{GaAs})_n$ and $(\text{GaAs})_i(\text{GaP})_j$ strained short-period superlattices which reduce the difference in lattice constant between InP and GaP. The 2D growth mode was kept during

the growth of the InP/SSPSs/GaAs/SSPSs/GaP/Si structure. The density of threading dislocations was remarkably reduced, compared with that in a InP/GaP/Si structure without SSPSs. Misfit dislocations were observed at all the hetero-interfaces in the InP/SSPSs/GaAs/SSPSs/GaP/Si structure. Therefore, the lattice mismatch strain was stepwise accommodated by the generation of misfit dislocations at the hetero-interfaces. From these results, it became apparent that the density of threading dislocations can be reduced by introducing the multi-SSPSs to the InP-on-Si, in spite of a large lattice mismatch of 8%.

The lattice relaxation process was investigated in the growth of an $(\text{InAs})_1(\text{GaAs})_4\text{SSPS}$ and $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ alloy layer on GaAs(100) substrates. As a result, it was found that the lattice relaxation in the $(\text{InAs})_1(\text{GaAs})_4\text{SSPS}$ proceeded as fast as that in $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ alloy layer, whereas an increase in the critical thickness of the SSPS was observed.

The formation process of CHPs was investigated in the $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ -on-GaAs heteroepitaxy. I observed the distribution of highly strained InAs and GaAs islands on the surfaces of strained InGaAs layers. The InAs islands were accumulated on the top of the surface ridges of the InGaAs layer, whereas the GaAs islands distributed uniformly on the surface of the InGaAs layer. Thus, it was clarified that the nonuniform incorporation of In atoms during the growth contributes mainly to the evolution of CHPs in the InGaAs-on-GaAs heteroepitaxy. I proposed an evolution model of CHPs based on the surface diffusion of In atoms. Additionally, it was found that the evolution of CHPs can be suppressed by growing a fully relaxed InGaAs layer at low temperature before the high-temperature growth.

Finally, the $\text{GaP}_{1-x}\text{N}_x$ alloy layer was grown on a Si substrate with a thin (20nm thick) GaP buffer layer ($\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ structure), in order to suppress the generation of crystalline defects. As a result, it was clarified that the generation of misfit dislocations as well as threading dislocations was suppressed in the $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ structure. In addition, the thin GaP buffer layer was effective for suppressing the generation of anti-phase domains (APDs) and stacking faults caused by polar/nonpolar interface in the $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ structure. It was found that a defect-free $\text{GaP}_{1-x}\text{N}_x$ layer can be grown on Si by using the thin GaP buffer layer.

目次

第1章 序論	1
1.1 III-V 族化合物半導体の格子不整合ヘテロエピタキシー技術とその意義	1
1.2 格子不整合ヘテロエピタキシーの問題点	3
1.2.1 格子不整合	3
1.2.2 熱的不整合	7
1.2.3 極性/非極性界面に起因する問題	8
1.2.4 成長層表面におけるクロスハッチ・パターンの形成	10
1.3 窒素を含む混晶の成長	11
1.4 本研究の目的	12
参考文献	15
第2章 分子線エピタキシーおよび評価装置	21
2.1 緒言	21
2.2 分子線エピタキシー (MBE)	21
2.3 反射高速電子線回折 (RHEED)	24
2.4 透過型電子顕微鏡 (TEM)	26
2.5 X線回折 (XRD)	29
2.6 原子間力顕微鏡 (AFM)	31
参考文献	33
第3章 Si 基板上 InP ヘテロエピタキシャル層における貫通転位の発生・抑制機構	35
3.1 緒言	35
3.2 InP-on-GaP ヘテロエピタキシーにおける初期成長過程と貫通転位の発生機構	36
3.2.1 実験方法	36
3.2.2 InP-on-GaP の初期成長過程と貫通転位の発生機構	37
3.3 歪短周期超格子 (SSPS) の導入による InP-on-Si の貫通転位密度の低減	41

3.3.1	実験方法	41
3.3.2	InP/SSPSs/GaAs/SSPSs/GaP/Si 構造の成長過程	46
3.3.3	SSPS の導入による InP-on-Si の貫通転位密度の低減	50
3.4	結言	53
	参考文献	55
第 4 章	(InAs) ₁ (GaAs) ₄ 歪短周期超格子および In _{0.2} Ga _{0.8} As 混晶の成長における格子緩和過程	57
4.1	緒言	57
4.2	実験方法	57
4.3	GaAs 基板上 (InAs) ₁ (GaAs) ₄ 歪短周期超格子および In _{0.2} Ga _{0.8} As 混晶の格子緩和過程	59
4.4	XRD および TEM による格子緩和率の測定	63
4.5	AFM による表面モフォロジーの観察	66
4.6	結言	69
	参考文献	71
第 5 章	In _{0.2} Ga _{0.8} As-on-GaAs における表面クロスハッチパターンの形成機構	73
5.1	緒言	73
5.2	実験方法	73
5.3	クロスハッチ・パターンの初期形成過程	79
5.4	クロスハッチ・パターンの成長機構	81
5.5	低温成長による表面ラフネスの低減	86
5.6	結言	89
	参考文献	91
第 6 章	Si に格子整合する GaPN 混晶による結晶欠陥発生の抑制	93
6.1	緒言	93
6.2	Si に格子整合する Ga(As _{1-y} P _y) _{1-x} N _x 量子井戸構造の提案	94
6.3	GaP 基板上における GaP _{1-x} N _x の成長	98
6.3.1	実験方法	98
6.3.2	GaP 基板上 GaP _{1-x} N _x の成長過程と XRD および TEM による成長層の評価	99

6.4	GaP バッファ層の導入と Si にほぼ格子整合する GaP _{1-x} N _x 混晶による無欠陥 GaP _{1-x} N _x -on-Si の成長	103
6.4.1	実験方法	103
6.4.2	GaP バッファ層の導入と Si にほぼ格子整合する GaP _{1-x} N _x 混晶による結晶欠陥発生の抑制	105
6.5	結言	110
	参考文献	111
第 7 章	総括	113

第1章 序論

1.1 III-V 族化合物半導体の格子不整合ヘテロエピタキシー技術とその意義

現代の半導体産業の急速な発展は、IV 族半導体である Si を用いた集積回路 (Integrated Circuit: IC) の実現、改良によって支えられてきた。Si 表面に良質な絶縁膜 (酸化膜) が得られるなど、Si が微細加工に適した物理的・化学的性質をもつために IC の集積度は飛躍的に向上し、超高集積回路 (Ultra-Large Scale Integrated Circuit: ULSI) とよばれる IC が実現された。一方、GaAs や InP を代表とする III-V 族化合物半導体には、直接遷移型のエネルギーバンド構造をもつものが多く、高い発光効率が得られる。また、半導体中の電子の有効質量が小さく、高い電子移動度が得られる。さらに、III-V 族化合物半導体では三元および四元の混晶を作製することが可能である。混晶の組成を制御することによって格子定数やバンドギャップ・エネルギーの大きさを制御することができる。Si では得られないこのような性質を活かして、III-V 族化合物半導体は光デバイスや超高速電子デバイスに用いられている。

III-V 族化合物半導体デバイスの開発は、エピタキシャル成長技術と新しい材料の開発によって支えられてきた。液相成長法 (Liquid Phase Epitaxy: LPE) によって成長した AlGaAs/GaAs ダブルヘテロ構造をもつレーザーダイオード (Laser Diode: LD) が室温連続発振に成功して以来 [1]、さまざまな成長技術や材料が開発され、実用化されてきた。分子線エピタキシー (Molecular Beam Epitaxy: MBE) や有機金属気相成長法 (Metalorganic Vapor Phase Epitaxy: MOPVE) などは新しい成長技術の代表例である。こうした新しいエピタキシャル成長技術を用いて、光通信用の InGaAsP/InP 系レーザや可視光域の AlInGaP/GaAs 系レーザ [2-4] の開発が成功を収めた。これらは材料開発の成功が支えている代表例である。さらに、高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) [5]、ヘテロバイポーラトランジスタ (Hetero Bipolar Transistor: HBT)、量子井戸レーザ (Quantum Well Laser: QW laser) [6] などの成功は原子層レベルで膜厚制御が可能になった結果である。

このようにヘテロエピタキシーは、光電子デバイスの作製に必要な不可欠な技術である

表 1.1 各種半導体の物性定数および結晶構造（数値は室温での値）。

材料	格子定数 [Å]	熱膨張係数 [$\times 10^{-6} \text{ K}^{-1}$]	結晶構造	遷移型
Si	5.4307	2.56	Diamond	間接
GaP	5.4512	4.60	Zincblende	間接
GaAs	5.6533	6.86	Zincblende	直接
InP	5.8687	4.75	Zincblende	直接
InAs	6.0583	4.52	Zincblende	直接
h-GaN	3.180(a) 5.166(c)	5.59 (a) 3.17 (c)	Wurtzite	直接
c-GaN	4.5	-	Zincblende	直接

が、これまで AlGaAs/GaAs 系や InGaAsP/InP 系のような格子定数が一致する系にその応用が限定されてきた。しかし、格子定数の一致しない材料、例えば InP と Si、GaAs と Si のような材料をモノリシック (monolithic) に融合することができれば、新しい機能を有するデバイスを開発することができる。そこで、InP や GaAs などの III-V 族化合物半導体の優れた発光特性と Si の高い集積性を組み合わせ、発光および受光素子を電子集積回路とともに 1 チップ内に収めた光電子集積回路 (Opto-electronic Integrated Circuit: OEIC) が提案されている [7,8]。Si-ULSI では、微細化の向上にともなって信号遅延の問題が発生するが、OEIC では素子間を光配線によって結ぶために浮遊容量が原理的になくなり、超高速動作が可能になると期待される。生体の脳機能を模したニューロコンピュータでは超並列システムを有するためにチップ間に膨大な相互接続網が必要となる。そこで、光による信号伝達を用いれば、信号の交差伝達やチップ間の多層並列伝達が可能であり、金属導線による接続網の肥大化の問題を解決できると期待される [9]。

しかし、こうした OEIC を実現するためには、Si 基板上に GaAs や InP のような III-V 族化合物半導体の高品質なエピタキシャル成長層を形成する必要がある。表 1.1 に示すように、Si と GaAs や InP の間には格子定数、熱膨張係数および結晶構造の違いがある。その結果、後述のように、成長層内には多数の結晶欠陥が発生する。結晶欠陥は、非発光再結合中心となり、発光効率を低下させる原因になる。また、GaAs 系の LD や発光ダイオード (Light Emitting Diode: LED) では転位は増殖し、寿命を決定的に支配する要因となる [10, 11]。したがって、Si 基板上の III-V 族化合物半導体のヘテロエピタキシーでは結晶欠陥の数を低減することが重要な課題となっている。また、結晶欠陥の発生をとまなうヘテロエピタキシャル層表面においては一般に平坦性は低下する。とくに、クロスハッチ・パターンと呼ばれる凹凸が発生することは古くから知られている [12, 13]。しかし、ク

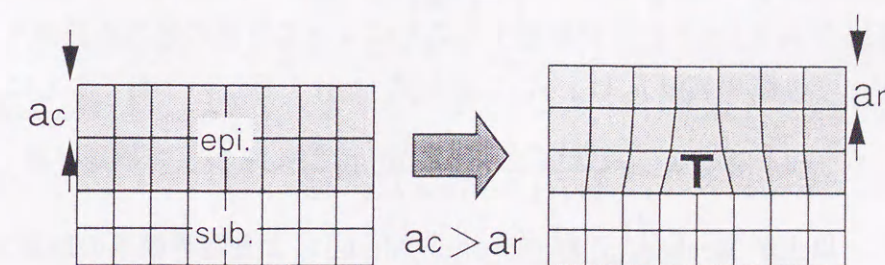
ロスハッチパターンによる表面の平坦性低下を抑制する方法は、その発生原因とともに明らかにされていない。したがって、異種の結晶材料を組み合わせる新しいデバイスに応用するためには、結晶欠陥の発生を抑制し、表面の平坦性を確保する技術の確立が強く求められている。

1.2 格子不整合ヘテロエピタキシーの問題点

格子不整合ヘテロエピタキシーを用いて異種の材料を組み合わせ、前述のような OEIC を実現するためには、結晶欠陥の少ない高品質な成長層を得る技術の確立が不可欠である。結晶欠陥は材料間の物性定数の違いや結晶構造の違いに起因して発生すると考えられる。そこで、本節では結晶欠陥を発生させる要因と欠陥の発生機構について述べる。また、結晶欠陥の発生にともなって成長表面に現れるクロスハッチパターンの発生要因についても述べる。

1.2.1 格子不整合

InP-on-Si と GaAs-on-Si ではそれぞれ 8% と 4% の格子不整合が存在する。そのため、格子不整合に起因して成長層内には歪み応力が発生する。すなわち、格子定数の大きい成長層には圧縮応力が加わる。したがって、1.1(a) に示すように、成長層において縦方向 (成長方向) 格子間隔 a_c は本来の大きさよりも大きい。この歪み応力は成長層の膜厚増加とともに弾性的に蓄積されていく。そして、成長層の膜厚がある値 (臨界膜厚、critical thickness) に達するとヘテロ界面にミスフィット転位 (misfit dislocation) が生じる (図 1.1(b))。このミスフィット転位の発生および増加によって成長層内に蓄積された格子不整合歪みは緩和する。この現象を格子緩和という。そして、格子緩和の結果、成長層の格子は本来の大き



(a) 成長膜厚が臨界膜厚以下の場合 (b) 成長膜厚が臨界膜厚以上の場合

図 1.1 格子不整合によるミスフィット転位の発生。

さと形になることができる。このときの縦方向格子間隔 a_r は a_c よりも小さくなる。

臨界膜厚を理論的に予測する方法はいくつか提案されているが大別すると、応力の均衡にもとづくモデル (Mechanical Equilibrium Model) [14] と歪みエネルギーの均衡にもとづくモデル (Energy Balance Model) [15, 16] の二つにまとめられる。Mechanical Equilibrium Model では、すでに結晶中に転位が存在するときに、格子不整合歪みによる応力と転位の存在によって結晶内に生じる応力を比較することによって臨界膜厚を予測している。したがって、このモデルでは結晶中に新たに転位が導入されるプロセスは考慮されていない。一方、Energy Balance Model では結晶中に弾性的に蓄積されている歪みエネルギーとミスフィット転位の核形成に必要なエネルギーを比較することによって臨界膜厚を予測している。以下に二つのモデルによる臨界膜厚の計算方法について述べる。

はじめに、Mechanical Equilibrium Model による臨界膜厚の計算方法について述べる。まず、格子不整合率は以下の式で計算される。

$$f = \frac{a_{epi} - a_{sub}}{a_{sub}} \quad (1.1)$$

ここで、 a_{sub} と a_{epi} はそれぞれ基板と成長層の格子定数である。

弾性論より、格子不整合歪みによる応力は

$$F_e = \frac{\mu(1+\nu)}{(1-\nu)} b f h \cos \lambda \quad (1.2)$$

で与えられ [14]、膜厚の増加にともなって増加する。ここで、 μ は剛性率、 ν はポアソン比 (Poisson ratio)、 b は転位のバーガス・ベクトル (Burgers vector) の大きさ、 h は膜厚、 λ はバーガス・ベクトルとヘテロ界面のなす角度である。一方、転位の存在によって結晶層内に生じる応力は次の式で与えられる [14]。

$$F_l = \frac{\mu b^2}{4\pi(1-\nu)} (1 - \nu \cos^2 \alpha) \left(\ln \frac{h}{b} + 1 \right) \quad (1.3)$$

ここで、 α は転位線とバーガス・ベクトルのなす角度である。このとき、 $F_e \geq F_l$ であれば、成長層にミスフィット転位が存在することによって内部の応力を低減することができる。したがって、臨界膜厚 h_c は、式 (1.2) と式 (1.3) を等しいとおくことにより、

$$h_c = \frac{b(1-\nu \cos^2 \alpha)}{4\pi f(1+\nu) \cos \lambda} \left(\ln \frac{h_c}{b} + 1 \right) \quad (1.4)$$

で求められる。以上が Mechanical Equilibrium Model による臨界膜厚の計算方法である。

つぎに、Energy Balance Model による臨界膜厚の計算方法について述べる。弾性論によれば、単位面積当たりの歪みエネルギーは以下のように与えられる [17]。

$$E_{strain} = 2\mu \left(\frac{1+\nu}{1-\nu} \right) h f^2 \quad (1.5)$$

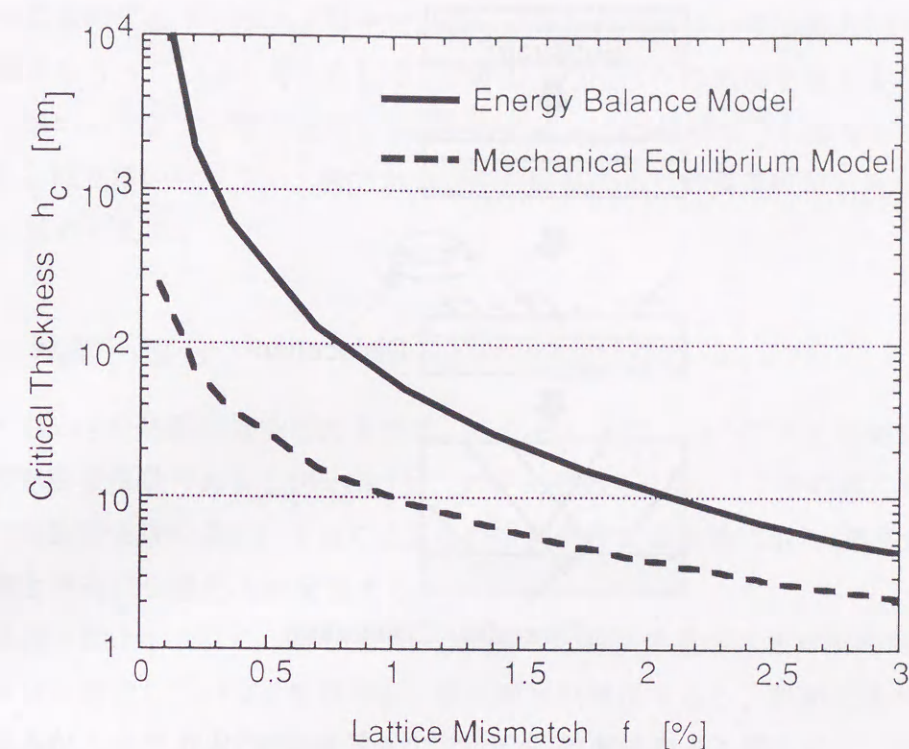


図 1.2 Mechanical Equilibrium Model [14] と Energy Balance Model [16] にもとづく臨界膜厚の計算結果。

ミスフィット転位が半転位ループとして結晶表面から導入されると考えると、このときの転位の核形成エネルギーは次のように与えられる [16]。

$$E_{nuc} = \frac{\mu b(1-\nu/2)}{80(1-\nu)} \left(\ln \left(\frac{4r_c}{b} \right) - 1 \right) \quad (1.6)$$

ここで、

$$r_c = \frac{3\sqrt{2}b(1-\nu/2)}{16\pi(1+\nu)f} \left(1 + \ln \left(\frac{4r_c}{b} \right) \right) \quad (1.7)$$

である。(1.5) 式で与えられる歪みエネルギー E_{strain} は膜厚の増加にともなって増大する。そして、 E_{strain} が E_{nuc} よりも大きくなれば、ミスフィット転位の発生が可能である。したがって、臨界膜厚は、(1.5) 式と (1.6) 式を等しいとおくことより、

$$h_c = \frac{b \left(1 - \frac{\nu}{2} \right) \left(\ln \frac{4r_c}{b} - 1 \right)}{160(1+\nu)f^2} \quad (1.8)$$

と求められる。

図 1.2 に、Mechanical Equilibrium Model にもとづく (1.4) 式と Energy Balance Model にもとづく (1.8) 式による臨界膜厚の計算結果を示す。同図より、Energy Balance Model

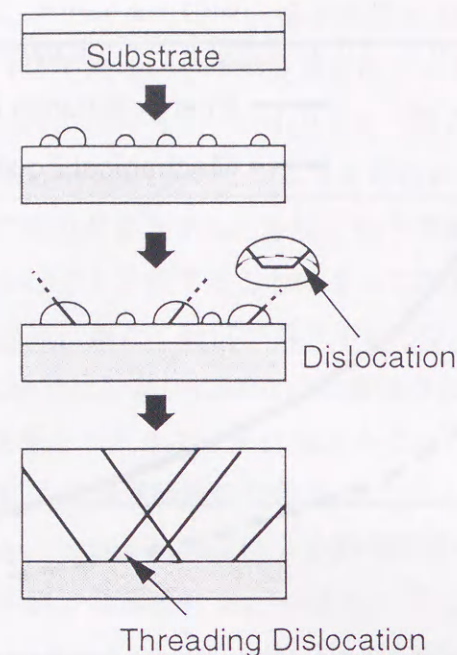


図 1.3 成長層の三次元化による貫通転位の発生.

にもとづく臨界膜厚の計算値の方が、Mechanical Equilibrium Model にもとづく計算値より大きくなることがわかる。実験的には、Energy Balance Model にもとづく臨界膜厚の計算値が実際の臨界膜厚に一致する報告が多い [18-20]。

臨界膜厚の値は、成長層が二次元的に成長することを前提に計算されている。しかし、InAs-on-GaAs、GaAs-on-Si や InP-on-GaAs のように格子不整合率が大きな系では、成長初期に三次元成長島が発生する [21-24]。したがって、これらの系ではこれまでの理論計算は妥当性を失う。この場合、発生した三次元成長島が小さい場合はミスフィット転位は発生しない [25,26]。成長が進み、三次元成長島が大きくなると歪みエネルギーが増大し、これを低下させるために島の内部には転位が導入される [25,26]。三次元成長島の内部では、格子不整合歪みの分布は一様でないため、発生した転位は一様にヘテロ界面に伝搬することができず貫通転位になると考えられる (図 1.3)。

InP-on-Si ヘテロエピタキシーにおいては、InP 上に InGaAsP の LD が試作され、波長 $1.54\mu\text{m}$ で室温連続発振が実現されている [27]。しかし、この構造では、貫通転位密度を低減するために $13\mu\text{m}$ とひじょうに厚い InP バッファ層を必要とし、さらに成長中に 750°C での熱アニール (thermal annealing) を 5 回も行っている [28]。ここで、熱アニールは、InP 層中に発生した貫通転位の伝搬方向を成長表面方向から横方向に変える働きをしている。また、厚い InP 層は、熱アニールによって伝搬方向を変えられる転位の数を増や

す働きや貫通転位どうしが InP 層中で出会い、相互作用によって伝搬方向を変える確率を増やす働きをもっていると考えられる。しかし、OEIC への応用を考えると、このようなきわめて厚いバッファ層の使用や高温でのアニールは避けなければならない。したがって、できる限り薄いバッファ層でかつ低温の成長によって貫通転位密度を低減する技術の確立が求められる。

1.2.2 熱的不整合

InP と GaAs の熱膨張係数の大きさは、それぞれ $4.75 \times 10^{-6} \text{K}^{-1}$ と $6.86 \times 10^{-6} \text{K}^{-1}$ であり、Si の熱膨張係数である $2.56 \times 10^{-6} \text{K}^{-1}$ のそれぞれ 1.9 倍と 2.7 倍の値である。したがって、この熱膨張係数の違いによって成長後の冷却過程で成長層に歪み (熱歪み) が生じ、ヘテロ界面と平行に引張応力が発生する。

その原理を図 1.4 に示す。図 1.4 では成長層の熱膨張係数が基板材料の熱膨張係数より大きい場合を想定している。成長中に、成長膜厚が増加すると、前節で述べたように格子不整合歪みがミスフィット転位の発生によって緩和される。この時点で、成長層の格子定数は本来の (無歪み時の) 格子定数に近い値をもつ。そして成長後、基板温度を室温まで降温する過程で基板および成長層の格子定数は小さくなる。このとき、成長層の厚さ (数 μm) は基板の厚さ (200~500 μm) に比べてひじょうに小さいので、成長層の格子定数 a は基板材料の熱膨張係数にしたがって変化しようとする。その結果、成長層には引張り応力が発生する。この引張り応力は、新たな転位の発生や転位の運動によって緩和される。しかし、基板温度が転位の凍結温度 T_f よりも低くなると転位による応力の緩和が生じなくなり、成長層に歪みが蓄積する [29]。逆に、成長層の熱膨張係数が基板材料の熱膨張係数より小さい場合には、成長層には圧縮応力が発生する。

GaAs-on-Si ヘテロエピタキシーにおいて、成長直後のエッチ・ピット密度 (Etch Pit Density: EPD) が成長温度において $4 \times 10^4 \text{cm}^{-2}$ であったのに対して、冷却後 $8 \times 10^6 \text{cm}^{-2}$ に増大したと報告されている [30]。これは、降温時の熱歪みに起因して発生した応力によって貫通転位が発生した結果と考えられる。このような残留歪みはウェーハ (wafer) に反りを発生させ、フォトリソグラフィー (photolithography) を困難にする恐れがある。また、残留歪みは LD の寿命に大きく影響すると考えられる [13]。

また、InP-on-Si においては、GaAs-on-Si に比べて熱歪みが小さいことが知られており [29,31,32]、InP-on-Si の特長の一つとなっている。例えば、GaAs-on-Si では成長後におよそ $2 \times 10^{-9} \text{dyn/cm}^2$ の熱応力が発生するが、InP-on-Si における熱応力の大きさは $4 \times 10^{-8} \text{dyn/cm}^2$ 程度である [31,32]。これは、InP と Si の熱膨張係数差が、GaAs と Si

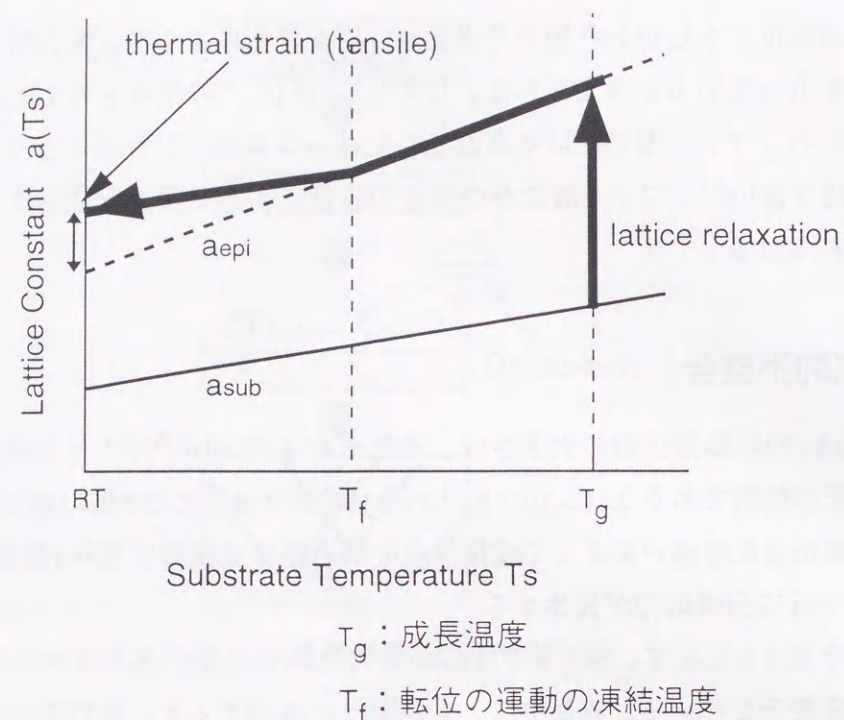


図 1.4 成長後の降温過程における熱歪みの発生

のそれに比べて小さいことや InP における転位の運動の凍結温度 ($250 \pm 100^\circ\text{C}$) が GaAs の場合 ($450 \pm 90^\circ\text{C}$) に比べて低いこと [29] などに起因していると考えられる。さらに、InP-on-Si ヘテロエピタキシーにおいては、InP 層と Si 基板の間に InP より熱膨張係数の大きな GaAs 層を挿入することによって InP 層に残留する歪みを低減できることが報告されている [31, 32]。これは、InP 層中において Si との熱的不整合によって発生する引張応力と GaAs との熱的不整合によって発生する圧縮応力が相殺するためと考えられる。

1.2.3 極性/非極性界面に起因する問題

非極性半導体である Si(100) 面上に極性半導体である III-V 族化合物半導体を成長させると、図 1.5 に示すように、Si 表面の 1 原子層ステップ (step) に起因して成長層内には [100] 方向からみて結晶方位が 90° 異なる領域が現れる。この領域がアンチフェーズ・ドメイン (Anti-Phase Domain: APD) である。APD の境界すなわちアンチフェーズ・バウンダリ (Anti-Phase Boundary: APB) では、III 族原子および V 族原子どうしの結合が生じ、電気的な欠陥となる。原理的に APD の発生を防ぐためには、Si 表面に形成されるすべてのステップを二原子層 (偶数原子層) ステップにする必要がある。[011] 方向に微傾斜

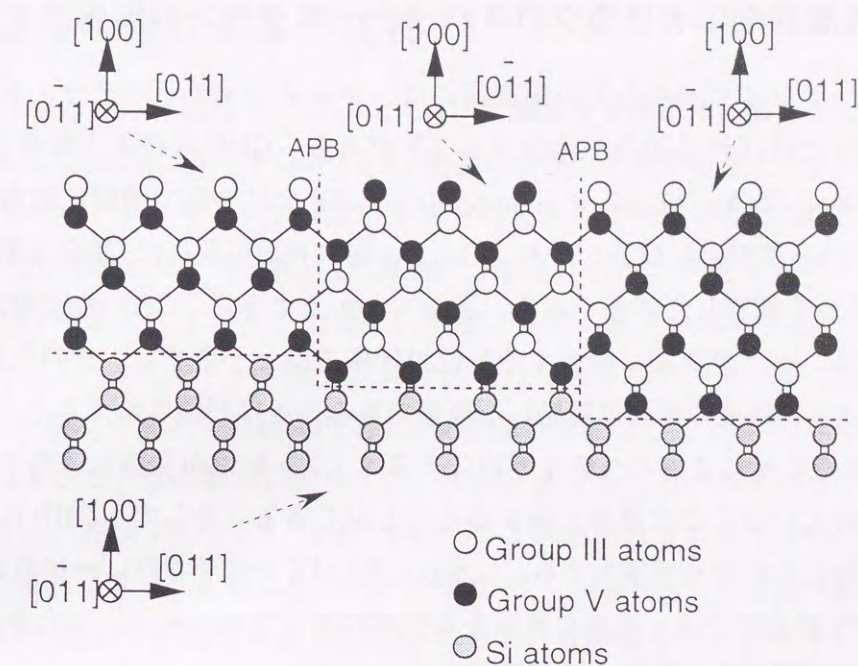


図 1.5 アンチフェーズ・ドメインの発生機構

した Si(100) 表面を、超高真空中において高温 ($\geq 1000^\circ\text{C}$) で熱処理することにより二原子層ステップを優先的に形成できるが [33, 34]、すべてのステップの高さを制御することは困難である。しかし、[011] 方向に $2\sim 4^\circ$ 程度微傾斜した基板を用いることによって、発生した APD が自己消滅することが知られており、APD の自己消滅機構もいくつか提案されている [35-37]。

Si 基板上の III-V 族化合物半導体のヘテロエピタキシーでは、APD 形成の問題の他に、Si 表面に形成される V 族安定化面の問題がある。Si(100) 表面に V 族原子を照射すると、Si 表面で V 族原子はダイマー (dimer) を形成する [34]。V 族原子である As や P の価電子数は 5 個である。そのうち 2 個は Si との結合に、1 個はダイマーの形成に寄与する。残った 2 個の電子によるダングリング・ボンド (dangling bond) は互いに結合し、ローンペア (lone pair) を形成する。ローンペアは化学的に不活性な状態であるために、次に結合すべき III 族原子との結合が起こりにくくなる。InP-on-Si(100) ヘテロエピタキシーでは、Si 表面に形成された P 安定化面の影響で In と P の結合が生じにくくなり、In 液滴 (droplet) が発生することがある [38]。また、GaAs-on-Si(100) において、GaAs 初期成長層が三次元化すること知られているが、これは Si 表面に形成された As 安定化面の影響であると考えられている [39-41]。

1.2.4 成長層表面におけるクロスハッチ・パターンの形成

格子不整合ヘテロエピタキシャル層表面には、クロスハッチ・パターン (Cross-Hatch Pattern: CHP) と呼ばれる凹凸が発生することがある。CHP は格子不整合の小さな系、例えば InGaAs-on-GaAs [42-46] や SiGe-on-Si [47-50] などの系で明瞭に観察される。図 1.6 は、GaAs(100) 基板上に成長した $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層の表面に現れた CHP を原子間力顕微鏡 (AFM) によって観察した結果である。図からわかるように、CHP の伝搬方向は $\langle 011 \rangle$ である。これは、ヘテロ界面に発生する転位の伝搬方向と一致する。そのため、CHP の発生がミスフィット転位の発生に関係した現象であることは認識されてきた。また、明瞭な CHP が現れることによってヘテロ界面にミスフィット転位が発生し、格子不整合緩和が正常に行われていることを簡単に確かめることができる。そして、CHP による凹凸は成長膜厚の増加にともなって増大する。しかし、HEMT や量子井戸レーザのような電子・光デバイスの作製過程では、平坦な表面をもつ成長層が求められる。したがって、CHP による表面の平坦性低下を抑制する必要がある。

CHP の発生要因はいくつか提案されている。ミスフィット転位の導入ともなって表面に発生するステップによって説明するモデル [47, 48] や、ミスフィット転位のすべり面近傍で成長速度が局所的に変化するモデル [44]、ミスフィット転位の増殖過程で表面付近まで伝搬してきた転位による歪み場によって説明するモデルなどである [46]。しかし、CHP による凹凸の増大を抑制する手法は確立されていない。

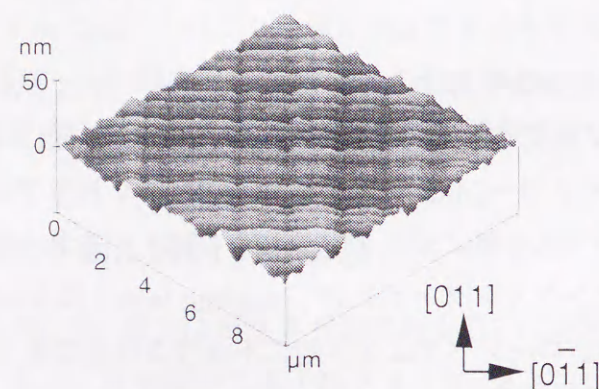


図 1.6 GaAs(100) 基板上に成長した $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層表面の AFM 像 (成長膜厚は 500nm、成長温度は 420°C)。

1.3 窒素を含む混晶の成長

1990 年代に入って、GaAs や GaP などの III-V 族化合物半導体に数パーセントの組成で窒素 (N) を混ぜた $\text{GaAs}_{1-x}\text{N}_x$ や $\text{GaP}_{1-x}\text{N}_x$ 混晶の成長が可能であることが示された [51, 52]。GaAs と GaN のバンドギャップ・エネルギーの大きさはそれぞれ 1.4eV、3.5eV であるから、単純に比例配分則を用いれば、 $\text{GaAs}_{1-x}\text{N}_x$ 混晶のバンドギャップ・エネルギーの大きさは GaAs の値よりも大きくなる。しかし、実際に成長される $\text{GaAs}_{1-x}\text{N}_x$ 混晶では、バンドギャップ・エネルギーの変化にはひじょうに大きなボーイング (bowing) が存在する。N 組成が数パーセントの範囲内では、N 組成の増加にともなって、バンドギャップ・エネルギーの大きさがほぼ線形に減少する。実際に測定されるバンドギャップ・エネルギーの減少幅は、N 組成 1% 当たり、130~190meV と報告されている [53-56]。同様のことは $\text{GaP}_{1-x}\text{N}_x$ 混晶についても起こり、バンドギャップ・エネルギーの減少幅は、N 組成 1% 当たり、100~160meV 程度である [52, 57]。このような特異なバンドギャップ・エネルギーの変化は、N が P や As に比べてきわめて大きな電気陰性度を持つため、結晶場のポテンシャルの規則性が乱され、電子の散乱が増大することに起因すると理解されている [58]。

一方、格子定数は N 組成の増加にともなって減少することが X 線回折 (XRD) により、確かめられている [51, 52]。ただし、N 組成の変化に対する格子定数の変化について比例配分則は成立するかどうかを厳密に調べた例はない。ほとんどすべての研究では、XRD により格子定数を測定し、格子定数の変化に比例配分則が成立すると仮定して、成長層の N 組成を決定しているからである。仮に、比例配分則が成り立つとすれば、 $\text{GaAs}_{1-x}\text{N}_x$ 混晶では $x = 20\%$ で、 $\text{GaP}_{1-x}\text{N}_x$ 混晶では $x = 2\%$ でそれぞれ Si に格子整合させることができる。したがって、これらの混晶を用いれば Si に格子整合する発光素子を形成できる可能性がある。この場合、格子不整合に起因する結晶欠陥の発生は完全に抑制できると期待される。しかし、これまでにこのような試みはなされていない。

また、N を含む混晶では、4 元混晶の成長も可能である。InGaAs に少量 N を混ぜた InGaAsN 混晶が GaAs 基板上に成長されている [59]。この材料は長波長系の LD に応用でき、InGaAsP/InP 系の LD に比べて、特性温度を向上させることができると期待されている [59]。InGaAsN 混晶を用いた LD の試作もなされており [60, 61]、波長 1.2μm での室温連続発振が実現されている [60]。

このような N を含む混晶の成長においては、実現できる N 組成には上限がある。例えば、 $\text{GaP}_{1-x}\text{N}_x$ 混晶において、Ga-P および Ga-N の原子間距離の差に基づく N の平衡固溶限界は 700°C では、 $x = 10^{-6}$ と計算されている [62]。つまり、 $\text{GaP}_{1-x}\text{N}_x$ 混晶のほとんどすべての組成域はミシビリティ・ギャップ (miscibility gap、非混和領域) の中にある。

したがって、現実には成長される混晶は準安定的な状態にあると考えられる。そのため、N組成を増加させると成長層には組成分離が生じたり [54,62,63]、多結晶化する [64]。現時点で実現できる N 組成の上限は、成長条件にも依存するが、およそ 10%程度であると思われる。

1.4 本研究の目的

InP-on-Si ヘテロエピタキシーは InGaAsP/InP 系の発光デバイスと Si-LSI を融合する技術として期待される。InGaAsP/InP 系の発光デバイスは AlGaAs/GaAs 系のものに比べて、転位などの結晶欠陥に起因する劣化に鈍感であることが知られている。また、InGaAsP/InP 系では光ファイバーの損失が最小になる波長 ($1.3\sim 1.6\ \mu\text{m}$) を含む長波長帯の発光を得ることができる。したがって、Si 基板を透過する波長域 ($> 1.1\ \mu\text{m}$) で発光する LD を作製することによってチップ間の光配線も可能になると考えられる。さらに、InP-on-Si では熱的不整合による残留応力が GaAs-on-Si のそれに比べて小さい。以上のように InP-on-Si は GaAs-on-Si に比べて多くの利点をもつ。しかし、InP-on-Si は格子不整合が 8% とひじょうに大きく、格子不整合歪みに起因して高密度の貫通転位が発生する。したがって、貫通転位密度の低減は重要な課題となっている。OEIC への応用を考えると、バッファ層はできるだけ薄くし、しかもアニールなどの高温プロセスを避けながら貫通転位を低減できることが望ましい。

また、欠陥密度の低減とならんで、格子不整合ヘテロエピタキシーでは表面の平坦性の向上も重要な課題である。特に、CHP による表面の凹凸の増大はリソグラフィーを用いたデバイスプロセスを困難にする恐れがある。しかし、CHP の増大を抑制する技術はこれまでのところ確立されていない。

そこで、本研究では工学的に有用と考えられる InP-on-Si ヘテロエピタキシーにおける結晶欠陥の発生機構を調べ、貫通転位の発生を抑制する手法を明らかにすることを目的とした。さらに、表面の平坦性向上に関する手法を考察するために、CHP が明瞭に観察される InGaAs-on-GaAs において CHP の形成および成長過程を詳細に調べ、その抑制技術を確認することを目的とした。なお、結晶成長には原子レベルでの膜厚制御が可能な分子線エピタキシー (MBE) を用い、結晶欠陥の観察や表面モフォロジーの観察に透過型電子顕微鏡 (TEM) や原子間力顕微鏡 (AFM) を用いた。

本論文は次のように構成される。第 2 章において本研究において使用された MBE 装置および TEM をはじめとする各種評価装置の原理・概要について解説する。

第 3 章では、InP-on-GaP ヘテロエピタキシーにおける貫通転位の発生機構について述

べる。InP-on-GaP は InP-on-Si とほぼ同じ格子不整合をもち、極性/非極性界面に起因する問題のない系である。結果として、InP 初期成長層は約 8% の格子不整合歪みに起因して Stranski-Krastanov (S-K) 型の成長様式をもつことを示す。また、貫通転位が、S-K モードの成長によって生じた InP 三次元成長島の拡大および合体の過程で発生することを明らかにする。次いで、InP-on-Si ヘテロエピタキシーにおいて、三次元成長島の発生を回避することによって貫通転位の発生を抑制できることを明らかにする。そのために、多層の歪短周期超格子 (SSPS) を導入することによって二次元的な成長を実現できることを示す。その結果、約 8% の格子不整合が各ヘテロ界面に導入されたミスフィット転位によって緩和され、貫通転位の発生を効果的に抑制できることを明らかにする。

第 4 章では、GaAs 基板上に成長した $(\text{InAs})_1(\text{GaAs})_4$ SSPS の格子緩和過程を $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶の場合と比較しながら調べる。その結果、SSPS では混晶の場合に比べて転位発生の臨界膜厚が増加するにも関わらず、格子緩和の進行速度に大きな違いがないことを示す。

第 5 章では、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As-on-GaAs}$ ヘテロエピタキシーにおける CHP の形成・成長過程について述べる。その結果、CHP による凹凸の増大には、In 原子が成長表面に不均一に取り込まれることが主に寄与していることを示す。また、SSPS 表面と混晶表面における表面ラフネスの違いについても議論する。最後に、格子不整合歪みをほぼ完全に緩和する層を低温で成長することによって、CHP による凹凸の増大を効果的に抑制できることを示す。

第 6 章では、Si にほぼ格子整合する GaPN 混晶の成長について述べる。第 3 章で格子不整合が大きな系においては、貫通転位の発生を抑制するために多層の SSPS 層が必要であることを示した。この構造では、Si と InP 層との間に 8 層の多層構造が導入され、成長プロセスが複雑化する。また、第 5 章では CHP による凹凸の増大を抑制するために厚い ($3\ \mu\text{m}$) 低温成長層が必要であることを示した。しかし、OEIC に応用する場合、結晶成長プロセスはできる限り簡単で、かつ膜厚は薄いことが望ましい。そこで、本章では、Si に格子整合する GaPN 混晶を成長し、本質的に格子不整合緩和の生じない構造を実現することを目指した。その結果、Si 上に薄い (20nm) の GaP 層を成長することによって極性/非極性界面に起因する APD の発生を抑制できることを示す。さらに、この上に N 組成が約 1.3% の GaPN 混晶を成長し、格子不整合歪みに起因するミスフィット転位の発生を完全に抑制できることを明らかにする。

第 7 章では、本研究で得られた結果を総括し、今後の展望について述べる。

参考文献

- [1] I. Hayashi, M. B. Panish, P. W. Foy and S. Sumski, Appl. Phys. Lett. **17**, 109 (1970).
- [2] K. Kabayashi, S. Kawata, A. Gomyo, I. Hino and T. Suzuki, Electron. Lett. **21**, 1162 (1985).
- [3] M. Ikeda, Y. Mori, H. Sato, K. Kaneko and N. Watanabe, Appl. Phys. Lett. **47**, 1027 (1985).
- [4] M. Ishikawa, Y. Ohba, H. Sugawara, M. Yamamoto and T. Nakanishi, Appl. Phys. Lett. **48**, 1162 (1986).
- [5] T. Mimura, S. Hiyamizu, T. Fujii and K. Nanbu, Jpn. J. Appl. Phys. **19**, L225 (1980).
- [6] J. P. van der Ziel, R. Dingle, R. C. Miller, W. Wiegmann and W. A. Nordland Jr., Appl. Phys. Lett. **26**, 463 (1975).
- [7] I. Hayashi, Jpn. J. Appl. Phys. **32**, 266 (1993).
- [8] 林 厳雄、応用物理 **65**, 824 (1996).
- [9] 米津 宏雄、電子情報通信学会誌 **75**, 350 (1992).
- [10] O. Ueda, J. Electrochem. Soc. **135**, 11C (1988).
- [11] 米津 宏雄著、光通信素子工学、(工学図書、1984).
- [12] S. Kishino, M. Ogirima and K. Kurata, J. Electrochem. Soc. **119**, 617 (1972).
- [13] G. H. Olsen, J. Cryst. Growth **31**, 223 (1975).
- [14] J. W. Matthews and A. E. Blakeslee, J. Cryst. Growth **27**, 118 (1974).
- [15] R. People and J. C. Bean, Appl. Phys. Lett. **47**, 322 (1985).

- [16] P. M. J. Maree, J. C. Barbour, J. F. van der Veen, K. L. Kavanagh, C. W. T. Bulle-Lieuwma and M. P. A. Viegars, *J. Appl. Phys.* **62**, 4413 (1987).
- [17] J. Y. Tsao, *Materials Fundamentals of Molecular Beam Epitaxy* (Academic Press, San Diego, 1993).
- [18] R. H. M. van de Leur, A. J. G. Schellingerhout, F. Tuinstra and J. E. Mooji, *J. Appl. Phys.* **64**, 3043 (1988).
- [19] Y. Morishita, S. Goto, Y. Nomura, M. Tamura, T. Isu and Y. Katayama, *J. Vac. Sci. Technol.* **B12**, 2532 (1994).
- [20] Y. Morishita, S. Goto, Y. Nomura, M. Tamura, T. Isu and Y. Katayama, *J. Vac. Sci. Technol. B* **12**, 2532 (1994).
- [21] S. Guha, A. Madhukar and K. C. Rajkumar, *Appl. Phys. Lett.* **57**, 2110 (1990).
- [22] S. Fujita, Y. Nakaoka, T. Uemura, M. Tabuchi, S. Noda, Y. Takeda and A. Sasaki, *J. Cryst. Growth* **95**, 224 (1989).
- [23] D. K. Biegelsen, F. A. Ponce, A. J. Smith and J. C. Tramontana, *J. Appl. Phys.* **61**, 1856 (1987).
- [24] H. Maruyama, K. Pak, K. Sakakibara, M. Nakamura, Y. Takano and H. Yonezu, *J. Cryst. Growth* **115**, 180 (1991).
- [25] H. Takasugi, M. Kawabe and Y. Bando, *Jpn. J. Appl. Phys.* **26**, L584 (1987).
- [26] S. Guha, K. C. Rajkumar and A. Madhukar, *J. Cryst. Growth* **111**, 434 (1991).
- [27] M. Sugo, H. Mori, Y. Sakai and Y. Itoh, *Appl. Phys. Lett.* **60**, 472 (1992).
- [28] M. Sugo, H. Mori, M. Tachikawa, Y. Itoh and M. Yamamoto, *Appl. Phys. Lett.* **57**, 593 (1990).
- [29] M. Sugo, N. Uchida, A. Yamamoto, T. Nishioka and M. Yamaguchi, *J. Appl. Phys.* **65**, 591 (1989).
- [30] M. Tachikawa and H. Mori, *Appl. Phys. Lett.* **56**, 2225 (1990).
- [31] M. Sugo, M. Yamaguchi and M. M. Al-Jassim, *J. Cryst. Growth* **99**, 365 (1990).

- [32] M. Sugo, Y. Takanashi, M. M. Al-Jassim, M. Yamaguchi, *J. Appl. Phys.* **68**, 540 (1990).
- [33] R. D. Brigans, D. K. Biegelsen and L. E. Swaltz, *Phys. Rev. B* **44**, 3054 (1991).
- [34] T. Ide, *Phys. Rev. B* **51**, 1722 (1995).
- [35] M. Kawabe and T. Ueda, *Jpn. J. Appl. Phys.* **26**, L944 (1987).
- [36] P. M. Petroff, *J. Vac. Sci. Technol. B* **4**, 874 (1986).
- [37] T. Soga, H. Nishikawa, T. Jimbo and M. Umeno, *Jpn. J. Appl. Phys.* **32**, 4912 (1993).
- [38] H. Maruyama, K. Pak and H. Yonezu, *J. Cryst. Growth* **139**, 19 (1994).
- [39] R. D. Brigans, R. I. G. Uhrberg, R. Z. Bachrach and J. E. Northrup, *Phys. Rev. Lett.* **55**, 533 (1985).
- [40] R. I. G. Uhrberg, R. D. Brigans, R. Z. Bachrach and J. E. Northrup, *Phys. Rev. Lett.* **56**, 520 (1986).
- [41] E. Kaxiras, O. L. Alerhand, J. D. Joannopoulos and G. W. Turner, *Phys. Rev. Lett.* **62**, 2484 (1989).
- [42] K. H. Chang, R. Gibala, D. J. Srolovitz, P. K. Bhattacharya, and J. F. Mansfield, *J. Appl. Phys.* **67**, 4093 (1990).
- [43] S. F. Yoon, *J. Vac. Sci. Technol. B* **11**, 562 (1993).
- [44] L. K. Howard, P. Kidd, and R. H. Dixon, *J. Cryst. Growth* **125**, 281 (1992).
- [45] C. Lavoie, T. Pinnington, E. Nodwell, T. Tiedje, R. S. Goldman, K. L. Kavanah, and J. L. Hutter, *Appl. Phys. Lett.* **67**, 3744 (1995).
- [46] R. Beanland, M. Aindow, T. B. Joyce, P. Kidd, M. Lourenço, P. J. Goodhew, *J. Cryst. Growth* **149**, 1 (1995).
- [47] S. Y. Shiryayev, F. Jensen, and J. W. Petersen, *Appl. Phys. Lett.* **64**, 3305 (1994).
- [48] M. A. Lutz, R. M. Feenstra, F. K. LeGoues, P. M. Mooney, and J. O. Chu, *Appl. Phys. Lett.* **66**, 724 (1995).

- [49] J. W. P. Hsu, E. A. Fitzgerald, Y. H. Xie, P. J. Silverman, and M. J. Cardillo, Appl. Phys. Lett. **61**, 1293 (1992).
- [50] S. B. Samavedam and E. A. Fitzgerald, J. Appl. Phys. **81**, 3108 (1997).
- [51] M. Sato and M. Weyers, *19th Int. Symp. GaAs and Related Compound Semiconductors, Karuizawa, 1992*, Inst. Phys. Conf. Ser. **129**, 555 (1993).
- [52] J. N. Baillargeon, K. Y. Cheng, G. E. Hofler, P. J. Pearah and K. C. Hsieh, Appl. Phys. Lett. **60**, 2540 (1992).
- [53] M. Kondow, K. Uomi, K. Hosomi and T. Mozume, Jpn. J. Appl. Phys. **33**, L1056 (1994).
- [54] G. Pozina, I. Ivanov, B. Monemar, J. V. Thordson and T. G. Andersson, J. Appl. Phys. **84**, 3830 (1998).
- [55] K. Uesugi and I. Suemune, J. Cryst. Growth **188**, 103 (1998).
- [56] S. Francoeur, G. Sivaraman Y. Qiu, S. Nikishin and H. Temkin, Appl. Phys. Lett. **72**, 1857 (1998).
- [57] H. Yaguchi, S. Miyoshi, G. Biwa, M. Kibune, K. Onabe, Y. Shiraki and R. Ito, J. Cryst. Growth **170**, 353 (1997).
- [58] S. Sakai, Y. Ueta and Y. Terauchi, Jpn. J. Appl. Phys. **32**, 4413 (1993).
- [59] M. Kondow, K. Uomi, A. Niwa, T. Kitatani, S. Watahiki and Y. Yazawa, Jpn. J. Appl. Phys. **35**, 1273 (1996).
- [60] M. Kondow, S. Nakatsuka, T. Kitatani, Y. Yazawa and M. Okai, Electron. Lett. **32**, 2244 (1996).
- [61] S. Sato, Y. Osawa and T. Saitoh, Jpn. J. Appl. Phys. **36**, 2671 (1997).
- [62] S. Miyoshi, H. Yaguchi, K. Onabe, R. Ito and Y. Shiraki, Appl. Phys. Lett. **63**, 3506 (1993).
- [63] C. T. Foxon, T. S. Cheng, S. V. Novikov, D. E. Lacklison, L. C. Jenkins, D. Johnston, J. W. Orton, S. E. Hooper, N. Baba-Ali, T. L. Tansley and V. V. Tret'yakov, J. Cryst. Growth **150**, 892 (1995).

- [64] Y. Qiu, S. A. Nikishin, H. Temkin, N. N. Faleev and Y. A. Kudriavtsev Appl. Phys. Lett. **70**, 3242 (1997).

第2章 分子線エピタキシーおよび評価装置

2.1 緒言

分子線エピタキシー(MBE)は、超高真空下で、金属有機化合物を熱分解して、原子や分子を基板に供給し、逐次成長させる技術である。この技術は、異質接合、超格子、量子井戸、量子ドットなどの人工構造を高精度で実現できる。また、低次元構造の成長にも適している。本章では、MBEの基本原理、装置構成、および評価方法を概説する。

2.2 分子線エピタキシー(MBE)

MBEは、超高真空下で、金属有機化合物を熱分解して、原子や分子を基板に供給し、逐次成長させる技術である。この技術は、異質接合、超格子、量子井戸、量子ドットなどの人工構造を高精度で実現できる。また、低次元構造の成長にも適している。本章では、MBEの基本原理、装置構成、および評価方法を概説する。

第2章 分子線エピタキシーおよび評価装置

2.1 緒言

化合物半導体デバイスの代表格である半導体レーザでは多くの場合、量子井戸構造を採用している。この場合、結晶中の電子波の波長($\sim 10\text{nm}$)と同程度のサイズでヘテロ構造を作製する必要がある。したがって、原子層レベルで膜厚を制御できる分子線エピタキシー法(Molecular Beam Epitaxy: MBE)や有機金属気相成長法が用いられる。本研究では、原子層レベルでの膜厚制御が可能なこと、電子線回折によって成長中の表面状態をその場観察できること、低温での成長が可能なことなどの利点から MBE 法を採用した。

本章では、本研究において用いた MBE の原理および装置の概要について述べる。また、評価に用いた反射高速電子線回折(Reflection High Energy Electron Diffraction: RHEED)、透過型電子顕微鏡(Transmission Electron Microscopy: TEM)、X 線回折(X-ray Diffraction) および原子間力顕微鏡(Atomic Force Microscope: AFM)の原理および評価技術について解説する。

2.2 分子線エピタキシー(MBE)

分子線エピタキシー(MBE)は、真空中において原料分子を基板に照射し、製膜する手法である[1]。一般的な真空蒸着法との最大の違いは成長室が超高真空($\sim 10^{-10}\text{Torr}$)に保たれている点にある。このため、成長室内の残留ガスが少なく、成長層表面を清浄に保つことができる。また、結晶の構成元素(GaやAs)はそれぞれ別々のるつぽから分子線として基板に照射される。このとき、成長に寄与しなかった分子は速やかに成長室から除外され、成長層表面には常に新しい原料分子線が供給される。その結果、以下のような特徴をもつ。

1. 成長層に混入する不純物をひじょうに少なくすることができ、成長速度を遅くすることが可能である。

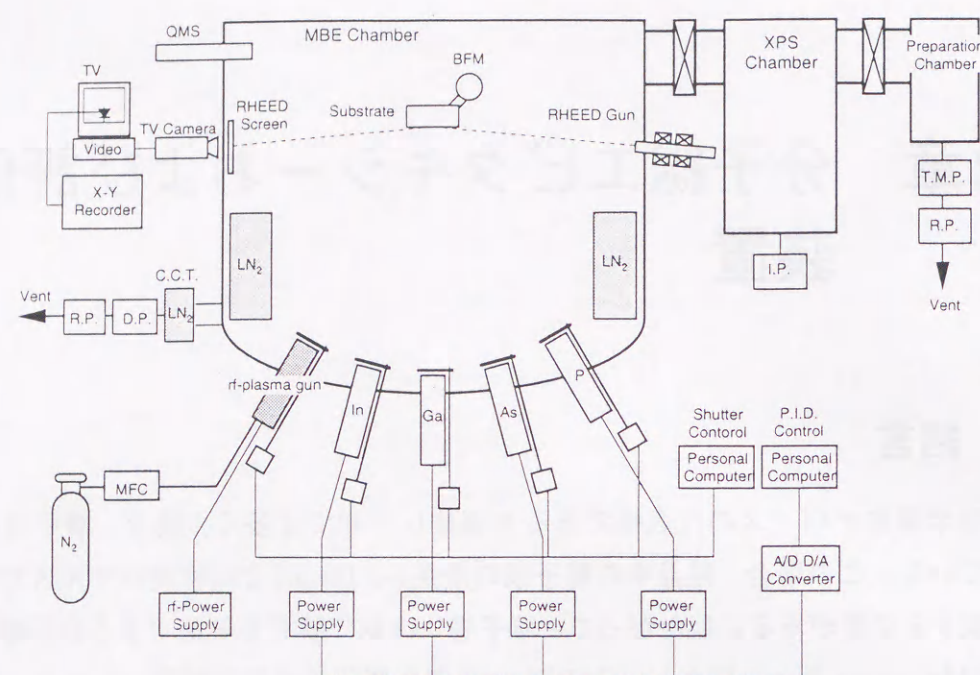


図 2.1 MBE 装置の構成図

2. 成長速度を遅くすることができるため、比較的低温の成長が可能である。
3. 成長膜厚を原子層レベルで制御することができる。
4. 多成分系の混晶膜を蒸着源を増やすだけで容易に得られる。
5. 不純物濃度分布、混晶の組成分布を自由にしかも高精度で制御できる。
6. 電子線などを用いて成長中に成長層表面からの情報を得ることができ、それを成長にフィードバックすることができる。

図 2.1 に本研究で用いた MBE 装置の概略図を示す。装置は MBE 成長室、XPS 分析室および準備室の 3 室から構成されている。各室はゲートバルブによって連結されていて、磁気結合方式のトランスファーロードによって試料を搬送できるようになっている。MBE 成長室は液体窒素トラップつき油拡散ポンプ (Diffusion Pump: D.P.) によって排気されており、真空度はおよそ 5×10^{-10} Torr である。また、成長に寄与しなかった原料分子を速やかに蒸着系から除去するために成長室の内部には液体窒素シュラウドが設けられている。準備室はターボ分子ポンプ (Turbo Molecular Pump: T.M.P.) によって排気されており、30 から 60 分間で大気から $10^{-6} \sim 10^{-7}$ Torr の真空度に到達する。各成長原料は別々になるつばに収められ、るつば外周に巻かれたヒータによって加熱される (effusion cell)。各 cell の出口にはシャッターが設けられており、各分子線の照射、遮断はそれぞれ独立に制御できる。また、シャッターの開閉時間はコンピュータによって制御される。III 族原料には、純

度 7N(99.99999%) の Ga と In を用いた。V 族原料には金属 As および InP 多結晶を用いた。一般に、固体ソースの MBE では P 系の化合物半導体を扱うことは困難である。P の原料として赤燐を用い、 P_4 分子線を取り出すと、成長に寄与しなかった P_4 分子は白燐としてチャンパー壁面に吸着する。白燐は蒸気圧がひじょうに高いため (室温で $\sim 5 \times 10^{-2}$ Torr)、成長室内の圧力が上昇し排気系の負担が増大する。そこで、本装置では InP を熱分解することによって得られる P_2 分子を用いた。

各分子線の分子線強度はビームフラックスモニタ (Beam Flux Monitor: BFM) によって測定される。BFM は基板と同じ位置に移動することができ、その位置での分子線強度を測定できる。分子線供給量 J は以下の式で計算される [2]。

$$J = 4.7 \times 10^{20} \left(\frac{P}{\eta} \right) \left(\frac{T}{M} \right)^{\frac{1}{2}} [\text{cm}^{-2} \text{sec}^{-1}] \quad (2.1)$$

ここで、 P は分子線圧力 [Torr]、 T は原料の温度 [K]、 M は分子の分子量 (原子量) である。また、 η は

$$\eta = 0.6 \left(\frac{Z}{14} \right) + 0.4 \quad (2.2)$$

与えられる。ここで、 Z は分子 (原子) の電子数である。

また、成長中の成長層表面の状態を RHEED によってその場観察できるようになっている。チャンパー内の残留ガスの分析は四重極質量分析装置 (Quadrupole Mass Spectroscopy: QMS) によって行なえるようになっている。

次に、GaAs のホモエピタキシーを例として MBE における成長プロセスについて述べる。通常の MBE 法においては、Ga と As_4 が同時に供給され、As 安定化条件のもとで成長が行なわれる。したがって、供給された Ga 原子は、同時に供給されている As 原子と直ちに結合し、GaAs 二次元成長核を形成する。このような核は基板表面と強い化学結合を形成しているので、基板表面を自由にマイグレーションすることができない。このとき、基板温度がじゅうぶん高ければ As 原子は再蒸発して、残った Ga 原子が自由に基板表面をマイグレーションして安定なサイトに入ることができる。エピタキシャル成長は、基板結晶の表面上に不規則に供給される原料原子を、基板結晶の原子配列にしたがって規則正しく配置していくプロセスである。したがって、Ga 原子の表面マイグレーションが十分でないと、良質の成長層を得ることはできない。また、Ga のマイグレーションはエピ層の平坦性にも大きく関係する。MBE によるエピタキシャル成長においては、Ga 原子に十分なマイグレーションをさせるために、成長速度を遅くすることや基板温度を高くすることが必要である。

一方、マイグレーション・エンハンスド・エピタキシー (Migration Enhanced Epitaxy: MEE) 法 [3] では、Ga と As_4 を交互に供給する。そのため、Ga のマイグレーションは促

進される。すなわち、Ga 供給中は As_4 分子線の照射がないので基板表面に達した Ga 原子は自由にマイグレーションして安定なサイトに入ることができる。その後、As 原子が供給されて GaAs 成長核として固相中に取り込まれる。As 原子の再蒸発をまつ必要がないため、通常の MBE 法に比べると低温での成長が可能である。

2.3 反射高速電子線回折 (RHEED)

RHEED は 10~50[keV] 程度の電子線を試料表面に数度程度の浅い入射角で入射させ、電子の波動性により結晶格子で回折された電子線を反対側に設置された蛍光スクリーンに投影して結晶表面の様子を調べる方法である [5]。本研究では 25[keV] の電子線を入射角 $1\sim 2^\circ$ で入射させている。この方法の利点を挙げると次のようになる。

1. 電子線の入射角度が浅く、試料表面からの回折が強いので表面構造にきわめて敏感である。
2. 結晶成長を阻害することなく表面状態を観察できる。

こうした特徴から、RHEED は MBE 成長中において、リアルタイムでの成長層表面の観察に有効である。

結晶による回折図形の様子は、図 2.2 に示すように逆格子とエバルト球がどのように交わるかを考えることによって直観的に理解できる。実際には実格子空間が有限であるために、その逆格子は点ではなく、ある広がりをもったものになる。したがって、逆格子点の広がりエバルト球との交わりを考えなければならない。結晶表面が比較的平坦な場合 (図 2.2 (a))、電子線の回折に寄与する原子は結晶表面の原子のみと考えることができる。二次元格子の逆格子は表面に対して垂直な線となる。しかし、実際の GaAs などの結晶表面には多数の原子層ステップが存在するため、逆格子は線にならずにある太さをもったロッド状になる。したがって、得られる RHEED パターンは、エバルト球と逆格子ロッド

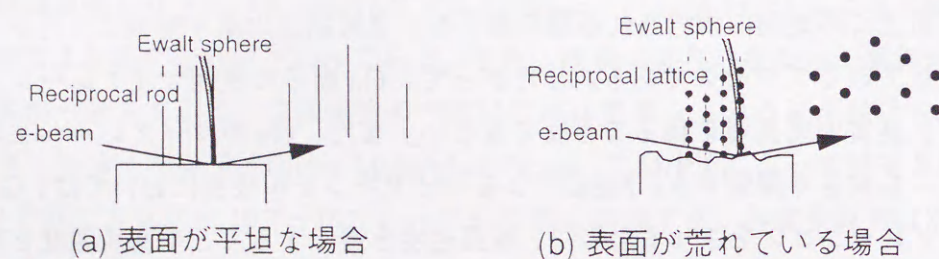


図 2.2 表面モフォロジーと RHEED パターン

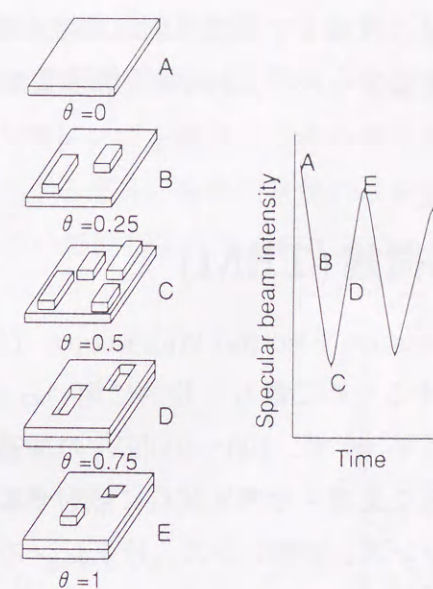


図 2.3 RHEED 振動の原理

の交わり、すなわち図 2.2 (a) に示すようなストリーク・パターンとなる。

一方、結晶表面が荒れている場合 (図 2.2 (b))、凹凸の大きさが 100 Å 程度以下であれば、電子線は凹凸を透過する。このとき、電子線の回折には有限な大きさをもつ三次元結晶格子が寄与しているので、逆格子はある大きさをもつスポットになる。これらの逆格子スポットのうち、エバルト球と交わったものがスクリーンに現われる。したがって、RHEED パターンは図 2.2 (b) に示すようなスポット・パターンとなる。

GaAs、GaP や InP のホモエピタキシャル成長においては MBE 成長中、結晶の二次元核成長に起因して RHEED パターンの鏡面反射点は振動する。成長表面に形成された二次元成長核の周囲の原子層ステップによって電子線が乱反射されるため、成長表面のステップの数に比例して鏡面反射点の強度は変化する。

図 2.3 に RHEED 振動を説明する rough-smooth モデルを示す。いま、完全に平坦な表面が存在していることを想定する。このとき、鏡面反射点の強度は最大となる。成長を開始し、表面に二次元成長核が形成されると電子線の乱反射が生じ、鏡面反射点の強度は減衰する。被覆率 θ が 0.5 となったとき (図 2.3 の C の状態)、表面には最も多くの原子層ステップが存在すると考えられるので鏡面反射点の強度は極小となる。その後、 θ が 1 になるまでの間は鏡面反射点の強度は大きくなる。しかし、 θ が 1 になっても、MBE 成長中においては原子層レベルで表面の平坦性は悪化している。したがって、鏡面反射点強度振動の振幅は次第に減衰していく。鏡面反射点強度振動の減衰のしかたは結晶表面における原子のマイグレーションによって影響を受ける。マイグレーションが悪く、成長開始後すぐ

に表面の平坦性が低下するような場合、鏡面反射点強度振動は短時間で減衰する。また、振動の1周期は1分子層に対応するのでIII族原子供給量の精密な測定に用いられることが多い。

2.4 透過型電子顕微鏡 (TEM)

透過型電子顕微鏡 (Transmission Electron Microscopy: TEM) は、転位や積層欠陥などの結晶欠陥を直接的に観察するために最も一般的に用いられる分析装置である [6, 7]。その模式的な構成を図2.4に示す。まず、100~400[kV]の加速電圧 (本研究では200[kV])で加速した電子線を集束レンズで集束させ薄片試料に照射する。そして、試料後方に出た透過波または回折波を、対物レンズ、中間レンズ、投影レンズなどのいくつかのレンズを通して、最終的に蛍光板上に投射する。像の記録は蛍光板下部にセットされた電子顕微鏡専用フィルム上への直接露光によって行なわれる。TEMでは電磁レンズを光学系に使用しているため、ひじょうに高い倍率で像を拡大し、観察することができる。ただし、電子線を透過させなければならないので試料を薄片化する必要がある。

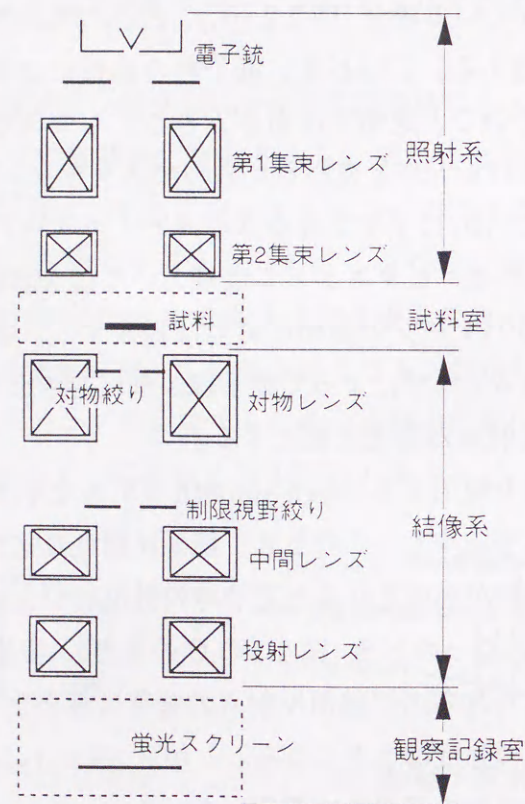


図 2.4 TEM の構成図

試料の一部のみを制限視野絞りに入れることで、試料の狭い一部分の結晶学的情報すなわち回折像を得る方法を制限視野電子回折法という。制限視野絞りは対物レンズの後方に設けられている。そして、対物レンズを通過してきた電子線を制限視野絞りによって絞ることによって、観察しようとする部分からの回折像のみを蛍光板に投射する。この方法によって試料の所望の部分について回折条件を設定することができる。

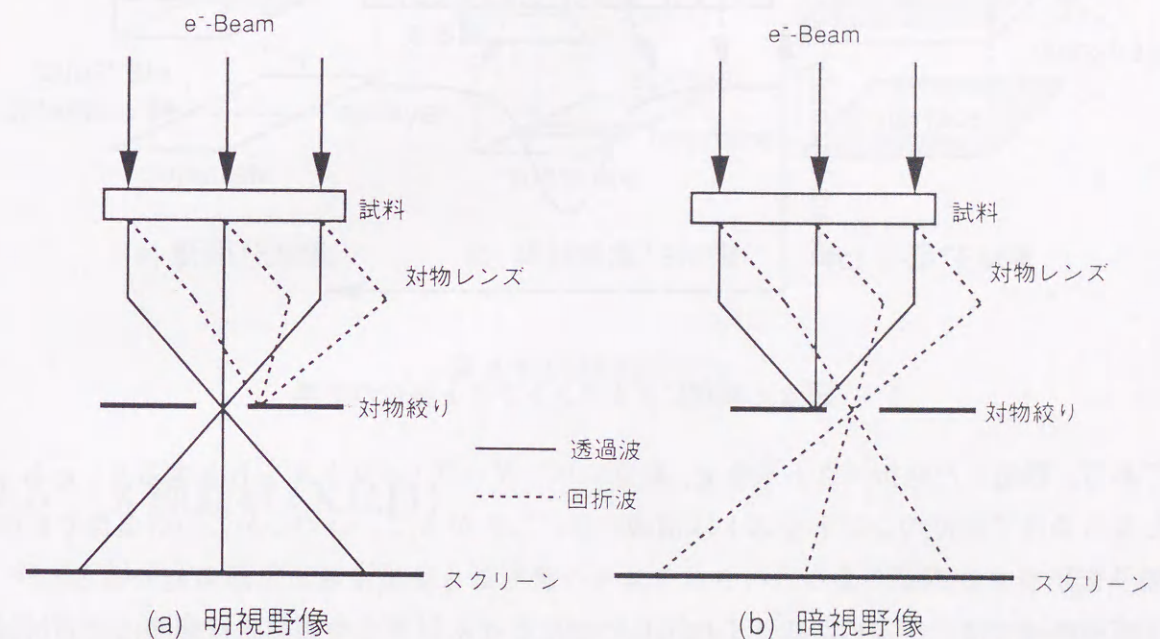


図 2.5 明視野法と暗視野法

電子線回折像の中心に現れる000スポット(ダイレクトスポット)、すなわち透過波のみを対物絞りによって抽出して結像させる方法を明視野法という(図2.5(a))。逆に、特定の回折波のみを対物絞りによって抽出して結像させる方法を暗視野法という(図2.5(b))。そして、結晶欠陥の観察には二波条件が通常用いられる。二波条件とは、ただ一つのブラッグ反射のみを励起する条件である。

図2.6に転位によるコントラストの発生原理を示す。例えば、制限視野電子回折法によって、転位が存在している部分の回折像を得たとする。このとき、二波条件にしたがって回折条件を設定すると、転位の部分(結晶格子の歪んだ部分)の情報は回折波に含まれる。結晶格子の歪んでいない部分(転位から離れた部分)の情報は透過波に含まれる。このとき、明視野法によって得られた像には、転位の部分は暗く、そのほかの部分は明るく映る。逆に暗視野法を用いれば、明暗のコントラストは逆転する。このようにして転位などの結晶欠陥の観察が可能となる。

また、転位の観察をする場合、その転位のバーガース・ベクトルを決定することも可能

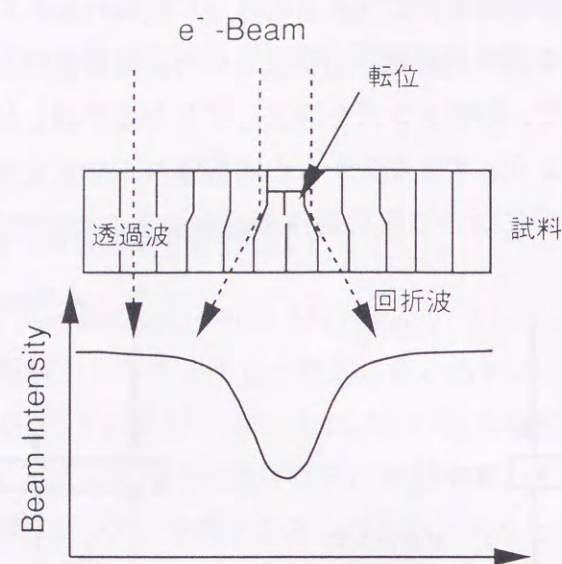


図 2.6 転位によるコントラスト発生原理

である。設定した回折ベクトルを g 、転位のバーガース・ベクトルを b とすると、 $g \cdot b = 0$ となる条件で転位のコントラストは消滅する。したがって、いくつかの回折条件で転位の様子を観察することにより、バーガース・ベクトルを決定することが可能である。

暗視野法では、特定の回折波を抽出して結像させる。そのため、暗視野像には回折波の強度が直接コントラストとして現れる。ところで、Si 基板上的 III-V 族化合物半導体の成長においてはアンチフェーズ・ドメイン (APD) が発生することがある。隣り合う APD では、 $[011]$ 方向から見ると結晶方位が 180° 反転している、すなわち $[100]$ 方向が互いに逆方向を向いている。III-V 族化合物半導体においては、 200 回折波と $\bar{2}00$ 回折波の強度は、異なることが知られている [8]。そこで、 200 回折波または $\bar{2}00$ 回折波を用いて暗視野像を結ぶと、隣り合う APD では明るさに違いを生じる。これを利用すれば、APD を観察することができる。

本研究では、断面 TEM 法、傾斜断面 TEM 法および平面 TEM 法を用いて結晶欠陥の観察を行なった。図 2.7 に TEM 観察法の概略を示す。断面 TEM 法 (図 2.7(a)) では電子線を成長層の横方向から入射させる。したがって、試料の断面構造を観察することができる。しかし、この方法ではヘテロ界面内の欠陥の分布を観察することはできない。そこで、試料を傾斜させることによりヘテロ界面内を観察することができる。これが、図 2.7(b) に示した傾斜断面 TEM 法である。図 2.7(c) の平面 TEM 法では、電子線を成長層の表面に対してほぼ垂直に入射させる。したがって、この方法ではヘテロ界面に分布する結晶欠陥を広範囲で観察することができる。

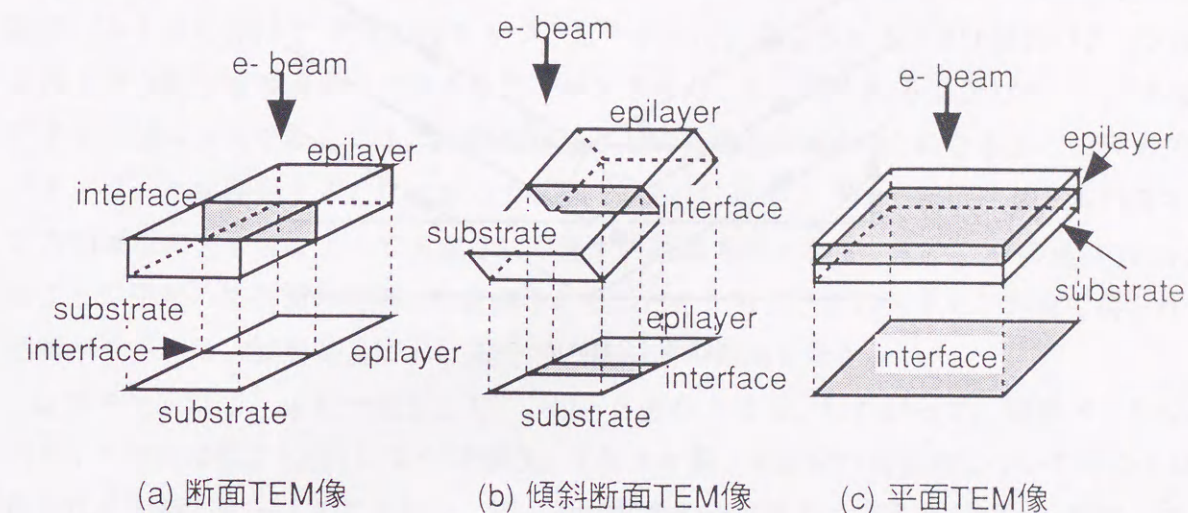


図 2.7 TEM 観察方法.

2.5 X 線回折 (XRD)

結晶では原子が周期的に配列し、空間格子をつくっている。その間隔はふつう数 \AA である。それと波長が同程度かそれ以下の X 線が入射すると、結晶格子が回折格子の役目をして、X 線は特定の方向へ散乱される。これが X 線回折である [9]。いま、図 2.8 のように、結晶が 1 種類の原子で構成され、原子面が一定の間隔で重なっていると考える。原子面の間隔を d とする。原子面に波長 λ の X 線が原子面と角 θ をなして入射したとする。このとき、まず 1 枚の原子面についてみると、入射角が反射角に等しければ、各散乱波の位相がそろい、波は干渉し互いに強め合う (鏡面反射)。

次に、異なった面により鏡面反射を受けた波の干渉を考える。異なった面による散乱波は、隣り合う面からの散乱波の光路差 $2d \sin \theta$ が波長の整数倍 $n\lambda$ に等しければ、すなわち、

$$n\lambda = 2d \sin \theta \quad (2.3)$$

であれば、位相がそろって波は強め合い回折が起こる。したがって、回折の起こる角度と入射 X 線の波長がわかれば原子面間隔を決定することができる。このような測定を行なう場合、ふつうディフラクト・メーターが用いられる。図 2.9 はディフラクト・メーターの模式的な構成図である。ディフラクト・メーターは、回折角を正確に測定できるゴニオ・メーター、スリット系、計数管および記録計などから構成されている。試料と計数管は、ゴニオ・メーターの中心軸のまわりにモーター駆動により 1:2 の速度比で回転できる

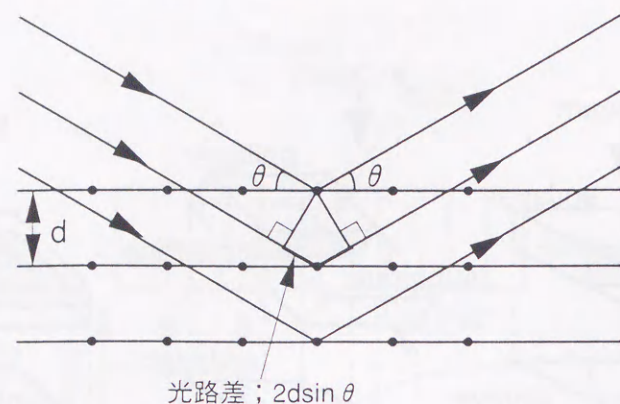


図 2.8 ブラッグ条件

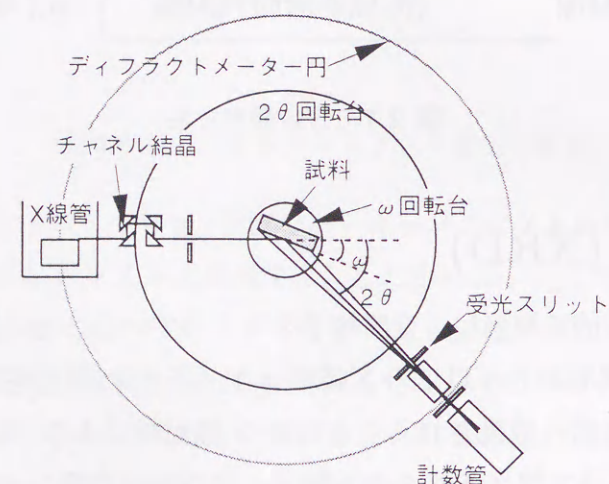


図 2.9 ディフラクトメータの構成

($2\theta - \omega$ スキャン)。また、 ω 、 2θ の単独回転(ω スキャン、 2θ スキャン)もできる。試料に一定強度の X 線を入射し、試料および計数管を回転させながら散乱波の強度を測定していけば、散乱波の角度スペクトルが得られ、回折角を知ることができる。

$2\theta - \omega$ スキャンや ω スキャンなどの各種スキャンによって得られる回折パターンの物理的な意味は、図 2.10 に示すように逆格子空間におけるスキャン方向を考えることで理解できる。

入射波の波数ベクトルを \mathbf{k} 、散乱波の波数ベクトルを \mathbf{k}' とすれば、これらのベクトルと回折ベクトル \mathbf{g} との間には次の関係が成り立つ。

$$\mathbf{g} = \mathbf{k}' - \mathbf{k} \quad (2.4)$$

そして、回折ベクトル \mathbf{g} の先端と結晶の逆格子点が重なるときに回折ピークを検出する

ことができる。一般的な XRD 装置では受光スリットの幅が 1° 程度あるので、実際には回折ベクトルの先は 1° 程度の幅をもつ。したがって、測定される XRD 回折パターンは、このような幅をもつ回折ベクトルをスキャンさせたときに得られる回折パターンである。

さて、 $2\theta - \omega$ スキャンでは、 2θ の変化量と ω の変化量の比が 2:1 になるようにディフラクト・メータを駆動する。したがって、図 2.10(a) に示すように、回折ベクトルのスキャン方向は ω の大きさによって決定される任意の結晶方向となる。また、 2θ の値は (2.3) 式によって任意の格子面の間隔 d に変換される。したがって、このスキャン方法で得られた回折パターンは、試料結晶における任意の格子面の間隔を示す。

ω スキャンでは、 2θ を一定として、 ω のみを変化させる。したがって、回折ベクトルのスキャン方向は図 2.10(b) になる。このスキャンを任意の回折点について行なえば、得られる回折パターンの半値幅は、選んだ結晶面のゆらぎの大きさを示す。一般に、ロックンク曲線 (rocking curve) と呼ばれる測定はこのスキャンである。

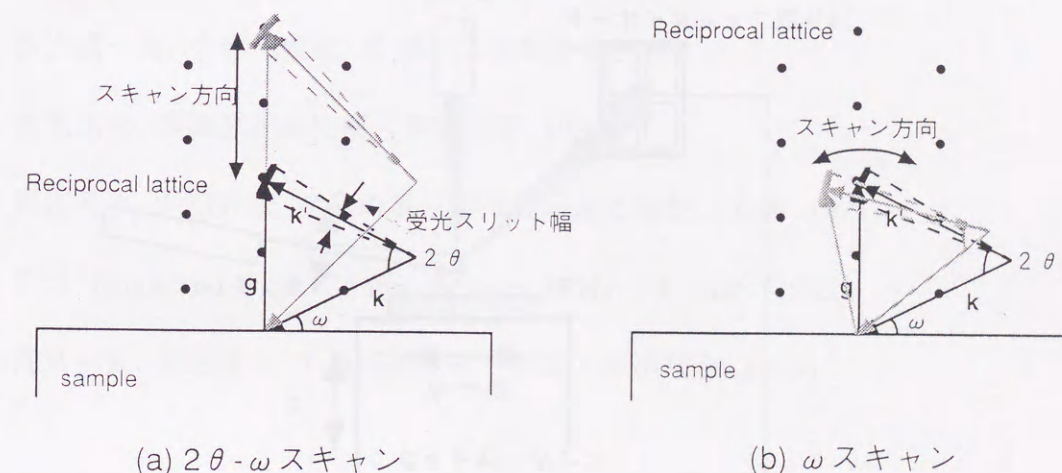


図 2.10 XRD 測定における各種スキャン方法

2.6 原子間力顕微鏡 (AFM)

原子間力顕微鏡 (Atomic Force Microscope: AFM) は、カンチレバーとよばれるひじょうに鋭利な先端 (先端部半径: 10nm 程度) をもつ探針を試料表面に接触させ、走査することによって凹凸を検出する装置である。カンチレバーを試料表面に接触させると試料とカンチレバーとの間にファン・デル・ワールス力や静電気力が発生する。そして、探針が表面を走査 (ラスタ・スキャン) する間、これらの力が一定になるように試料を上下させることによって表面の形状を三次元的に表現できるようになっている。

本研究では、AFMの一種であるタッピング・モード (tapping mode) AFMを用いた。図 2.11 に装置の構成を示す。この装置では、カンチレバーを共振周波数近傍 (50~500kHz) で振動させ、試料表面を断続的に軽くふれながら走査する。試料表面に凹凸があれば、カンチレバーの振幅が変化する。振幅の変化はカンチレバー先端に照射したレーザ光によって検出する。先端に照射されたレーザ光は反射し、ミラーを経由して4分割フォトダイオードに入射する。カンチレバーの振幅変化はフォトダイオードの出力変化となってあらわれる。一方、試料ステージはピエゾ素子により、x, y, z 方向にそれぞれ 0.1nm の精度で駆動される。フォトダイオードの出力は常にピエゾ素子にフィードバックされ、フォトダイオードの出力が一定になるようにピエゾ素子はたえず z 方向 (試料表面に垂直な方向) に試料を動かす。このときのピエゾ素子の駆動信号をもとに表面形状をコンピュータ上に表示する。

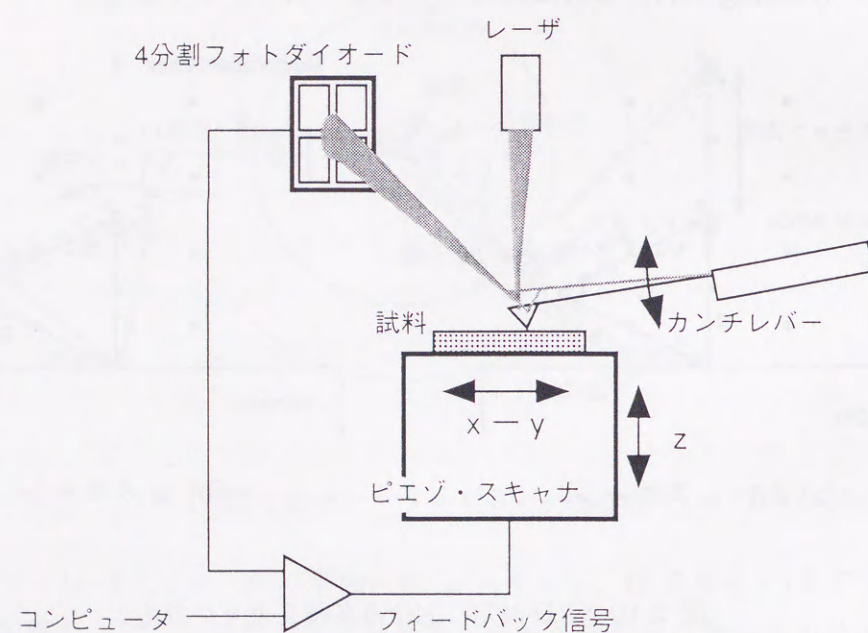


図 2.11 タッピングモード AFM の構成図

参考文献

- [1] 高橋 清, 分子線エピタキシー技術, (工業調査会, 1984).
- [2] S. L. Wright, H. Kroemaer, and M. Inada, J. Appl. Phys. **55**, 2916 (1984).
- [3] Y. Horikoshi, M. Kawashima, and H. Yamaguchi, Jpn. J. Appl. Phys. **27**, 169 (1988).
- [4] 野沢和彦, 堀越佳治, 応用物理学会結晶工学分科会第92回研究会テキスト, p17, (1989).
- [5] 西沢潤一編, 半導体研究, 31 巻, (工業調査会, 1989).
- [6] 河東田隆, 半導体評価技術, (産業図書, 1989).
- [7] 西山善次, 幸田成康, 金属の電子顕微鏡写真と解説, (丸善, 1975).
- [8] T. S. Kuan and C. A. Chang, J. Appl. Phys. **54**, 4408 (1983).
- [9] 高良和武, 菊田惺志, X 線回折技術, (東京大学出版会, 1986).

第3章 Si基板上InPヘテロエピタキシャル層における貫通転位の発生・抑制機構

3.1 緒言

InP-on-Siは格子不整合が約8%とひじょうに大きな系であるため、多数の貫通転位が成長層に発生する。したがって、貫通転位密度の低減は重要な課題である。しかし、InP-on-SiはSi表面に形成されるP安定化面の影響によってInとPの結合が生じにくい系であるため、結晶欠陥の発生機構はきわめて複雑である。

InP-on-GaPヘテロエピタキシーはInP-on-Siとほぼ同じ格子不整合(約7.7%)をもつ系である。また、InP-on-GaPでは極性/非極性の問題がない。したがって、格子不整合が初期成長過程に与える影響を評価することが可能である。そこで本章では、はじめに、InP-on-GaPヘテロエピタキシーにおける初期成長過程を調べ、成長モードと結晶欠陥の発生との関連を調べた。

次いで、InP-on-Siヘテロエピタキシーにおいて、多層の歪短周期超格子(Strained Short-Period Superlattice: SSPS)を用い、成長層の三次元化抑制による貫通転位密度の低減を試みた。 $\text{In}_{0.5}\text{Ga}_{0.5}\text{As-on-GaAs}$ および GaAs-on-Si ヘテロエピタキシーにおいては、多層のSSPSをヘテロ界面に導入することにより成長層の三次元化を抑制し、貫通転位の発生を効果的に抑制できることが明らかになっている[1,2]。しかし、 $\text{In}_{0.5}\text{Ga}_{0.5}\text{As-on-GaAs}$ および GaAs-on-Si はどちらも格子不整合が4%前後の系であり、8%と格子不整合がひじょうに大きな系に対してもこの手法が有効であるかは明らかになっていない。

そこで、本章では、GaP/Si構造の上に $(\text{GaAs})_i(\text{GaP})_j\text{SSPS}$ および $(\text{InAs})_m(\text{GaAs})_n\text{SSPS}$ の多層構造を成長することによって、InP-on-Siヘテロエピタキシーにおける貫通転位発生の抑制を試みた。そして、格子不整合がひじょうに大きな系における貫通転位の発生を抑制する手法を明らかにする。

また、GaPバッファ層を用いることによって極性/非極性界面に起因する結晶欠陥の発生を効果的に抑制できるが、これについては第6章の6.4.2節で述べる。

3.2 InP-on-GaP ヘテロエピタキシーにおける初期成長過程と貫通転位の発生機構

3.2.1 実験方法

基板には GaP(100)just を用いた。有機洗浄による脱脂の後、王水 ($\text{HNO}_3:\text{HCl}:\text{H}_2\text{O} = 1:2:2$, 50°C) によるエッチングを 2 分間行なった。その後、基板を MBE 成長室に導入し、 P_2 分子線照射下において、 620°C で 20 分間熱処理を行なった。図 3.1 に作製した試料の構造を示す。また、表 3.1 に成長条件を示す。熱処理の後、表面の平坦性を改善する目的で、基板温度 580°C で約 100nm の GaP ホモエピタキシャル層を成長した。つづいて、基板温度 450°C で InP 層を nML 成長した。ここで、InP の分子層数 n が 1, 2, 4 および 8 となる試料をそれぞれ成長した。nML-InP 成長後、GaP キャップ層を基板温度 450°C で 300nm 成長し、GaP/nML-InP/GaP 構造とした。

成長中の成長層の表面状態を RHEED によりその場観察した。また、結晶欠陥の観察には TEM を用いた。

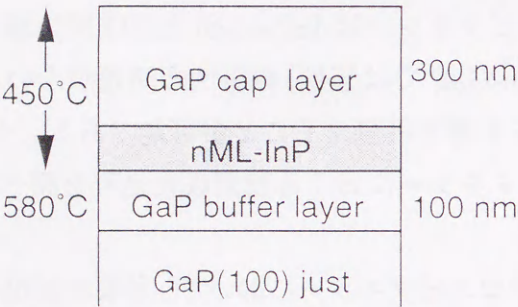


図 3.1 試料構造

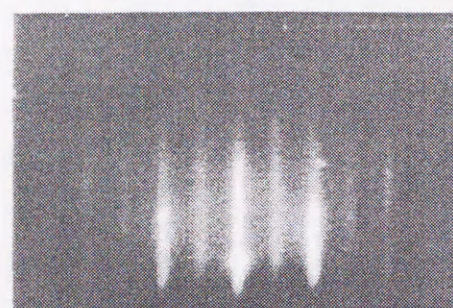
表 3.1 成長条件

基板	GaP(100) just
前処理	$\text{HNO}_3:\text{HCl}:\text{H}_2\text{O} = 1:2:2$, 50°C , 2min
熱処理	620°C , 20min, P_2 分子線照射下
GaP ホモエピタキシャル層	
基板温度	580°C
膜厚	100 nm
InP 層	
基板温度	450°C
膜厚	1, 2, 4, 8 ML
GaP キャップ層	
基板温度	450°C
膜厚	300 nm
分子線圧力	
	$P_{\text{Ga}} = 2.5 \times 10^{-7}$ Torr
	$P_{\text{In}} = 2.0 \times 10^{-7}$ Torr
	$P_{\text{P}_2} = 2.5 \times 10^{-6}$ Torr

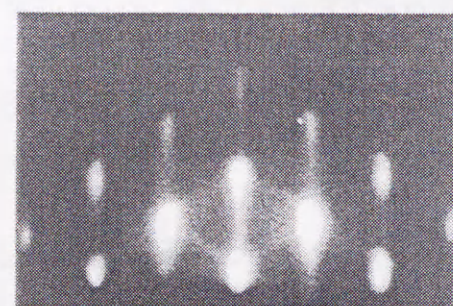
3.2.2 InP-on-GaP の初期成長過程と貫通転位の発生機構

図 3.2 に nML-InP 成長後の RHEED パターンを示す。InP が 1ML のときには同図 (a) のようなストリークパターンを示した。したがって、この時点では InP は二次元成長したものと考えられる。次に、InP が 2ML 成長相当の段階では同図 (b) のようなスポットパターンを示した。4ML および 8ML の場合も同様にスポットパターンであった。これは、1ML から 2ML へと成長膜厚が増加する過程で InP 層が三次元化したことを意味する。この結果から、GaP 上の InP 層は Stranski-Krastanov(S-K) 型の成長様式をもつことが確かめられた。

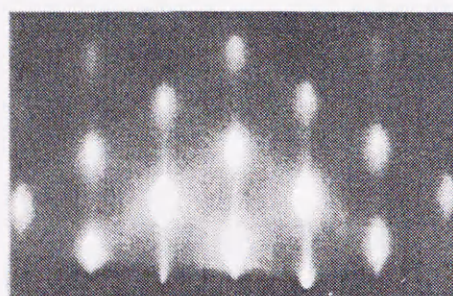
図 3.3 に GaP/nML-InP/GaP 構造の傾斜断面 TEM 暗視野像を示す。この図において TEM 試料は入射電子線に対して約 30° 傾いているのでヘテロ界面の様子を観察することができる。GaP/4ML-InP/GaP 構造ではヘテロ界面に三次元成長島に起因すると考えられるコントラストが現われた。一方、GaP/2ML-InP/GaP の場合、GaP/4ML-InP/GaP



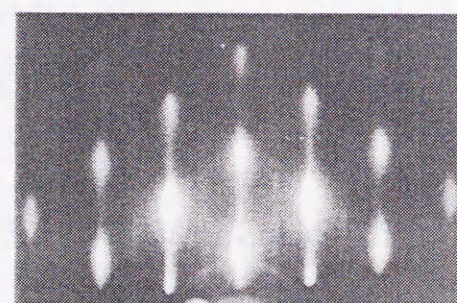
(a) 1ML-InP



(b) 2ML-InP

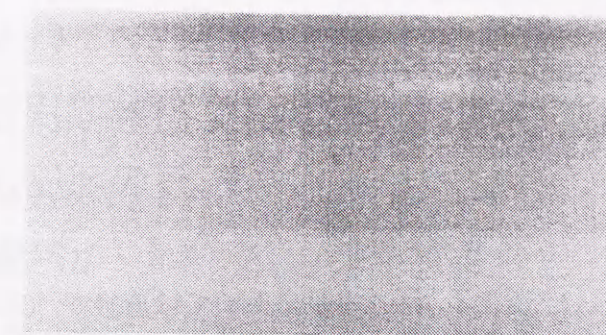


(c) 4ML-InP



(d) 8ML-InP

図 3.2 GaP 基板上の nML-InP 成長後の RHEED パターン (電子線入射方向は $[011]$ 方向).



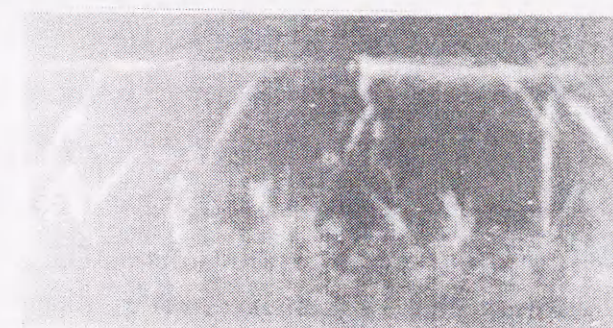
(a) GaP/2ML-InP/GaP

InP/GaP界面



(b) GaP/4ML-InP/GaP

InP/GaP界面



(c) GaP/8ML-InP/GaP

InP/GaP界面

200nm

$[31\bar{1}]$ g_{311}
 $[2\bar{3}3]$ \otimes $[011]$

図 3.3 GaP/nML-InP/GaP 構造の傾斜断面 TEM 暗視野像

構造でみられたようなヘテロ界面内のコントラストは観察されなかった。図 3.2 に示したように、RHEED パターンからは InP 層は 2ML の段階ではすでに三次元化していると考えられる。この段階では、発生した三次元成長島のサイズがごく小さいために、TEM 観察において島に起因するコントラストを検出できなかったものと考えられる。その後、InP の供給が 2ML 相当から 4ML 相当に増加する間に三次元成長島のサイズが大きくなり、TEM 観察において三次元成長島に起因するコントラストが見出されたものと考えられる。このときの三次元成長島の直径は、約 10nm 以下であると思われる。このような三次元成長島の大きさの変化は、GaAs 基板上の InAs 初期成長層の AFM 観察においても確認されている [3, 4]。また、GaAs 上の InAs の成長においては直径が 50nm 程度の大きな三次元成長島が断面 TEM によって観察されるが [5]、表 3.1 に示した条件で成長した GaP 上の InP の TEM 観察ではこのような大きな島の存在は確認されなかった。

さて、図 3.3 に示すように、貫通転位の発生は GaP/2ML-InP/GaP 構造では確認されず、GaP/4ML-InP/GaP 構造では観察された。この観察結果は、貫通転位の発生には三次元成長島の拡大または合体が必要であることを示していると考えられる。

格子不整合ヘテロエピタキシーにおいて、成長層の結晶格子はヘテロ界面で基板の結晶格子に束縛されているため、格子不整合歪みが成長層内に発生する。成長膜厚が小さく、二次元成長を維持している段階では、この格子不整合歪みはほぼ均一に成長層内に弾性的に蓄積される。S-K モードの成長において、成長膜厚が増大し、格子不整合歪みが大きくなると、成長層は三次元化する。三次元化によって、成長層の表面積が体積に対して相対的に増加する。そのため、三次元成長島の表面付近では結晶格子が大きく広がること（本来の格子定数に近づくこと）が可能となり、弾性的に格子不整合歪みを緩和することができる。したがって、この段階では格子不整合歪みは三次元成長島の内部で弾性的に蓄積されており、塑性変形すなわち転位は導入されないと考えられる。このような pseudomorphic な三次元成長島の存在は GaAs-on-Si や InGaAs-on-GaAs の TEM 観察によって確認されている [7, 8]。図 3.3(a) に示した GaP/2ML-InP/GaP 構造では、InP 三次元成長島は塑性変形の生じていない、pseudomorphic な状態にあると考えられる。

三次元成長島が拡大すると、島内部の格子不整合歪みが増大し、弾性変形だけでは吸収され得なくなる。このとき、転位が導入される。しかし、個々の島の内部では蓄積されている弾性歪みが一様でないため、発生した転位は一様にヘテロ界面に伝搬することができなとされる。そのため、貫通転位が発生する。また、InP-on-GaP とほぼ同じ格子不整合率を有する GaSb-on-GaAs ($f = 7.8\%$) において、格子緩和率の違い（すなわち大きさの異なる）三次元成長島どうしが合体する過程で貫通転位が発生することが TEM 観察により確かめられている [9]。図 3.3(b) の GaP/4ML-InP/GaP 構造では、InP 三次元成

長島の拡大・合体が起こっていると考えられる。これらの結果から、InP-on-GaP の貫通転位は三次元成長島の拡大あるいは合体の過程で生じたものと考えられる。したがって、三次元成長島の発生を抑制することによって貫通転位の発生を低減できると考えられる。

3.3 歪短周期超格子 (SSPS) の導入による InP-on-Si の貫通転位密度の低減

3.3.1 実験方法

基板には、[011] 方向に 4° オフした Si(100) を用いた。有機洗浄による脱脂処理の後、Ishizaka 法 [10] による前処理を施した。表 3.2 に Si 基板の前処理方法を示す。その後、基板を MBE 成長室に導入し、 850°C で 30 分間熱処理を行ない、保護酸化膜を除去した。図 3.4 に作製した試料構造を示す。また、表 3.3 に成長条件を示す。

熱処理の後、GaP 層を 400nm 成長し、GaP/Si 構造とした。GaP 層の成長において、最初の 200nm は基板温度 500°C で MEE 法を用いて成長した。このときのシャッター・シーケンスを図 3.5 に示す。GaP の MEE 成長では、Ga を 1Ns (Ns は表面サイト数)、 P_2 分子を 20Ns 相当量、それぞれ交互に供給した。 P_2 分子の供給後、過剰な P 原子の蒸発を促す目的で、約 2 秒間のインターバルを設定した。膜厚 200nm の GaP を MEE 法によって成長した後、残りの 200nm は基板温度 580°C で通常の MBE 法にて成長した。

その後、基板温度 500°C で $(\text{GaAs})_i(\text{GaP})_j$ SSPS を成長した。分子層数比 (i, j) を (1, 3)、(1, 1) および (3, 1) として順次 200nm ずつ成長した。さらに、この上に GaAs 層を 200nm 成長した後、基板温度を 420°C として $(\text{InAs})_m(\text{GaAs})_n$ SSPS を成長した。分子層数比 (m, n) を (1, 4)、(1, 3) および (1, 2) として順次 200nm ずつ成長した。 $(\text{InAs})_m(\text{GaAs})_n$ SSPS の成長においては、基板温度を 420°C と比較的低温に設定したが（通常、InGaAs 混晶の成長では 500°C 前後に設定されることが多い）、これは $(\text{InAs})_m(\text{GaAs})_n$ SSPS の成長中における In 原子の表面偏析を抑制するためである。成長温度の増加にしたがって、In 原子の表面偏析が促進されることはすでに知られている [11]。

$(\text{GaAs})_i(\text{GaP})_j$ SSPS および $(\text{InAs})_m(\text{GaAs})_n$ SSPS の成長において、分子層数の制御はシャッターの開閉時間を制御することによって行なった。このときのシャッターシーケンスを図 3.6 に示す。最後に、InP を基板温度 420°C で 1 μm 成長し、InP/SSPSs/GaAs/SSPSs/GaP/Si 構造とした。また、比較のために、SSPS を用いずに GaP/Si 構造の上に直接 InP を 1 μm 成長した InP/GaP/Si 構造も作製した。

成長層の表面状態を RHEED によりその場観察した。また、結晶欠陥の観察には断面

TEMを用いた。

表 3.2 Si 基板の前処理 (Ishizaka 法) [10]

HNO ₃ エッチング (3 回繰り返し)			
HNO ₃	boil	10min	
5%HF		30sec	
水洗		10min	
NH ₄ OH エッチング			
NH ₄ OH : H ₂ O ₂ : H ₂ O = 1 : 3 : 3	boil	10min	
5%HF		30sec	
水洗		10min	
保護酸化膜形成			
HCl : H ₂ O ₂ : H ₂ O = 3 : 1 : 1	boil	10min	
水洗		10min	

表 3.3 成長条件

基板	Si(100) 4°-off toward [011]
前処理	Ishizaka 法 (表 3.2 参照)
熱処理	850°C, 30min
P-prelayer	P ₂ 分子線照射, 基板温度 500°C, 5min
1st GaP	
成長方法	MEE 法 (図 3.5 参照)
基板温度	500°C
膜厚	200 nm
2nd GaP	
成長方法	MBE 法
基板温度	580°C
膜厚	200 nm
分子線圧力	$P_{\text{Ga}} = 2.5 \times 10^{-7}$ Torr $P_{\text{P}_2} = 3.0 \times 10^{-6}$ Torr
(GaAs) _i (GaP) _j SSPSs	
成長方法	MBE 法
基板温度	500°C
分子層数比 (i,j)	(1,3), (1,1), (3,1)
膜厚	200 nm
分子線圧力	$P_{\text{Ga}} = 2.5 \times 10^{-7}$ Torr $P_{\text{As}_4} = 6.0 \times 10^{-6}$ Torr $P_{\text{P}_2} = 3.0 \times 10^{-6}$ Torr
GaAs	
成長方法	MBE 法
基板温度	500°C
膜厚	200 nm
分子線圧力	$P_{\text{Ga}} = 2.5 \times 10^{-7}$ Torr $P_{\text{As}_4} = 6.0 \times 10^{-6}$ Torr

(InAs) _m (GaAs) _n SSPSs	
成長方法	MBE 法
基板温度	420°C
分子層数比 (m,n)	(1,4), (1,3), (1,2)
膜厚	200 nm
分子線圧力	$P_{\text{Ga}} = 2.5 \times 10^{-7}$ Torr
	$P_{\text{In}} = 1.5 \times 10^{-7}$ Torr
	$P_{\text{As}_4} = 6.0 \times 10^{-6}$ Torr

InP	
成長方法	MBE 法
基板温度	420°C
膜厚	1 μm
分子線圧力	$P_{\text{In}} = 2.0 \times 10^{-7}$ Torr
	$P_{\text{P}_2} = 3.0 \times 10^{-6}$ Torr

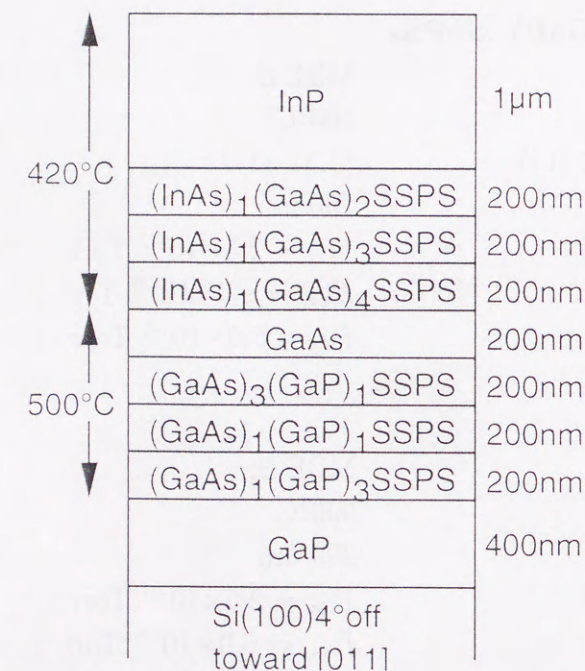


図 3.4 試料構造

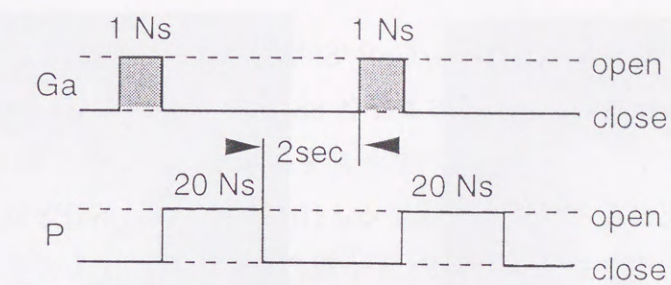
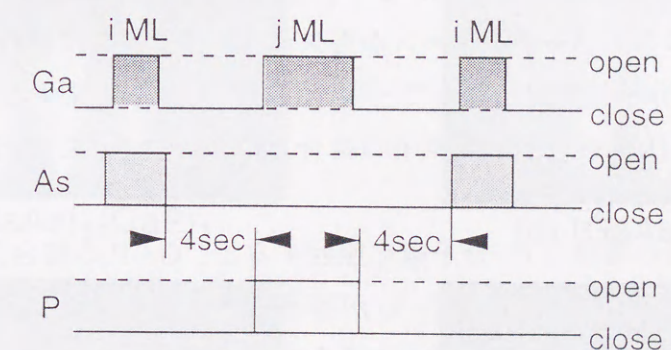
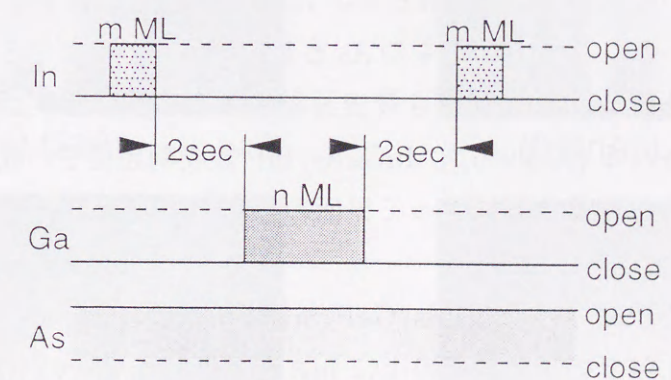


図 3.5 GaP の MEE 成長におけるシャッター・シーケンス



(a) (GaAs)_i(GaP)_jSSPS



(b) (InAs)_m(GaAs)_nSSPS

図 3.6 (GaAs)_i(GaP)_jSSPS および (InAs)_m(GaAs)_nSSPS の成長におけるシャッター・シーケンス

3.3.2 InP/SSPSs/GaAs/SSPSs/GaP/Si 構造の成長過程

図 3.7 に InP/SSPSs/GaAs/SSPSs/GaP/Si 構造の GaAs 層および各 SSPS 層成長後の RHEED パターンを示す。GaAs 層および各 SSPS 層成長中に RHEED パターンはスポットパターンに移行せず、ストリークパターンを維持した。この結果は、各層が GaP/Si 構造上に二次元的に成長したことを意味する。(InAs)₁(GaAs)₂SSPS 成長後、次の InP 成長のために As₄ 分子線の供給を止め、P₂ 分子線の供給を開始する必要がある。そこで、図 3.8 に (InAs)₁(GaAs)₂SSPS 表面に基板温度 420°C で P₂ 分子線を照射したときの RHEED パターンを示す。同図 (a) は (InAs)₁(GaAs)₂SSPS の成長を 1ML の InAs で終了した場合、(b) は 2ML の GaAs で終了した場合である。InAs で終了した場合、RHEED パターンはストリークパターンを維持するのに対して、GaAs で終了した場合、P₂ 分子線照射後に RHEED パターンはストリークパターンからスポットパターンに移行した。これは、最表面の GaAs 層が P₂ 分子線照射によって三次元化したことを意味する。

これらの結果は III 族原子と V 族原子の結合力の違いによって説明できる。表 3.4 に各原子間の結合力を示す [12]。

GaAs 層が最表面の場合に P₂ 分子線を照射すると、Ga-P の結合力が Ga-As のそれに対して大きいため、表面の GaAs 中の As が容易に P に置き換わる。すなわち、表面には GaP 層が形成される。表面の GaP 層は大きな格子不整合歪みにより三次元化すると考えられる (図 3.9(a))。また、GaAs 基板表面に P₂ 分子を供給すると表面の平坦性が低下する現象も知られている [13]。他方、最表面が InAs 層の場合、In-P の結合力が In-As のそれよりもわずかに小さいため、InAs 中の As と P の置き換わりは生じにくい。また、置き換わりが生じて InAsP が形成されても最表面層の格子不整合歪みは減少するので平坦性は保たれると考えられる (図 3.9(b))。InGaAs/InP 短周期超格子の成長において Ga-P の結合が生じないようにすることによって界面の急峻性が向上したという報告もされている [14]。

図 3.10 に、InP/SSPSs/GaAs/SSPSs/GaP/Si 構造の成長において、(InAs)₁(GaAs)₂SSPS の成長を 1ML の InAs で終了し、その上に InP を成長した場合の RHEED パターンを示す。成長中に RHEED パターンはストリークパターンを維持し、InP 層も二次元的に成長したことがわかった。以上の結果から、InP/SSPSs/GaAs/SSPSs/GaP/Si 構造の成長において、GaP/Si 構造上のすべての層が二次元的に成長することが明らかになった。

一方、GaP/Si 構造上の InP 直接成長 (InP/GaP/Si 構造) においては、RHEED パターンは InP 層の膜厚が 2 ~ 3ML の段階でストリークパターンからスポットパターンに移行した (図 3.11)。その後、RHEED パターンは InP 層の膜厚増加とともに徐々にストリーク

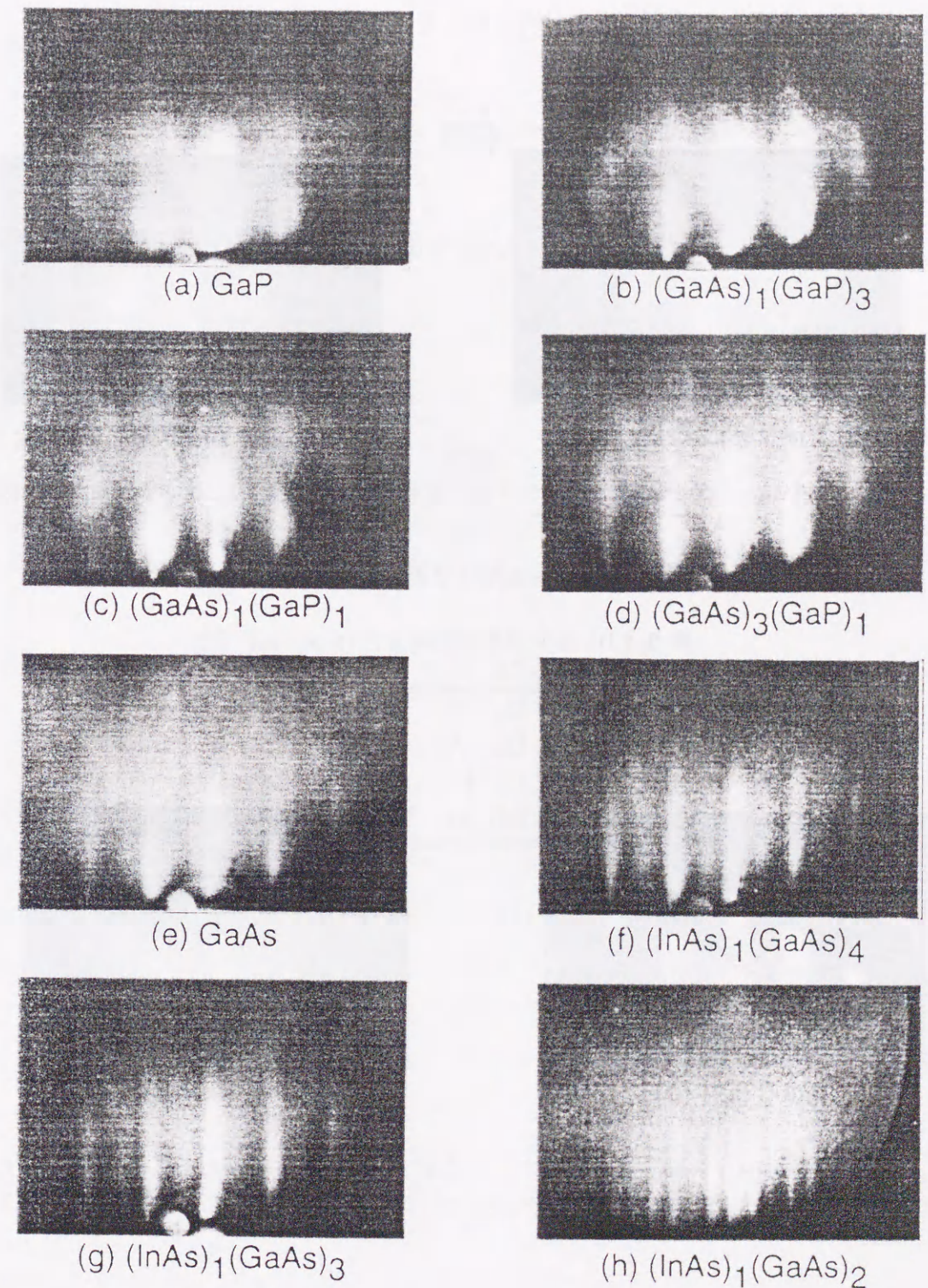
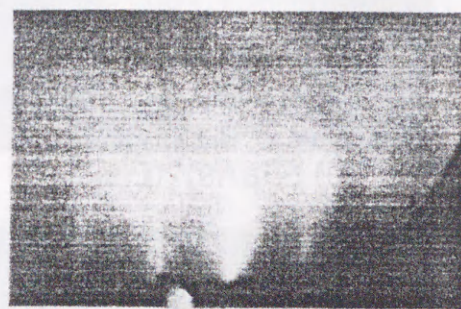
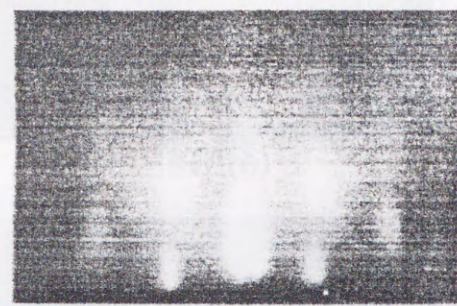


図 3.7 InP/SSPSs/GaAs/SSPSs/GaP/Si 構造における GaAs および各 SSPS の成長時の RHEED パターン (電子線入射方向は $[0\bar{1}1]$ 方向)。

パターンに回復した。この結果から、GaP/Si 構造上の InP 層は、GaP 基板上の場合と同様に、S-K モードで成長することが明らかになった。



(a) InAs が最表面の場合

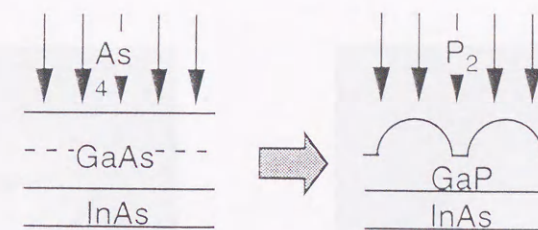


(b) GaAs が最表面の場合

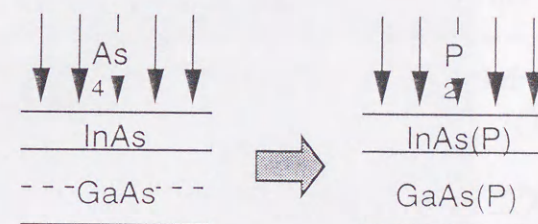
図 3.8 $(\text{InAs})_1(\text{GaAs})_2\text{SSPS}$ 表面に P_2 分子線を照射したときの RHEED パターン (電子線入射方向は $[0\bar{1}1]$ 方向).

表 3.4 III 族-V 族原子間結合力 (kcal/mol) [12]

Ga - P	54.9
Ga - As	50.1
In - P	47.3
In - As	48.0

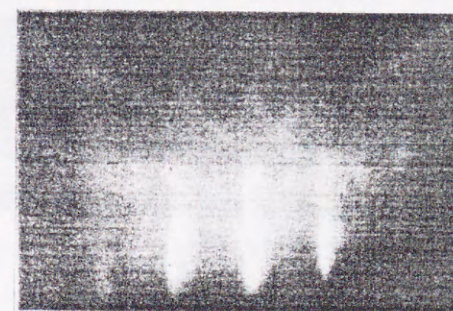


(a) 最表面が GaAs の場合



(b) 最表面が InAs の場合

図 3.9 P_2 分子線照射後における $(\text{InAs})_1(\text{GaAs})_2\text{SSPS}$ 表面の平坦性の変化



(a) InP 1 ML



(b) InP 3 ML

図 3.10 InP/SSPSs/GaAs/SSPSs/GaP/Si 構造における InP 成長時の RHEED パターン (ただし、下層の $(\text{InAs})_1(\text{GaAs})_2\text{SSPS}$ の成長は 1ML-InAs で終了した。電子線入射方向は $[0\bar{1}1]$ 方向).

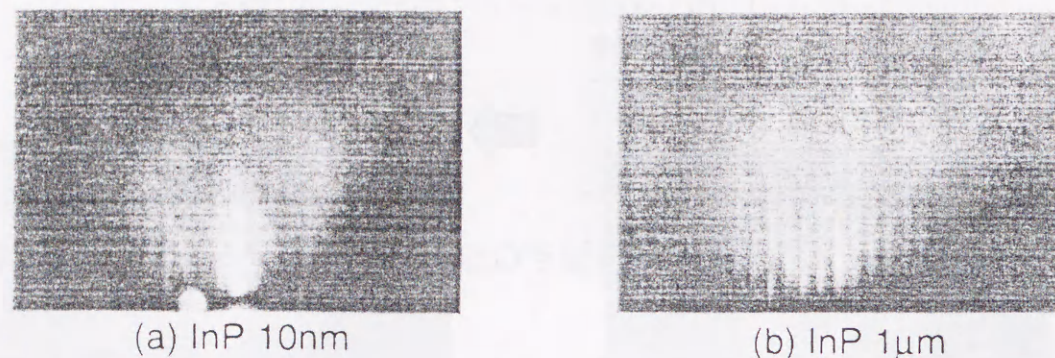


図 3.11 GaP/Si 構造上の InP 成長における RHEED パターン (電子線入射方向は $[0\bar{1}1]$ 方向).

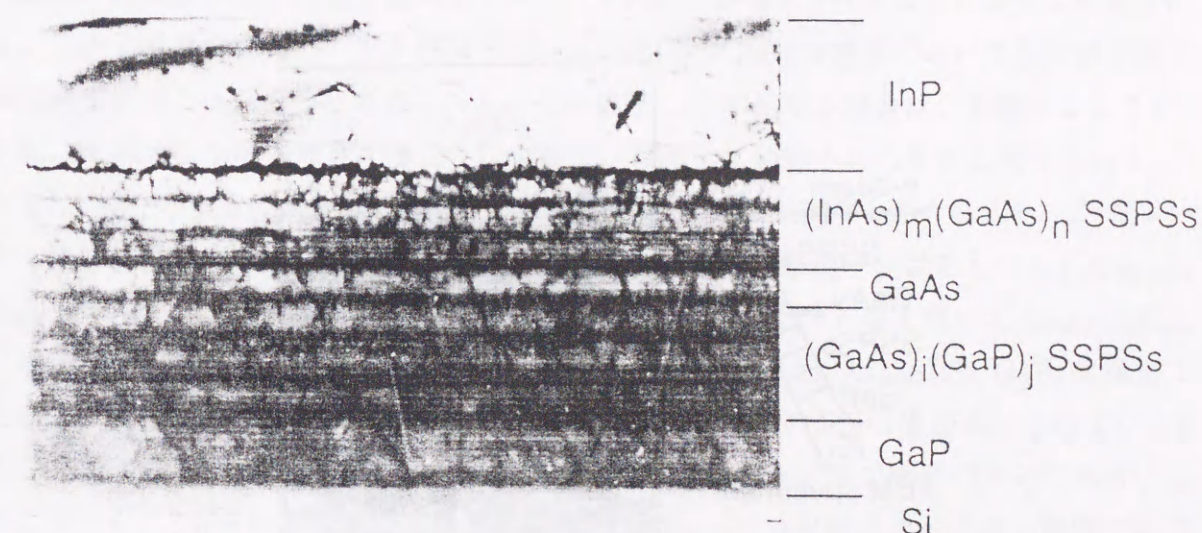
3.3.3 SSPS の導入による InP-on-Si の貫通転位密度の低減

図 3.12 は作製した InP/SSPSs/GaAs/SSPSs/GaP/Si 構造および InP/GaP/Si 構造の断面 TEM 像である。ただし、InP/SSPSs/GaAs/SSPSs/GaP/Si 構造は $(\text{InAs})_1(\text{GaAs})_2\text{SSPS}$ の成長を 1ML の InAs で終了した試料である。InP/SSPSs/GaAs/SSPSs/GaP/Si 構造においては InP 層中に伝搬する貫通転位の発生が効果的に抑制されていることがわかる。また、発生した転位のほとんどはヘテロ界面に閉じこめられていることがわかる。

一方、InP/GaP/Si 構造では、InP エピ層に高密度の貫通転位が発生した。しかし、GaP 層中には、この層を貫通するような転位やアンチフェーズ・ドメイン (APD) は観察されなかった。したがって、GaP バッファ層が極性/非極性界面に起因する欠陥の発生に対して抑制効果をもつことがわかる。これより、InP 層中に観察される貫通転位の大部分は、GaP と InP の間の格子不整合歪みによって発生したものと推察される。これらの貫通転位は前節に述べたように、三次元成長島の拡大および合体の過程で発生したものである。

なお、図 3.12 の InP 層中にみられる斑点は、試料の薄片化のために行なうイオンミリングの工程中に P が脱離して In が析出したために生じたものと考えられる。

次に、ヘテロ界面の様子を調べるために、図 3.13 に InP/SSPSs/GaAs/SSPSs/GaP/Si 構造および InP/GaP/Si 構造の傾斜断面 TEM 像を示す。InP/SSPSs/GaAs/SSPSs/GaP/Si 構造中の各ヘテロ界面にはミスフィット転位が観察された。その大部分は $\langle 011 \rangle$ 方向に伝搬していた。一方、InP/GaP/Si 構造の InP/GaP 界面にはミスフィット転位は観察されず、転位が複雑に絡み合っている様子が観察された。GaP/Si 界面には $\langle 011 \rangle$ 方向に伝搬しているミスフィット転位が観察された。これらのミスフィット転位が導入されることによって、GaP 層の格子不整合歪みは緩和されたものと考えられる。



(a) InP/SSPSs/GaAs/SSPSs/GaP/Si



(b) InP/GaP/Si

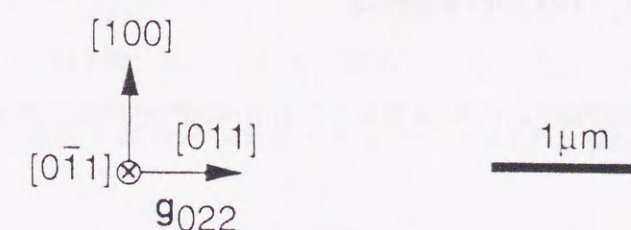


図 3.12 InP/SSPSs/GaAs/SSPSs/GaP/Si 構造および InP/GaP/Si 構造の断面 TEM 像

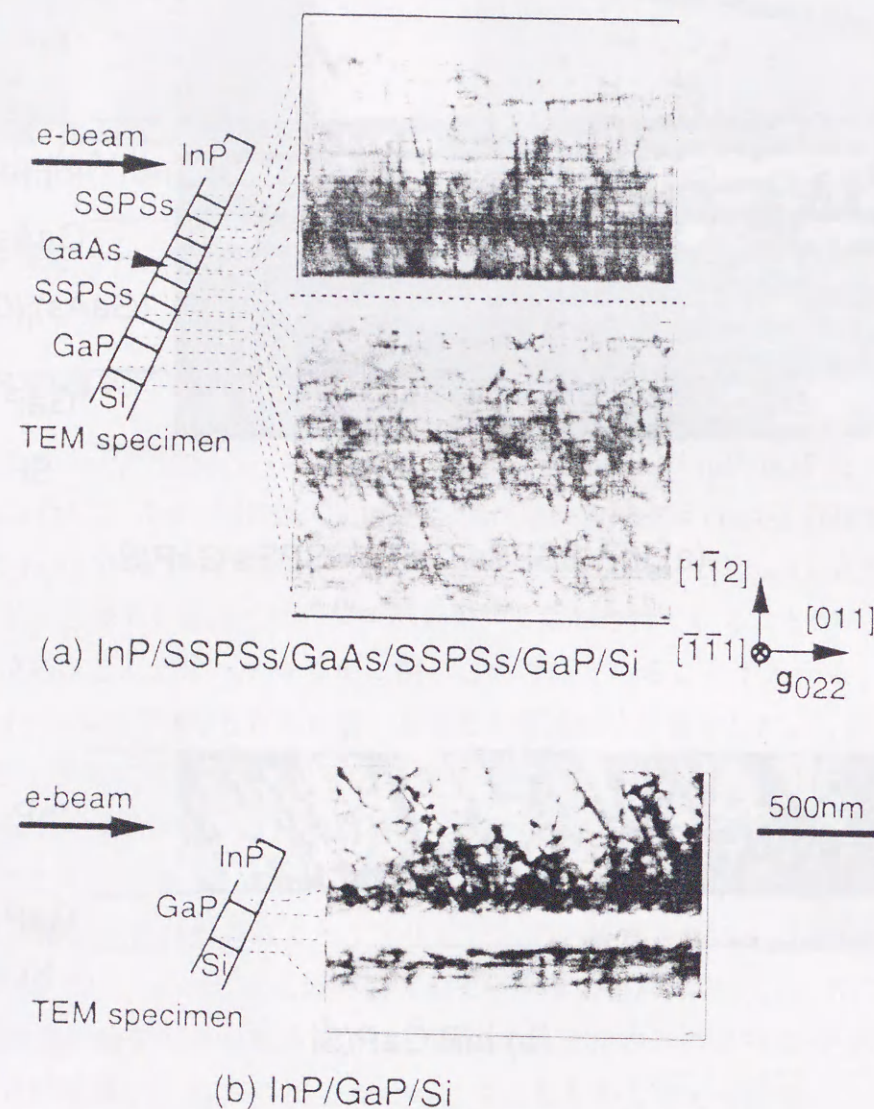


図 3.13 InP/SSPSs/GaAs/SSPSs/GaP/Si 構造および InP/GaP/Si 構造の傾斜断面 TEM 像

InGaAs-on-GaAsヘテロエピタキシーにおいて、格子不整合が比較的小さい場合 ($f < 1\%$)、InGaAs層は二次元的に成長し、ヘテロ界面に $\langle 011 \rangle$ 方向に伝搬するミスフィット転位が発生することが知られている [15]。このとき、貫通転位の発生は抑制される [15, 16]。その結果、成長層の格子不整合歪みはミスフィット転位が導入されることによって緩和される。二次元成長を維持した InP/SSPSs/GaAs/SSPSs/GaP/Si 構造においても同様な格子緩和過程が起こったものと考えられる。その結果、8%の格子不整合は、各層がミスフィット転位を導入しながら成長することによって、段階的に緩和されたものと考えられる。

また、格子不整合の大きな系においては、貫通転位密度を低減するためにステップ・グレーデッド層がこれまで用いられてきた [17, 18]。InP とほぼ同じ格子定数をもつ $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$ 混晶を6ステップ、厚さ $1.2\mu\text{m}$ の InGaAs ステップグレーデッド層を用いて GaAs 基板上に成長した報告がある [18]。本研究で作製した InP/SSPSs/GaAs/SSPSs/GaP/Si 構造においては、InP と GaAs の間には3ステップ、厚さ 600nm の SSPS 層が用いられている。この SSPS 層の厚さは報告例の InGaAs ステップグレーデッド層の厚さの半分である。このことから、SSPS の多層構造は混晶のステップグレーデッド層に比べて薄い膜厚で転位の発生を抑制できる可能性がある。格子不整合が大きい系ほど、バッファ層の膜厚が大きくなるため、実用的には薄いバッファ層で貫通転位の発生を抑制できることが望まれる。本研究で作製した InP/SSPSs/GaAs/SSPSs/GaP/Si 構造においては、8ステップの多層構造を用い、およそ1%づつ格子定数を変換することにより貫通転位の発生を効果的に抑制できた。

以上の結果、多層の SSPS を用いることにより、実用的な膜厚で InP-on-Si の貫通転位の発生を効果的に抑制できることが明らかになった。

3.4 結言

本章では、InP-on-GaPヘテロエピタキシーにおける初期成長過程と貫通転位の発生機構を調べるために、GaP/nML-InP/GaP 構造を成長し、RHEEDと断面TEMによる評価を行なった。その結果、以下のことが明らかになった。

1. GaP(100) 基板上の InP ヘテロエピタキシャル層は Stranski-Krastanov 型の成長様式をもつ。
2. GaP(100) 基板上の InP ヘテロエピタキシャル層における貫通転位は、三次元成長島の拡大または合体の過程で発生する。

したがって、三次元成長島の発生を抑制することによって貫通転位の発生を抑制できると推察された。

そこで、格子不整合率が約8%と大きい InP-on-Si ヘテロエピタキシーにおいて、多層の $(\text{GaAs})_i(\text{GaP})_j$ SSPS および $(\text{InAs})_m(\text{GaAs})_n$ SSPS を導入し、InP/SSPSs/GaAs/SSPSs/GaP/Si 構造を作製した。その結果、以下のことが明らかになった。

1. InP/SSPSs/GaAs/SSPSs/GaP/Si 構造の作製において GaP/Si 構造上の各層は二次元的に成長する。
2. InP/SSPSs/GaAs/SSPSs/GaP/Si 構造において各層はミスフィット転位を導入しながら成長し、段階的に格子不整合が緩和される。
3. 格子不整合が約8%とひじょうに大きな系においても、SSPSを含む8ステップの多層構造を用い、およそ1%づつ格子定数を変換することにより貫通転位の発生を効果的に抑制できる。

参考文献

- [1] T. Kawai, H. Yonezu, Y. Ogasawara, D. Saito and K. Pak, Appl. Phys. Lett. **63**, 2097 (1993).
- [2] Y. Takagi, H. Yonezu, T. Kawai, K. Hayashida, K. Samonji, N. Ohshima and K. Pak, J. Cryst. Growth **150**, 677 (1995).
- [3] Y. Nabetani, N. Yamamoto, T. Tokuda and A. Sasaki, J. Cryst. Growth **146**, 363 (1995).
- [4] G. S. Solomon, J. A. Trezza, and J. S. Harris, Jr., Appl. Phys. Lett. **66**, 991 (1995).
- [5] T. Kawai, H. Yonezu, D. Saito, M. Yokozeki, and K. Pak, Jpn. J. Appl. Phys. **33**, L1740 (1994).
- [6] K. Hayashida, Y. Takagi, K. Samonji, H. Yonezu, M. Yokozeki, N. Ohshima, and K. Pak, Jpn. J. Appl. Phys. **34**, L1442 (1995).
- [7] H. Takasugi, M. Kawabe, and Y. Bando, Jpn. J. Appl. Phys. **26**, L584 (1987).
- [8] S. Guha, K. C. Rajkumar, and A. Madhukar, J. Cryst. Growth **111**, 434 (1991).
- [9] J. M. Kang, M. Nouaoura, L. Lassabate, and A. Rocher, J. Cryst. Growth **143**, 115 (1994).
- [10] A. Ishizaka and Y. Shiraki, J. Electrochem. Soc. **133**, 666 (1986).
- [11] T. Kawai, H. Yonezu, Y. Ogasawara, D. Saito, and K. Pak, J. Appl. Phys. **74**, 1770 (1993).
- [12] J. A. Kerr, CRC Handbook of Chemistry and Physics, 70th ed., edited by R. C. Weast (CRC, Boca Raton, Fla, 1990), p. 197.

- [13] S. Nagao, M. Takashima, Y. Inoue, M. Kato, and H. Goto, J. Cryst. Growth **111**, 521 (1991).
- [14] T. Anan, S. Sugou, and K. Nishi, Appl. Phys. Lett. **63**, 1047 (1993).
- [15] M. Tamura, A. Hashimoto, and Y. Nakatsugawa, J. Appl. Phys. **72**, 3398 (1992).
- [16] V. Krishnamoorthy, P. Ribas, and R. M. Park, Appl. Phys. Lett. **58**, 2000 (1991).
- [17] C. M. Serrano and Chin-An Chang, Appl. Phys. Lett. **39**, 808 (1981).
- [18] V. Krishnamoorthy, Y. W. Lin, and R. M. Park, J. Appl. Phys. **72**, 1752 (1992).

第4章 (InAs)₁(GaAs)₄ 歪短周期超格子 および In_{0.2}Ga_{0.8}As 混晶の成長に おける格子緩和過程

4.1 緒言

第3章で明らかにしたように、格子不整合ヘテロエピタキシーにおいて貫通転位の発生を抑制するためには成長層の三次元化を抑制する必要がある。そこで、InP-on-Si ヘテロエピタキシーにおいて多層の SSPS を用いることによって貫通転位の発生を効果的に抑制できることが明らかになった。多層の SSPS を用いて貫通転位の発生を抑制する手法は、換言すれば成長層の格子定数を段階的に変換する作業であるといえる。したがって、成長した各 SSPS は格子緩和現象(ミスフィット転位の導入)によって速やかに本来の格子定数に戻ることが望ましい。しかし、SSPS 構造では転位発生の臨界膜厚が、不規則混晶の場合に比べて大きくなることが予測されている [1]。これは、SSPS 構造においてはミスフィット転位の発生が生じにくい、すなわち格子緩和が起こりにくいことを意味する。したがって、SSPS 多層構造は混晶の多層構造に比べて、格子定数の速やかな変換という点で劣る可能性がある。そこで、本章では、GaAs 基板上に成長した (InAs)₁(GaAs)₄ SSPS における格子緩和過程を In_{0.2}Ga_{0.8}As の場合と比較しながら調べた結果について述べる。格子緩和過程を調べることによって、成長膜厚の変化に対する残留歪みやミスフィット転位密度の変化を定量的に知ることができる。これは、多層構造の設計に有用な知見を与えるものと考えられる。

4.2 実験方法

基板には GaAs(100)just を用いた。有機洗浄による脱脂の後、硫酸によるエッチングを 30 秒間行なった。その後、基板を MBE 成長室に導入し、As₄ 分子線照射下において、630°C で 20 分間熱処理を行なった。図 4.1 に作製した試料の構造を示す。また、表 4.1 に成長条件を示す。

420°C	(InAs) ₁ (GaAs) ₄ SSPS	20 nm
	or In _{0.2} Ga _{0.8} As	500nm
580°C	GaAs buffer layer	100 nm
	GaAs(100) just	

図 4.1 試料構造.

表 4.1 成長条件.

基板	GaAs(100) just
前処理	H ₂ SO ₄ , 30sec
熱処理	630°C, 30min. As ₄ 分子線照射下
GaAs ホモエピタキシャル層	
成長方法	MBE 法
基板温度	580°C
膜厚	100 nm
(InAs) ₁ (GaAs) ₄ SSPS	
成長方法	MBE 法
基板温度	420°C
膜厚	20 ~ 500 nm
分子線圧力	$P_{\text{Ga}} = 2.5 \times 10^{-7}$ Torr $P_{\text{In}} = 1.5 \times 10^{-7}$ Torr $P_{\text{As}_4} = 2.0 \times 10^{-5}$ Torr
In _{0.2} Ga _{0.8} As alloy layer	
成長方法	MBE 法
基板温度	420°C
膜厚	20 ~ 500 nm
分子線圧力	$P_{\text{Ga}} = 3.6 \times 10^{-7}$ Torr $P_{\text{In}} = 1.7 \times 10^{-7}$ Torr $P_{\text{As}_4} = 2.0 \times 10^{-5}$ Torr

熱処理の後、表面の平坦性を改善する目的で、基板温度 580°C で約 100nm の GaAs ホモエピタキシャル層を成長した。つづいて、基板温度 420°C で (InAs)₁(GaAs)₄SSPS 層を成長した。膜厚は 20 から 500nm の間で変化させた。同様の手順で、GaAs(100) 基板上に In_{0.2}Ga_{0.8}As 混晶層も基板温度 420°C で成長した。膜厚は 20 から 500nm の間で変化させた。In_xGa_{1-x}As 混晶の In 組成 x の値はオージェ電子分光分析 (Auger Electron Spectroscopy: AES) によって調べ、 $x = 0.2$ であることを確認した。平均の In 組成は SSPS、混晶ともに 0.2 であり、両者とも二次元成長を維持する In 組成である。

成長層の縦方向格子間隔を XRD((400) 回折) を用いて測定した。結晶欠陥の観察には TEM を用いた。また、成長後の成長層表面を AFM によって観察した。

4.3 GaAs 基板上 (InAs)₁(GaAs)₄ 歪短周期超格子および In_{0.2}Ga_{0.8}As 混晶の格子緩和過程

図 4.2 に (InAs)₁(GaAs)₄SSPS 層から得た電子線回折 (Transmission Electron Diffraction: TED) パターンをしめす。5 倍の長周期構造に起因する超格子スポットが観察された。これより分子層数比が 1:4 の超格子構造が実現できていることが明らかになった。In_{0.2}Ga_{0.8}As 混晶の TED パターンにはこのようなサテライト・スポットは観察されなかった。

図 4.3 に (400) 回折による (InAs)₁(GaAs)₄SSPS と In_{0.2}Ga_{0.8}As 混晶の縦方向格子間隔 (= (100) 面間隔) a_{\perp} の測定結果を示す。図中で点線は、ベガード則によって求められる In_{0.2}Ga_{0.8}As の格子定数 ($\sim 5.7343\text{\AA}$) を示している。縦方向格子間隔 a_{\perp} は成長膜厚の増加にともなって減少し、5.7343Å に近づいていく。成長初期には縦に (成長方向に) 弾性的に伸びていた成長層の結晶格子が成長膜厚の増加にともなって本来の格子の形に戻ってい

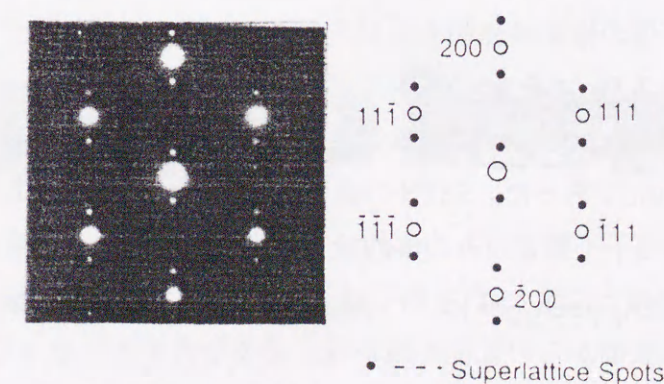


図 4.2 (InAs)₁(GaAs)₄SSPS からの TED パターン.

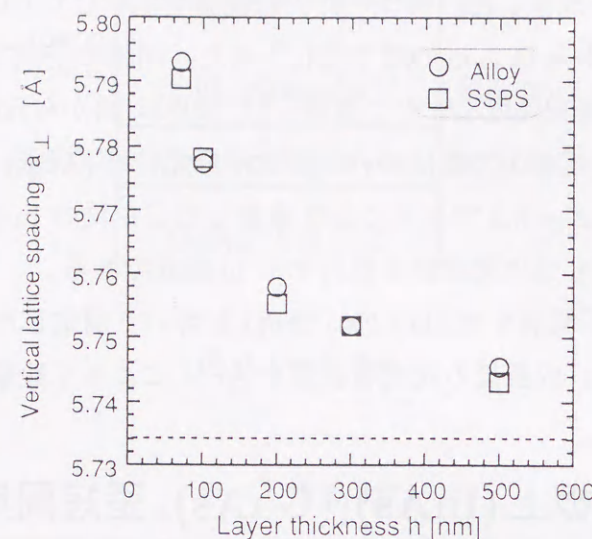


図 4.3 XRD による縦方向格子間隔の測定結果.

く様子がわかる。これは、ヘテロ界面にミスフィット転位が導入され、その密度が増加することによって格子不整合歪みが緩和されたためと考えられる。一方、SSPSと混晶を比較した場合、 a_{\perp} に大きな違いは見出されなかった。

図 4.4 に作製した試料の傾斜断面 TEM 像を示す。貫通転位は観察されず、ヘテロ界面には $\langle 011 \rangle$ 方向に伝搬するミスフィット転位が観察された。これより、成長層の膜厚が臨界膜厚を越えていて、格子緩和がすでに起こっていることが確認できた。また、成長膜厚の増加にともなってミスフィット転位の密度が増加していることもわかった。傾斜断面 TEM 観察によるミスフィット転位密度の測定結果を図 4.5 に示す。

格子緩和過程の初期の段階では、ミスフィット転位密度は急激に増大するが、厚さ 200nm 程度付近からは転位密度の増加は飽和する傾向にあることがわかった。また、SSPSと混晶を比較した場合、ミスフィット転位密度に違いはみられなかった。

TEM 観察の結果、 $(\text{InAs})_1(\text{GaAs})_4\text{SSPS}$ および $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ の臨界膜厚はそれぞれ、30 - 40nm および 20 - 30nm であった。SSPS の臨界膜厚は混晶のそれよりも大きかった。この違いは両者における格子不整合歪みの面内分布の違いに起因すると考えられる。Energy Balance Model [2, 3] の考えによれば、格子緩和の始まりは、格子不整合歪みに起因する歪みエネルギーが結晶表面からの転位の核形成に必要な大きさになった時と理解される。SSPS では InAs と GaAs が周期的に積層しているために、格子不整合歪みは成長方向に対しては周期的に、面内方向には一様に分布していると考えられる。したがって、面内方向

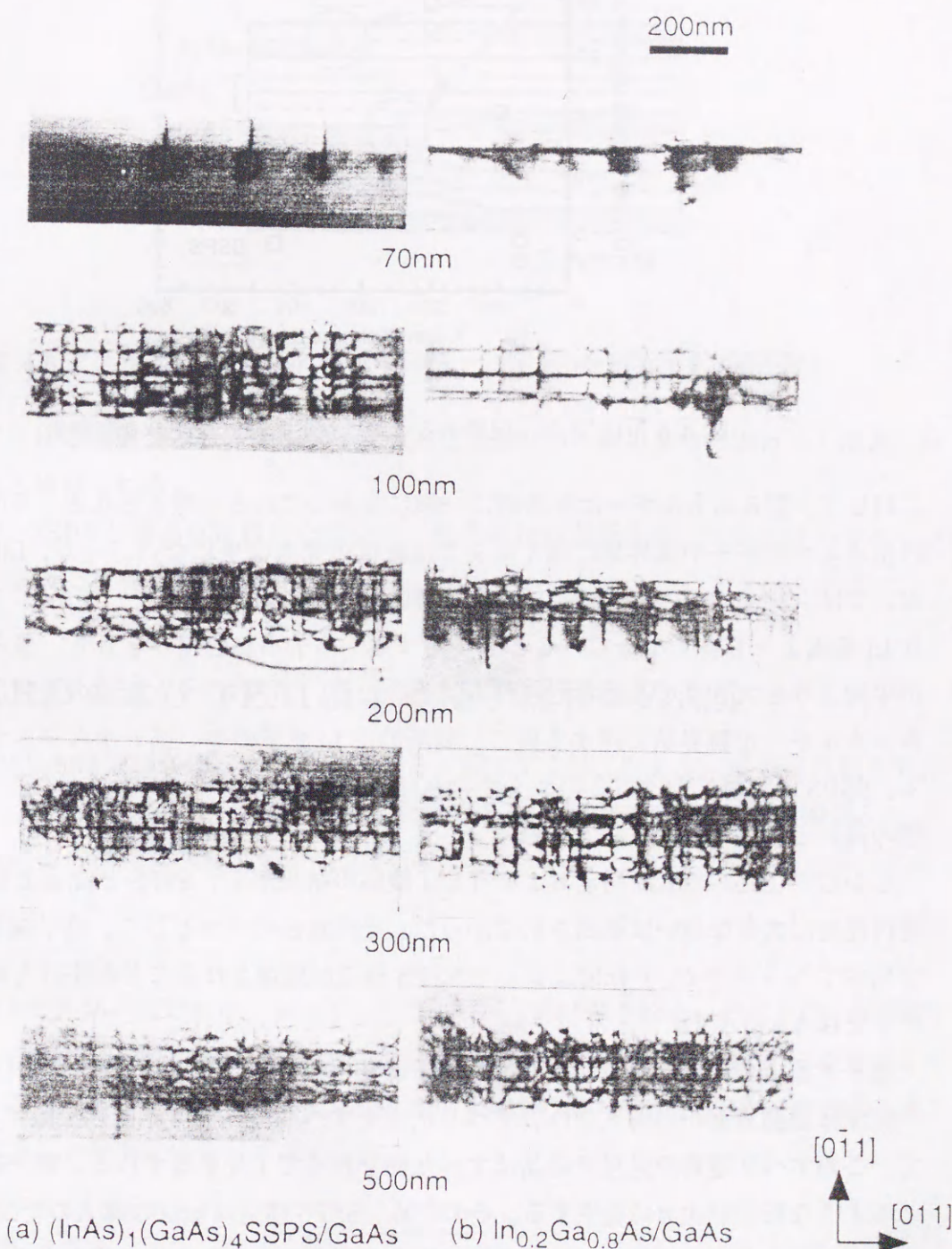


図 4.4 $(\text{InAs})_1(\text{GaAs})_4\text{SSPS}/\text{GaAs}$ および $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ の傾斜断面 TEM 像

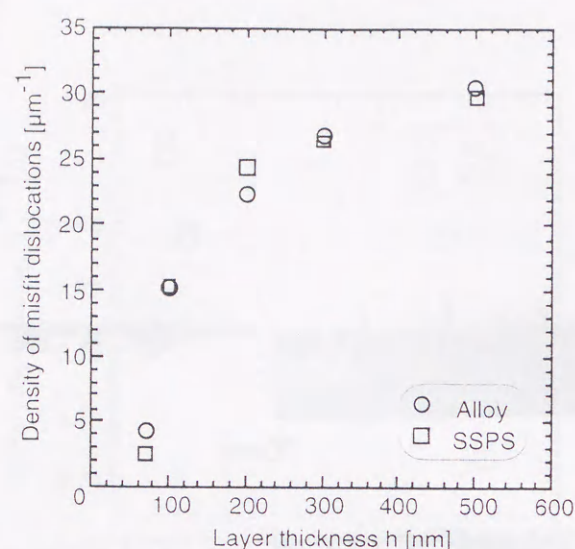


図 4.5 $[0\bar{1}1]$ 方向に伝搬するミスフィット転位密度の測定結果

に対して、歪みエネルギーは平均的に一様に分布していると考えられる。そのため、平均の歪みエネルギーが臨界値に達するまでは転位の発生は生じない。一方、InGaAs 混晶においては、結晶中での In 原子の分布に規則性がない。したがって、局所的に In 原子が平均 In 組成よりも多くなっているところでは強く格子不整合歪みをもち、歪みエネルギーが平均よりも大きくなると考えられる。そのため、ミスフィット転位の発生は、平均の歪みエネルギーが臨界値に達する前に、局所的に In 原子の多い部分から発生すると思われる。SSPS と混晶におけるこのような歪み分布 (歪みエネルギーの分布) の差違が、臨界膜厚の違いとして現れたと考えられる。

しかし、上述の XRD 測定および TEM 観察の結果から、SSPS と混晶では格子緩和の進行速度に大きな違いは観測されなかった。その理由の一つとして、格子緩和過程において発生するミスフィット転位によって SSPS 構造が破壊されることが挙げられる。そのモデルを図 4.6 に示す。

格子不整合の比較的小さな系では、格子緩和過程において主に 60° 転位が発生する。この転位は結晶表面から導入され、すべり面上をすべり、ヘテロ界面を伝搬する。したがって、このすべり運動の過程で結晶はすべり面を挟んで 1 分子層ずれる。格子緩和過程ではこのような転位が次々に発生する。そのため、SSPS 構造は転位の導入のたびに乱される。乱された部分が増大すれば、残留歪みの分布は混晶の場合とあまり変わらなくなると考えられる。

さらに、4.5 節で述べるように、SSPS の表面は混晶の表面に比べて、凹凸が大きい。凹

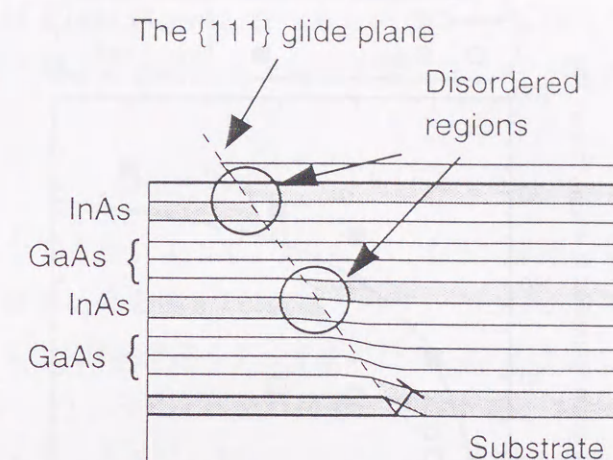


図 4.6 ミスフィット転位 (60° 転位) の導入による SSPS 構造の局所的な乱れ

凸によって生じる残留歪みの面内不均一によって SSPS の (歪み分布における) 混晶化が促進されると推察される。

これらが、SSPS と混晶を比較した場合に、格子緩和の進行速度に大きな違いを生じさせなかった原因であったと推察される。

4.4 XRD および TEM による格子緩和率の測定

次に、SSPS の格子緩和率について考察する。図 4.3 に示したように成長層の縦方向格子間隔 a_\perp は X 線による (400) 回折によって測定できる。弾性論によれば縦方向歪み ϵ_\perp と横方向歪み ϵ_\parallel との間には次の関係が成立する。

$$\epsilon_\perp = -\frac{2\nu}{1-\nu}\epsilon_\parallel \quad (4.1)$$

ここで、 ν はポアソン比であり、 $\nu = C_{12}/(C_{11} + C_{12})$ で計算される。 C_{11} と C_{12} は SSPS の弾性定数である。SSPS の弾性定数は GaAs および InAs の値を比例配分することによって求められると仮定した。そして、式 (4.1) より SSPS の横方向格子間隔 a_\parallel が求められ、格子緩和率 R_{XRD} が次式によって求められる。

$$R_{XRD} = \frac{a_\parallel - a_{GaAs}}{a_{SSPS} - a_{GaAs}} \quad (4.2)$$

ここで、 a_{SSPS} は無歪みの $(\text{InAs})_1\text{GaAs}_4$ SSPS の格子定数であり、ベガード則によって求められる値とした (~ 5.7343 Å)。また、 a_{GaAs} は GaAs の格子定数である (~ 5.6533 Å)。式 (4.2) による格子緩和率の計算結果を図 4.7 に示す。図中の白丸が R_{XRD} である。格子緩

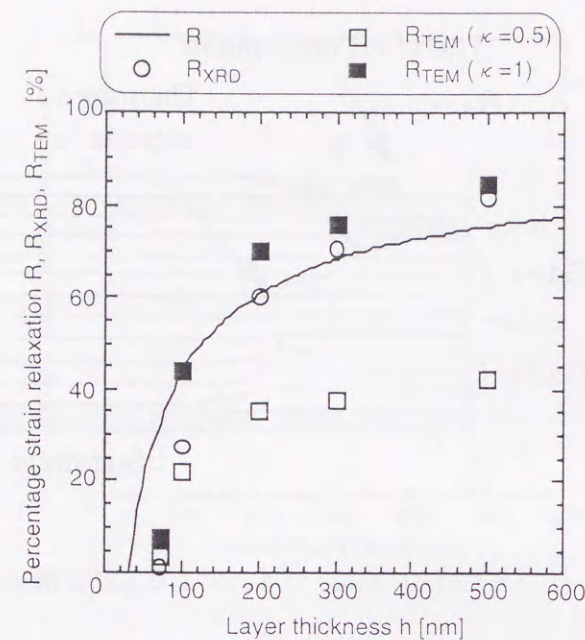


図 4.7 格子緩和率 R 、 R_{XRD} 、 R_{TEM} の計算結果

和の初期段階では R_{XRD} は急速に増加するが、膜厚が 200nm を越える付近からは R_{XRD} の増加は飽和する傾向にある。膜厚 500nm の段階では、 R_{XRD} は約 80% である。

次に、格子緩和率の理論的な計算を試みる。弾性論によれば、臨界膜厚以下の (完全に pseudomorphic な状態の) 成長層における歪みエネルギーは、単位面積当たり、

$$E_{strain} = 2\mu \left(\frac{1+\nu}{1-\nu} \right) h f^2 \quad (4.3)$$

で与えられる [4]。ここで、 f は格子不整合率、 h は成長膜厚、 μ は剛性率であり、 $\mu = \frac{1}{2} C_{11} (1-2\nu) / (1-\nu)$ なる関係で弾性定数およびポアソン比によって記述される。式 (4.3) により、歪みエネルギー E_{strain} は膜厚 h の増大にともなって増加することがわかる。成長膜厚 h が増加し、臨界膜厚 h_c に等しくなると、ヘテロ界面にはミスフィット転位が導入される。したがって、格子緩和の開始時点では式 (4.3) は書き換えられ、転位の核形成エネルギー E_{nu} を次のように定義できる。

$$E_{strain} = E_{nu} \equiv 2\mu \left(\frac{1+\nu}{1-\nu} \right) h_c f^2. \quad (4.4)$$

E_{nu} の計算式は People [2] や Maree [3] によって提案されているが、TEM 観察を行えば実験的に臨界膜厚 h_c の大きさを決定できるので、 E_{nu} の大きさを決めることができる。

格子緩和過程すなわち、 $h > h_c$ なる条件では、膜厚増加にともなう歪みエネルギー E_{strain} 増加分は新たにミスフィット転位を導入するために消費されたと考えることができ

る。つまり、 E_{strain} は E_{nu} に常に等しくなると仮定できる。そして、ミスフィット転位の導入によって成長層の格子不整合歪みは減少する。そこで、格子緩和率 R を導入することによって、

$$E_{nu} = 2\mu \left(\frac{1+\nu}{1-\nu} \right) h \{f(1-R)\}^2 \quad (4.5)$$

なる関係を導くことができる。よって、式 (4.5) によって膜厚に対する格子緩和率の変化を計算できる。その計算結果を図 4.7 に実線で示す。ここで、 h_c を 30nm とした。この図から、理論計算の結果と XRD 測定によって求めた R_{XRD} とはよく一致することがわかる。

図 4.4 と図 4.5 で示したように、ヘテロ界面に存在するミスフィット転位の密度が測定されている。したがって、さらに、転位の密度からも格子緩和率を求めることができる。TEM 観察によって得られた転位密度から求められる格子緩和率 R_{TEM} は

$$R_{TEM} = \frac{d}{d_{TEM}} \times 100[\%] \quad (4.6)$$

で計算される [5]。ここで、 d_{TEM} は TEM 観察によって得られたミスフィット転位間の平均間隔、 d は完全緩和の場合におけるミスフィット転位間の平均間隔である。また、 d は次の式で決定される。

$$d = \frac{\kappa b}{f} \quad (4.7)$$

ここで、 b は転位のバーガース・ベクトルの大きさである ($= a/\sqrt{2} \sim 4 \text{ \AA}$)。もしも、すべての格子不整合歪みが 60° 転位で緩和されると仮定すれば、係数 κ は 0.5 になる。なぜなら、格子緩和に寄与するのはバーガース・ベクトルの横方向 (面内方向) 成分のみであるからである。すべての格子不整合歪みが 90° 転位 (刃状転位) で緩和されると仮定すれば、 κ は 1 となる。 R_{TEM} の計算結果も図 4.7 に示す。ここで、 $\kappa = 1$ および $\kappa = 0.5$ と仮定した場合のそれぞれについて計算し、同図に示した。 κ を 1 とした場合、 R_{TEM} は R_{XRD} および理論値 R に比較的近い値を示した。一方、 κ を 0.5 とした場合は、 R_{TEM} は R_{XRD} のおよそ半分の値となった。

格子不整合が比較的小さな系 ($f < 2\%$) においては、格子緩和過程で発生する転位の多くは 60° 転位であることは知られている。本研究の TEM 観察の結果でもミスフィット転位のほとんどは 60° 転位であった。 90° 転位はヘテロ界面に発生した 60° 転位どうしの反応によって形成される [6]。また、すべてのミスフィット転位の密度に対する 90° 転位の密度の比は膜厚の増加すなわち格子緩和の進行とともに増加していく。しかし、経験的にその比の上限はおよそ 20% 程度である [7]。したがって、 R_{TEM} の計算過程において式 (4.7) の κ の値は 0.5 から 0.6 程度が妥当であると考えられる。この場合、XRD 測定によって求めた R_{XRD} および理論値 R と差が大きくなる。この差の原因として、成長層内に残留す

る格子不整合歪みの成長方向への分布が挙げられる。XRDによる格子緩和率の測定結果および格子緩和率の理論値は成長層内の平均的な残留歪みを反映していると考えられる。一方で、TEMによる格子緩和率はヘテロ界面近傍の残留歪みを示していると考えられる。いま、 R_{TEM} は R_{XRD} に比べて小さかったため、ヘテロ界面付近の残留歪みは成長層全体の平均残留歪みより大きくなっていると予想される。

4.5 AFMによる表面モフォロジーの観察

次に成長表面をAFMによって観察した結果を示す。図4.8はGaAs上に成長した $(\text{InAs})_1(\text{GaAs})_4\text{SSPS}$ と $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶の表面AFM像である。表面には $\langle 011 \rangle$ 方向に沿ってクロスハッチパターン(CHP)と呼ばれるリッジ状の凹凸が発生していた。また、凹凸の大きさは膜厚の増加にともなって大きくなっていることがわかる。凹凸の大きさを定量的に評価するために、平均粗さ(root-mean-square: rms値)を測定した。測定は $[011]$ 方向および $[0\bar{1}1]$ 方向に沿ったライン・スキャンによってそれぞれ行ない、測定値を $\text{rms}_{[011]}$ および $\text{rms}_{[0\bar{1}1]}$ とした。

測定結果を図4.9に示す。この図から、平均粗さは膜厚の増加にともなって大きくなることが確認された。SSPS表面と混晶層表面を比較するとSSPS層表面の凹凸が混晶のそれより大きいことがわかった。上述のように両者の格子緩和過程には大きな違いがみられなかったにも関わらず、表面に発生したCHPによる凹凸の大きさに明らかな違いがみられる。したがって、CHPの形成過程には表面での結晶成長機構が関係していると推察される。

また、 $\text{rms}_{[011]}$ は $\text{rms}_{[0\bar{1}1]}$ より大きくなることがわかった。これは、 $[011]$ 方向に沿って伸びるリッジの高さが $[0\bar{1}1]$ 方向に沿って伸びるリッジの高さよりも高くなっていることを示している。このような凹凸の異方性は膜厚を増加することによってより顕著になる。

GaAs基板上に膜厚 $2\mu\text{m}$ の $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶を基板温度 500° で成長した試料のAFM像を図4.10に示す。この場合、 $[0\bar{1}1]$ 方向に沿ったリッジがきわめて高くなっている。このようなCHPの形成機構については第5章で考察する。

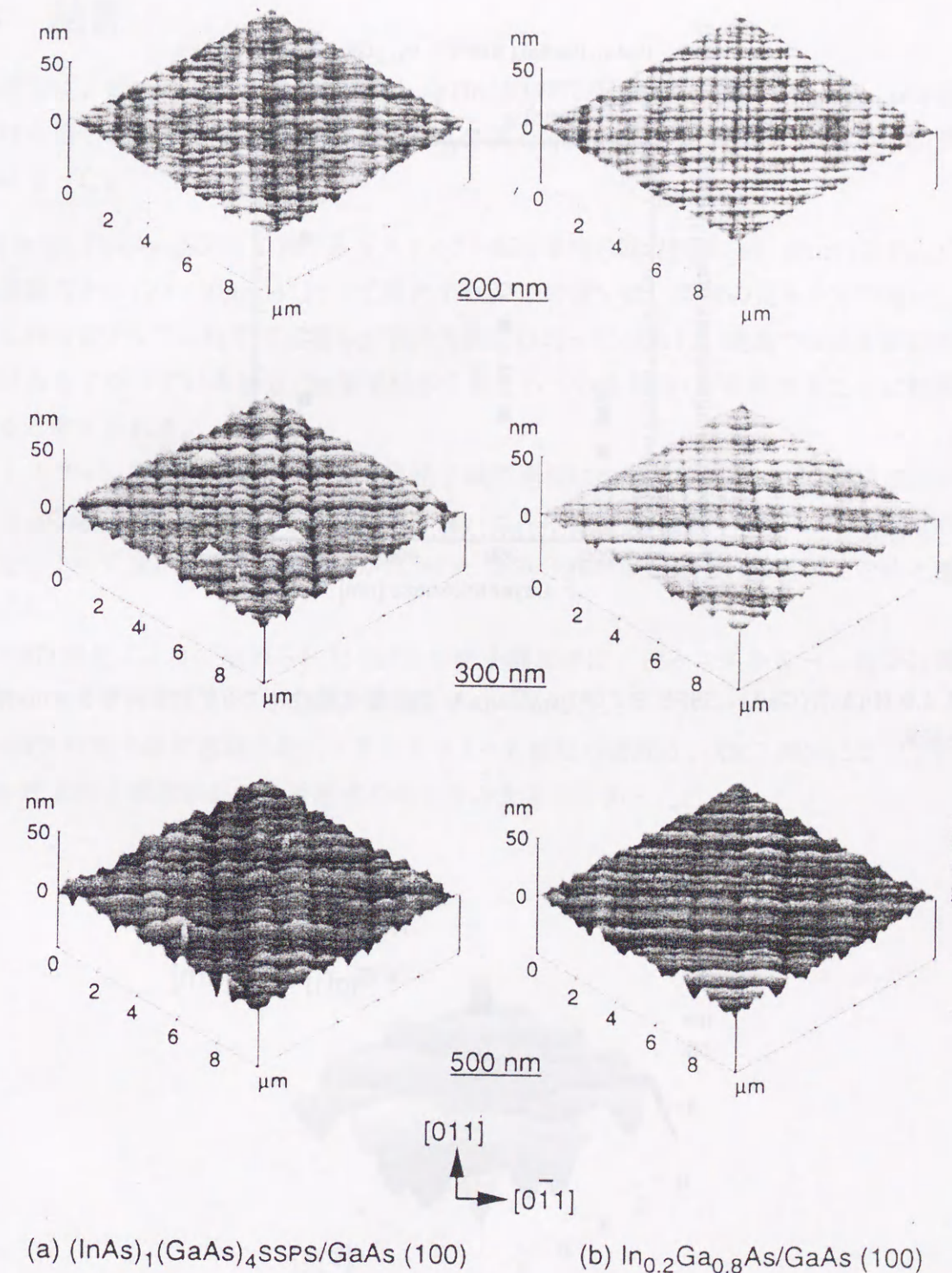


図 4.8 $(\text{InAs})_1(\text{GaAs})_4\text{SSPS}$ および $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶層表面の AFM 像.

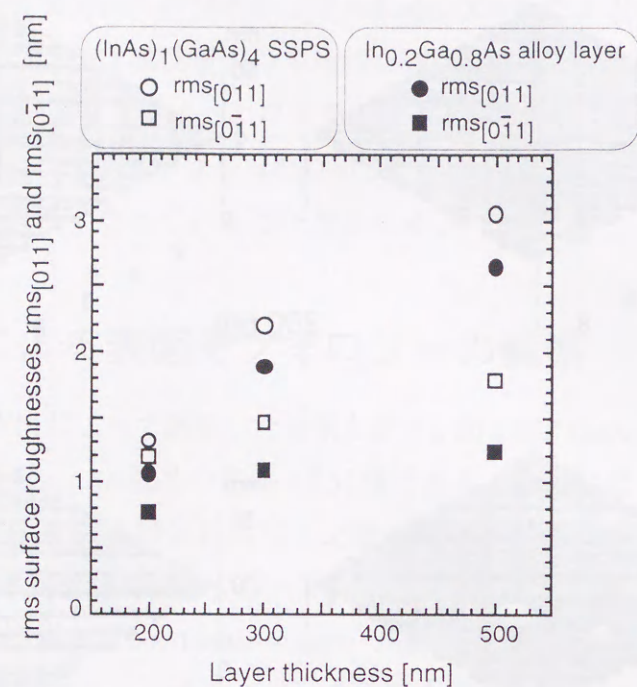


図 4.9 (InAs)₁(GaAs)₄SSPS および In_{0.2}Ga_{0.8}As 混晶層表面における平均表面粗さ (rms 値) の測定結果.

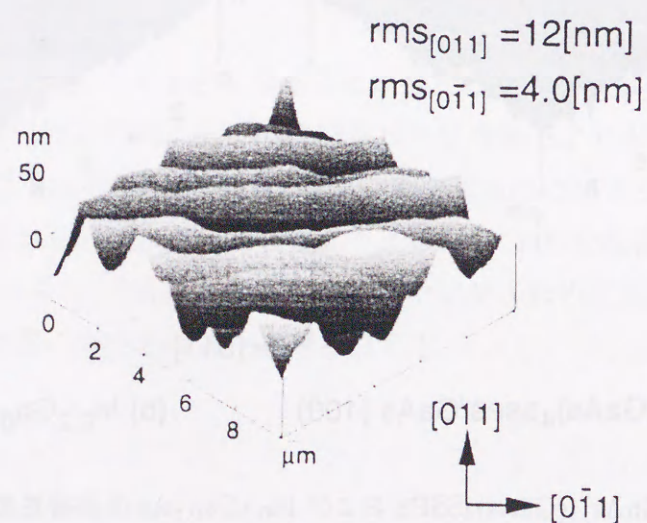


図 4.10 In_{0.2}Ga_{0.8}As 混晶層表面の AFM 像 (成長温度は 500°, 成長膜厚は 2μm).

4.6 結言

本章では、GaAs(100) 基板上に成長した (InAs)₁(GaAs)₄SSPS および In_{0.2}Ga_{0.8}As 混晶における格子緩和過程を XRD および TEM を用いて調べた。その結果、以下のことが明らかになった。

1. (InAs)₁(GaAs)₄SSPS におけるミスフィット転位発生の臨界膜厚 (30 - 40nm) は In_{0.2}Ga_{0.8}As 混晶のそれ (20 - 30nm) に比べて増大する。この違いは、両者の歪み分布の違い、すなわち SSPS では格子不正歪みが面内方向には均一に分布し、混晶では局所的に歪みが大きくなっている部分 (In 原子が多く集まっている部分) が存在することに起因すると考えられる。
2. ミスフィット転位の発生をともなう格子緩和過程においては (InAs)₁(GaAs)₄SSPS と In_{0.2}Ga_{0.8}As 混晶の間で格子緩和率に違いはみられなかった。ミスフィット転位の発生によって SSPS 中の周期構造が乱され、歪み分布が混晶のそれに近づくためと推察された。
3. XRD 測定によって求められた SSPS の格子緩和率は、歪みエネルギーと転位の核形成エネルギーにもとづく理論計算値とよく一致した。
4. SSPS の格子緩和過程で発生するミスフィット転位の密度は、XRD 測定によって決定される格子緩和率からの予測値の約半分の大きさであった。

参考文献

- [1] D. Saito, H. Yonezu, T. Kawai, M. Yokozeki and K. Pak, Jpn. J. Appl. Phys. **33**, L1205 (1994).
- [2] R. People and J. C. Bean, Appl. Phys. Lett. **47**, 322 (1985).
- [3] P. M. J. Maree, J. C. Barbour, J. F. van der Veen, K. L. Kavanagh, C. W. T. Bulle-Lieuwma and M. P. A. Viegars, J. Appl. Phys. **62**, 4413 (1987).
- [4] J. Y. Tsao, *Materials Fundamentalsof Molecular Beam Epitaxy* (Academic Press, San Diego, 1993).
- [5] G. R. Booker, J. M. Titchmarsh, J. Fletcher, D. R. Darby, M. Hockly and M. Al-Jassim, J. Cryst. Growth **45** (1978) 407.
- [6] K. H. Chang, P. K. Bhattacharya and R. Gibala, J. Appl. Phys. **66** (1989) 2993.
- [7] V. I. Vdovin, J. Cryst. Growth **172** (1997) 58.

第5章 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As-on-GaAs}$ における 表面クロスハッチパターンの形成 機構

5.1 緒言

格子不整合の比較的小さな系においては、成長表面にクロスハッチ・パターン (CHP) とよばれる凹凸が発生することが古くから知られている [1, 2]。CHP の伝搬方向は $\langle 011 \rangle$ であり、ヘテロ界面に発生する転位の伝搬方向と一致することから、CHP の発生がミスフィット転位の発生に関係した現象であることは認識されてきた。また、明瞭な CHP が現れるかどうか、結晶成長が正常だったかどうかの指標にもなってきた。しかし、HEMT や量子井戸レーザのような電子・光デバイスの作製過程では、平坦な表面をもつ成長層が求められる。したがって、CHP による表面の平坦性低下を抑制する必要がある。第3章で述べた $\text{InP/SSPSs/GaAs/SSPSs/GaP/Si}$ 構造の表面においても CHP は形成される。

CHP は格子不整合の小さな系、例えば InGaAs-on-GaAs [3-7] や SiGe-on-Si [8-11] などの系で観察される。また、CHP による凹凸の大きさは膜厚の増大にともなって大きくなる。一方で、格子不整合歪みは膜厚の増加にともなって徐々に緩和されていく。したがって、CHP の形成過程を成長層の格子緩和過程と関連づけて議論する必要がある。また、CHP による凹凸を抑制する技術は確立されていない。そこで、本章では $\text{In}_{0.2}\text{Ga}_{0.8}\text{As-on-GaAs}$ における CHP 形成過程を調べ、CHP による表面の平坦性低下を抑制する技術を開発することを目的とした。

5.2 実験方法

基板には $\text{GaAs}(100)$ 、 $\text{GaP}(100)$ および $\text{InP}(100)$ の3種類を用いた。 GaAs 基板は有機洗浄の後、硫酸エッチングを30秒間行なった。 GaP 基板については、王水 ($\text{HNO}_3:\text{HCl}:\text{H}_2\text{O} = 1:2:2$, 50°C) によるエッチングを2分間行なった。 InP 基板は硫酸過水 ($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 3:1:1$) によるエッチングを1分間、次いでブロム・メタノール ($\text{Br}_2:\text{CH}_3\text{OH} = 1:500$) に

よるエッチングを10分間行なった。

GaAs 基板には、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶を成長した。成長条件を表5.1に示す。 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶の成長温度は350から500°Cの範囲で、成長膜厚は15nmから4 μm の範囲で変化させた。

次に、InGaAs-on-GaAs ヘテロエピタキシーにおける CHP の成長過程を調べるために、 $(\text{InAs})_1(\text{GaAs})_7\text{SSPS}$ と $(\text{GaAs})_1(\text{GaP})_3\text{SSPS}$ をそれぞれ GaAs 基板と GaP 基板に成長した。試料構造と成長条件をそれぞれ図5.1と表5.2に示す。両者ともに成長温度は500°C、成長膜厚は500nmとした。 $(\text{InAs})_1(\text{GaAs})_7\text{SSPS}/\text{GaAs}$ 構造と $(\text{GaAs})_1(\text{GaP})_3\text{SSPS}/\text{GaP}$ 構造は、ともに格子不整合が約0.9%で、圧縮応力が成長層に発生する系である。

次に、CHP を示す InGaAs 層表面において、In 原子および Ga 原子がどのように固相中へ取り込まれているかを調べた。この目的のために、 $\text{InAs}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造および $\text{GaAs}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{InP}$ 構造を作製した。図5.2に試料構造を、表5.3に成長条件をそれぞれ示す。 $\text{InAs}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造および $\text{GaAs}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{InP}$ 構造では、CHP を示す InGaAs 表面に InAs および GaAs の三次元成長島を意図的に形成し、その分布を調べることによって In 原子および Ga 原子の固相中への取り込みの様子を推定するねらいがある。一方で、下層の InGaAs 層は二次元的に成長しなければならない。なぜなら、本研究では、格子不整合の比較的小さな系における CHP の形成過程を調べることを目的としているからである。格子不整合の大きな系では成長初期に成長層の三次元化が起こる。また、貫通転位も多数発生する。したがって、表面モフォロジーの形成過程はきわめて複雑になると推察され、本研究の対象外としている。 $\text{InAs}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造において InAs と $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ との間の格子不整合は5.7%であり、InAs の三次元成長島を形成するのに十分な大きさである。また、GaAs 基板上的 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ は、格子不整合が1.4%と比較的小さいために二次元成長し、表面に CHP が発生する。

一方で、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 上に GaAs を成長すると格子不整合が小さいために GaAs は二次元的に成長し、GaAs の三次元成長島を形成できない。GaAs の三次元成長島を形成するためには下層の InGaAs の In 組成を大きくする必要がある。しかし、GaAs 基板上に In 組成 x が0.25を越えるような $\text{In}_x\text{Ga}_{1-x}\text{As}$ を成長すると、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層は三次元化し、本研究の目的からはずれる。GaAs は三次元化し、かつ、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ は二次元成長する構造が必要である。そこで、GaAs 三次元成長島の分布を調べるために、InP 基板を使い、 $\text{GaAs}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{InP}$ 構造を用いた。この構造では、GaAs と $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ の間の格子不整合が5.0%あり、この値は GaAs 三次元成長島を形成するのに十分な大きさである。しかも、 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ と InP 基板の間の格子不整合は1.2%と比較的小さく、 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ は二次元的に成長し、表面には CHP を形成する。

$\text{InAs}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造の作製においては、はじめに、GaAs 基板上に膜厚500nmの $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層を成長温度500°Cで成長した。その後、膜厚2ML相当の InAs を $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層上に成長した。InAs の成長温度は同じく500°Cとした。一方の $\text{GaAs}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{InP}$ 構造の成長においては、はじめに、InP 基板上に膜厚500nmの $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層を成長温度420°Cで成長した。その後、膜厚5ML相当の GaAs を成長温度500°Cで成長した。RHEED 観察によって、最上層の InAs および GaAs は S-K モードで成長することを確認し、InAs および GaAs の三次元島が発生していることを確認した。

表 5.1 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ の成長条件

基板	GaAs(100)just
前処理	H_2SO_4 , 30sec
熱処理	630°C, 20min, As_4 分子線照射下
GaAs ホモエピタキシャル層	
成長方法	MBE 法
基板温度	580°C
膜厚	100 nm
$\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層	
成長方法	MBE 法
基板温度	350°C, 420°C, 500°C
膜厚	15 nm ~ 4 μm
分子線圧力	$P_{\text{Ga}} = 3.6 \times 10^{-7}$ Torr
	$P_{\text{In}} = 1.7 \times 10^{-7}$ Torr
	$P_{\text{As}_4} = 2.0 \times 10^{-5}$ Torr

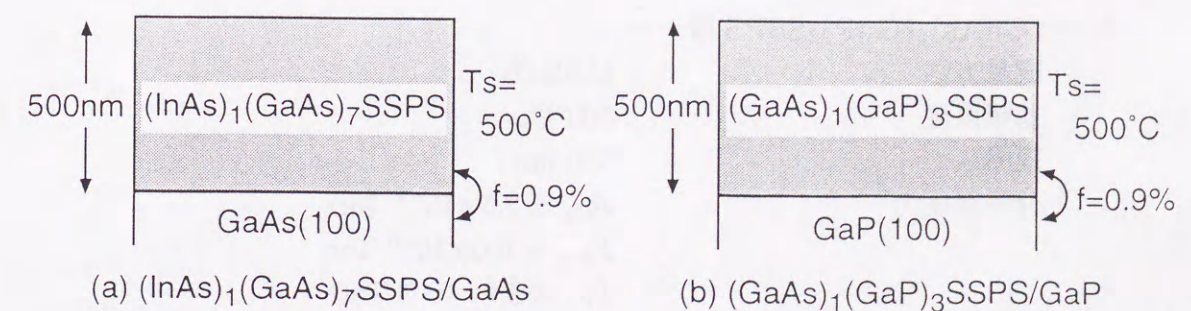


図 5.1 $(\text{InAs})_1(\text{GaAs})_7\text{SSPS}/\text{GaAs}$ および $(\text{GaAs})_1(\text{GaP})_3\text{SSPS}/\text{GaP}$ の試料構造

表 5.2 (InAs)₁(GaAs)₇SSPS/GaAs および (GaAs)₁(GaP)₃SSPS/GaP の成長条件

(InAs) ₁ (GaAs) ₇ SSPS/GaAs 構造	
基板	GaAs(100)just
前処理	H ₂ SO ₄ , 30sec
熱処理	630°C, 20min, As ₄ 分子線照射下
GaAs ホモエピタキシャル層	
成長方法	MBE 法
基板温度	580°C
膜厚	100 nm
(InAs) ₁ (GaAs) ₇ SSPS 層	
成長方法	MBE 法
基板温度	500°C
膜厚	500 nm
分子線圧力	$P_{\text{Ga}} = 2.5 \times 10^{-7}$ Torr $P_{\text{In}} = 1.5 \times 10^{-7}$ Torr $P_{\text{As}_4} = 6.0 \times 10^{-6}$ Torr
(GaAs) ₁ (GaP) ₃ SSPS/GaP 構造	
基板	GaP(100)just
前処理	HNO ₃ :HCl:H ₂ O =1:2:2, 50°C, 2min
熱処理	620°C, 20min, P ₂ 分子線照射下
GaP ホモエピタキシャル層	
成長方法	MBE 法
基板温度	580°C
膜厚	100 nm
(GaAs) ₁ (GaP) ₃ SSPS 層	
成長方法	MBE 法
基板温度	500°C
膜厚	500 nm
分子線圧力	$P_{\text{Ga}} = 2.5 \times 10^{-7}$ Torr $P_{\text{As}_4} = 6.0 \times 10^{-6}$ Torr $P_{\text{P}_2} = 3.0 \times 10^{-6}$ Torr

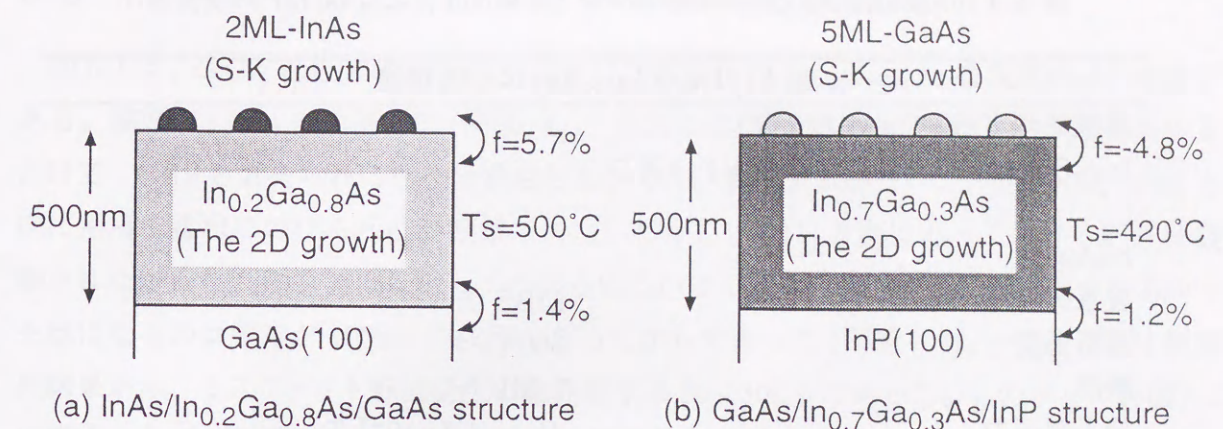


図 5.2 InAs/In_{0.2}Ga_{0.8}As/GaAs および GaAs/In_{0.7}Ga_{0.3}As/InP の試料構造

表 5.3 InAs/In_{0.2}Ga_{0.8}As/GaAs および GaAs/In_{0.7}Ga_{0.3}As/InP の成長条件

InAs/In _{0.2} Ga _{0.8} As/GaAs 構造	
基板処理方法、GaAs および In _{0.2} Ga _{0.8} As の成長条件は表 5.1 に同じ.	
InAs 層	
成長方法	MBE 法
基板温度	500°C
膜厚	2 ML
分子線圧力	$P_{\text{In}} = 1.7 \times 10^{-7}$ Torr $P_{\text{As}_4} = 2.0 \times 10^{-6}$ Torr
GaAs/In _{0.7} Ga _{0.3} As/InP 構造	
基板	InP(100)just
前処理	H ₂ SO ₄ :H ₂ O ₂ :H ₂ O = 3:1:1, 50°C, 1min Br ₂ :CH ₃ OH = 1:500, 10min
熱処理	500°C, 20min, P ₂ 分子線照射下
InP ホモエピタキシャル層	
成長方法	MBE 法
基板温度	420°C
膜厚	100 nm
分子線圧力	$P_{\text{In}} = 6.0 \times 10^{-6}$ Torr $P_{\text{P}_2} = 3.0 \times 10^{-6}$ Torr
In _{0.7} Ga _{0.3} As 層	
成長方法	MBE 法
基板温度	420°C
膜厚	500 nm
分子線圧力	$P_{\text{Ga}} = 2.5 \times 10^{-7}$ Torr $P_{\text{In}} = 6.0 \times 10^{-6}$ Torr $P_{\text{As}_4} = 3.0 \times 10^{-6}$ Torr
GaAs 層	
成長方法	MBE 法
基板温度	500°C
膜厚	5 ML
分子線圧力	$P_{\text{Ga}} = 2.5 \times 10^{-7}$ Torr $P_{\text{As}_4} = 3.0 \times 10^{-6}$ Torr

5.3 クロスハッチ・パターンの初期形成過程

図 5.3 は、GaAs 基板上に成長温度 420°C で成長した In_{0.2}Ga_{0.8}As 層表面の AFM 像である。膜厚が 15nm の段階では (同図 (a))、表面には楕円形のマフォロジーが観察されるだけで、CHP と考えられる凹凸は存在しなかった。膜厚が 50nm では (同図 (b))、[011] 方向に沿って線状にのびる凹凸が観察された。しかし、[0 $\bar{1}$ 1] 方向に沿ってのびる凹凸は観察されなかった。[0 $\bar{1}$ 1] 方向に沿ってのびる凹凸がはっきりと観察され、凹凸がクロスハッチ状になるのは膜厚が 100nm の段階になってからであった (同図 (d))。一方、TEM 観察の結果から、ミスフィット転位発生の臨界膜厚は 20 - 30nm であった。したがって、図 5.4 に示すように、膜厚 50nm の試料のヘテロ界面には [011] 方向および [0 $\bar{1}$ 1] 方向に沿ってのびるミスフィット転位が観察された。しかし、この試料の表面には [011] 方向に沿ってのびる凹凸しか観察されなかった (図 5.3(b))。これより、CHP の発生は、ミスフィット転位の発生後すぐに起こるものではないことがわかった。

SiGe-on-Si ヘテロエピタキシーにおいて、格子緩和過程で 60° 転位の pile-up (同じ、もしくは互いに接近したすべり面上に伝搬する転位の集まり) が発生し、これらの転位群が表面に多数のステップを形成することによって CHP が形成されることが報告されている [8,9]。しかし、本研究の試料中には、図 5.4 に示すように転位の pile-up は観察されなかった。したがって、CHP の形成は、ミスフィット転位の発生によって表面での成長機構が変化し、局所的に成長が促進される部分が生じることによって起こると推察される。

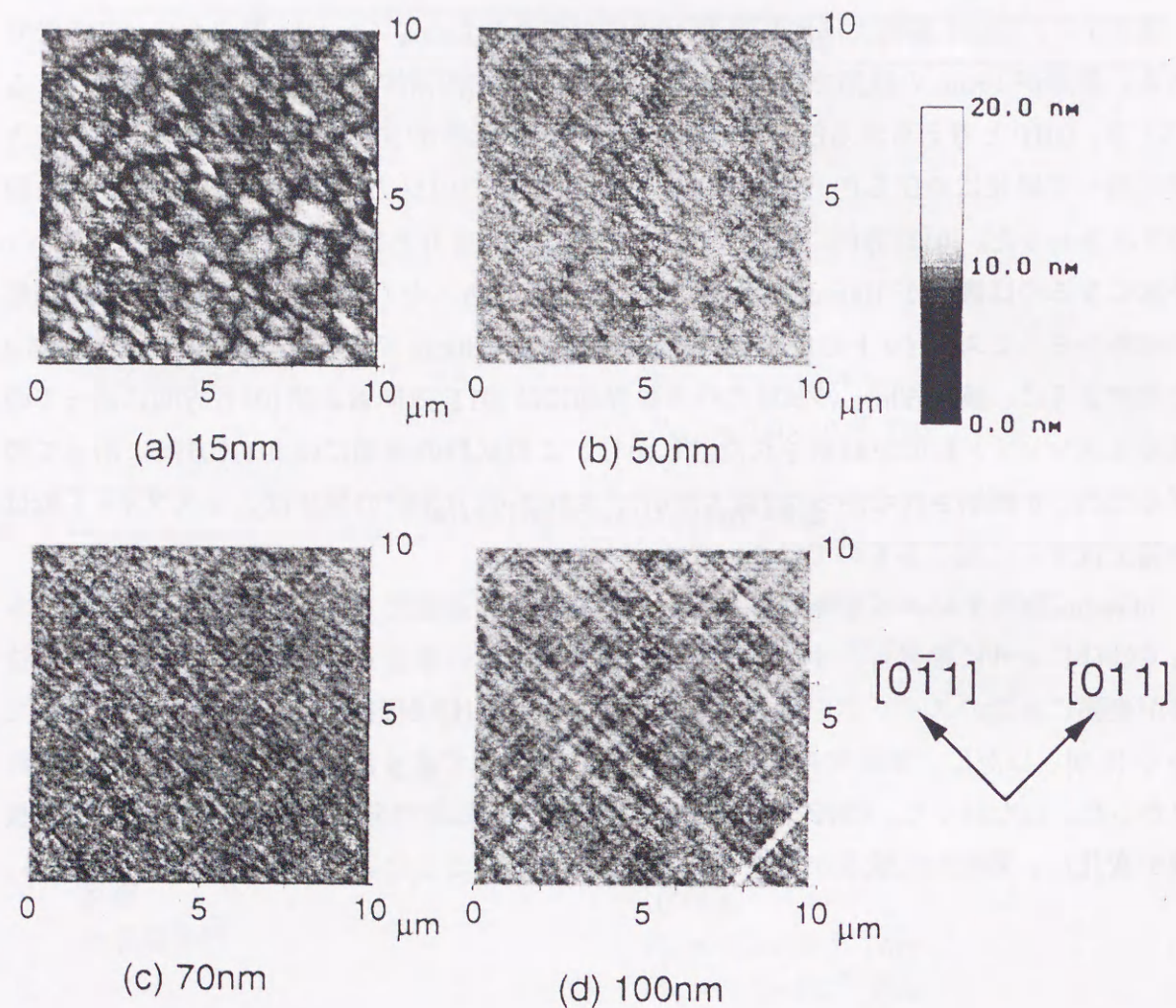


図 5.3 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造表面の AFM 像 ($\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ の成長膜厚は (a) 15nm, (b) 50nm, (c) 70nm および (d) 100nm である。成長温度は 420°C 。

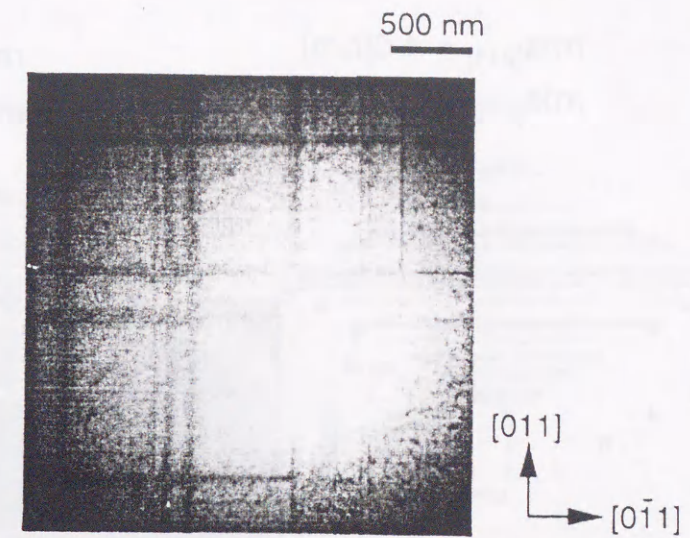


図 5.4 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造におけるヘテロ界面の平面 TEM 像 (成長温度は 420°C 、成長膜厚は 50nm)。

5.4 クロスハッチ・パターンの成長機構

図 5.5 に $(\text{InAs})_1(\text{GaAs})_7\text{SSPS}/\text{GaAs}$ 構造と $(\text{GaAs})_1(\text{GaP})_3\text{SSPS}/\text{GaP}$ 構造における表面の AFM 像を示す。同図 (a) に示すように、 $(\text{InAs})_1(\text{GaAs})_7\text{SSPS}/\text{GaAs}$ 構造の表面には異方性のある CHP が形成された。すなわち、 $[0\bar{1}1]$ 方向に沿ってのびるリッジの高さが $[011]$ 方向に沿ってのびるリッジの高さより高い。

一方、 $(\text{GaAs})_1(\text{GaP})_3\text{SSPS}/\text{GaP}$ 構造では (同図 (b))、対称な CHP が観察された。すなわち、 $[0\bar{1}1]$ 方向に沿ってのびるリッジの高さと $[011]$ 方向に沿ってのびるリッジの高さはほぼ等しい。

$(\text{InAs})_1(\text{GaAs})_7\text{SSPS}/\text{GaAs}$ 構造において、 $[0\bar{1}1]$ 方向に沿ってのびる凹凸の周期と平均高低差はそれぞれ $1\mu\text{m}$ と 8nm であった。ヘテロ界面に 60° 転位が 1 本発生すると表面には 1 分子層の高さのステップが形成され则认为られる。もしも、AFM で観察された凹凸が、転位が表面に導く 1 分子層ステップの集まりであると仮定すると、 $[0\bar{1}1]$ 方向に沿ってのびるミスフィット転位が $1\mu\text{m}$ あたり 56 本以上必要である。しかし、TEM 観察によって見積もられた転位密度は $19\mu\text{m}^{-1}$ であった。したがって、 $(\text{InAs})_1(\text{GaAs})_7\text{SSPS}/\text{GaAs}$ 構造表面における CHP の形成過程を説明するためには局所的に成長速度が増加する (あるいは減少する) 成長機構を考える必要がある。

一方、 $(\text{GaAs})_1(\text{GaP})_3\text{SSPS}/\text{GaP}$ 構造において凹凸の周期は約 $1\mu\text{m}$ であった。また、平

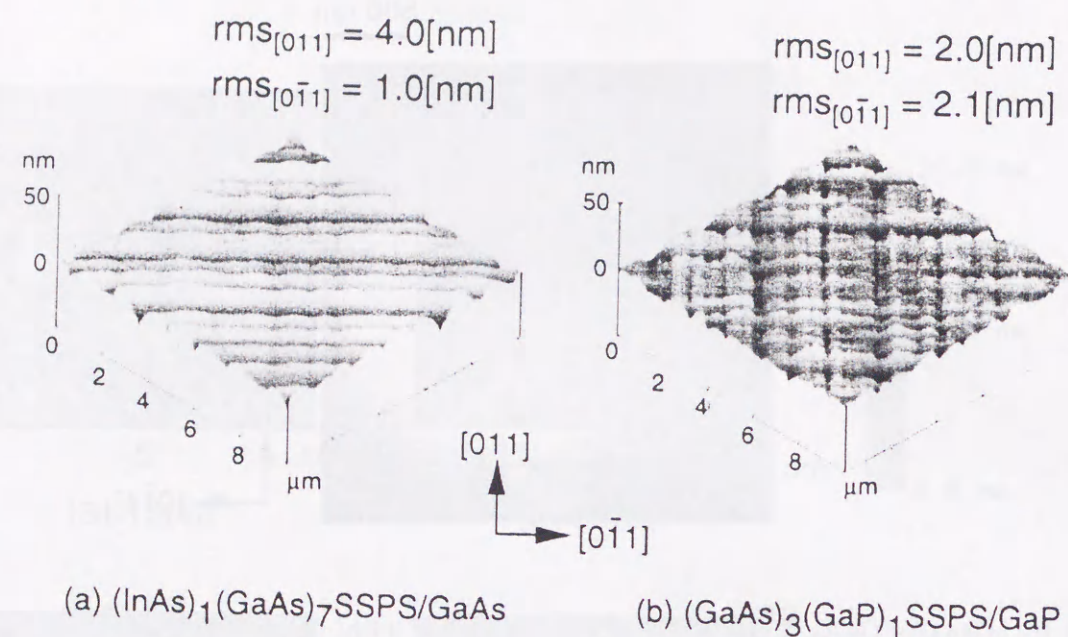


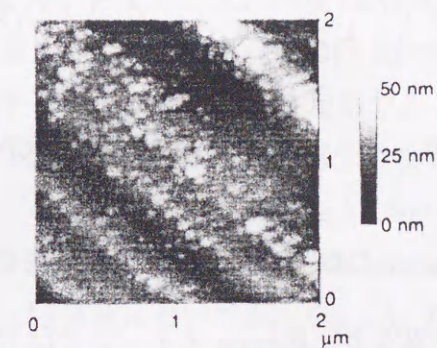
図 5.5 $(\text{InAs})_1(\text{GaAs})_7\text{SSPS}/\text{GaAs}$ 構造と $(\text{GaAs})_3(\text{GaP})_1\text{SSPS}/\text{GaP}$ 構造における表面の AFM 像

均的な凹凸の高低差は約 3nm だった。このような凹凸を 60° 転位の導入による表面ステップによって形成するためには、ヘテロ界面には $1\mu\text{m}$ あたり 20 本以上の転位が必要になる。実際に、TEM 観察によって、 $[0\bar{1}1]$ 方向に沿ってのびるミスフィット転位の密度を測定すると、その密度は $21\mu\text{m}^{-1}$ であった。

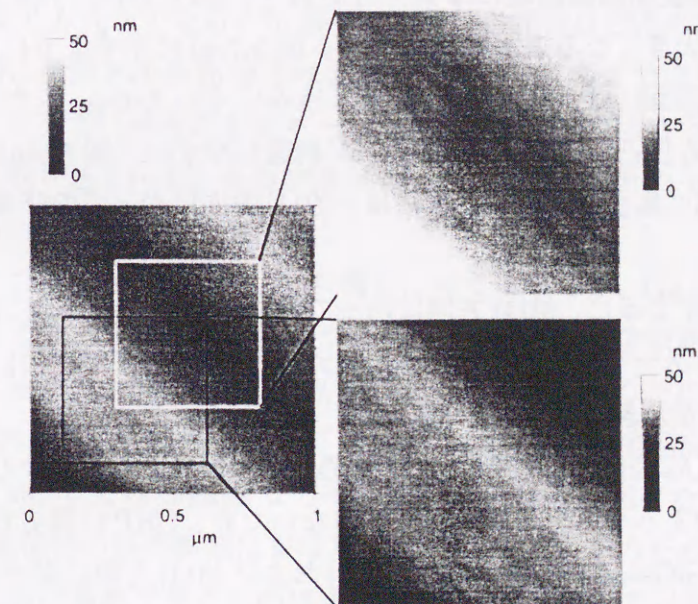
図 5.6 は、 $\text{InAs}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造および $\text{GaAs}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{InP}$ 構造における表面の AFM 像である。図 5.6(a) および (b) にみられる白い斑点がそれぞれ InAs および GaAs の三次元成長島である。図 5.6(a) より、InAs 三次成長島が $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 表面に形成された凹凸の凸部に集中して分布してことがわかった。このような三次元成長島の不均一な分布は InGaP 上の InP 三次元成長島の分布においても観察される [12]。

一方、図 5.6(b) から GaAs 三次元成長島の分布がわかるが、GaAs の成長島は下層の凹凸に無関係にほぼ一様に分布している。これらの結果から、InGaAs-on-GaAs ヘテロエピタキシーにおいては、固相中への In 原子の不均一な取り込みが CHP の成長に大きく寄与していることが明らかになった。

図 5.7 は、InGaAs-on-GaAs ヘテロエピタキシーにおける CHP の成長過程のモデルである。III-V 族化合物半導体の (100) 面には二種類のステップが存在する。 $[0\bar{1}1]$ 方向に平行な A-type ステップと $[011]$ 方向に平行な B-type ステップである。この二つのステップ



(a) 2ML-InAs/ $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ structure



(b) 5ML-GaAs/ $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{InP}$ structure

$[0\bar{1}1]$ $[011]$

図 5.6 $\text{InAs}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造および $\text{GaAs}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{InP}$ 構造における表面の AFM 像

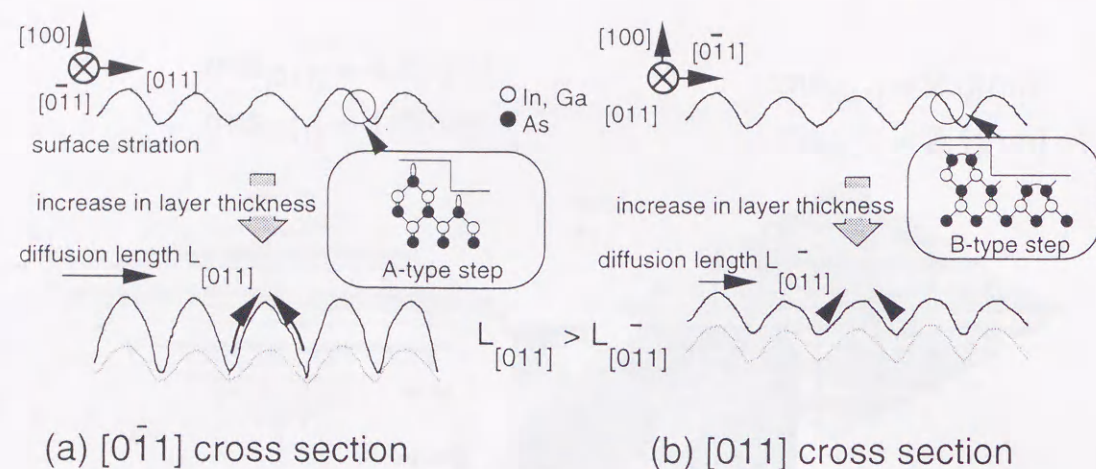


図 5.7 InGaAs-on-GaAs における CHP の成長モデル

では III 族原子の取り込み確率が異なり、B-type ステップでは III 族原子の取り込み確率が A-type ステップよりも大きくなることを STM 観察により報告されている [13, 14]。換言すれば、III 族原子の表面拡散距離には異方性があり、 $[011]$ 方向への拡散距離は $[0\bar{1}1]$ 方向への拡散距離より大きくなることを意味する。図 5.7(a) に示すように、 $[0\bar{1}1]$ 方向に沿ってのびるリッジの斜面には、III 族原子を取り込みにくい A-type ステップが現れる。したがって、このような凹凸の凸部には In 原子が到達しやすい。図 5.6(a) に示したように In 原子が凹凸の凸部に集まりやすいときには、 $[0\bar{1}1]$ 方向に沿ってのびる凹凸の大きさは大きくなりやすい。

一方、図 5.7(b) に示すように、 $[011]$ 方向に沿ってのびるリッジの斜面には III 族原子を取り込みやすい B-type ステップが存在する。したがって、In 原子が斜面に取り込まれる確率が高くなり、凹凸の大きさは増大しにくい。

以上の理由から InGaAs 表面においては CHP の異方性が現れるものと考えられる。SiGe-on-Si の場合は、前述のようなステップの異方性がないため、CHP に異方性は生じないと考えられる。実際に、SiGe-on-Si においては $[0\bar{1}1]$ および $[011]$ 方向に沿った対称な CHP が観察されている [8-11]。

第 4 章で述べたように、ミスフィット転位の発生による格子不整合歪みの緩和は膜厚の増加に対して漸進的に進行する。また、CHP の発生は膜厚の不均一の発生と考えることができる。したがって、CHP の発生した成長層では残留歪みが不均一に分布していると考えられる。すなわち、凹凸の凸部 (膜厚が局所的に厚い部分) では残留歪みが小さく、凹部 (膜厚が局所的に薄い部分) では残留歪みが大きくなっていると推察される。したがって、凸部付近では、凹部付近に比べると、横方向の格子間隔が InAs の格子定数に近くなっ

ていると考えられる。そのため、図 5.6(a) で観察された InAs 成長島は内部の歪みエネルギーを最小化するために凸部に集中したものと思われる。

InAs/GaAs 超格子の成長において、InAs のコヒーレントな三次元成長島を縦方向 (成長方向) に並べることができることが報告されている [17]。はじめに GaAs 上に InAs の三次元成長島を成長する。その上に、薄い (50ML 程度の) GaAs を成長する。このとき、表面は GaAs 層で埋められる。そして、次に再度 InAs 三次元成長島を形成すると、その島は下層の島の真上に位置するようになる。この現象の理由は、同様に InAs 三次元成長島内部の歪みエネルギーを用いて、次のように理解できる [17]。第 1 層 InAs 成長島の真上付近の GaAs には引張り歪みが発生し、この部分で横方向格子間隔がわずかに InAs の格子定数に近づいている。そのため、第 2 層の InAs 島は内部の歪みエネルギーを最小化するために歪んだ GaAs の上に、すなわち第 1 層の InAs 成長島の上に位置するようになる。

InAs/ $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ /GaAs 構造において $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 表面に形成された凹凸の周期は平均すると約 $1\mu\text{m}$ である。InAs 成長中の In 原子の表面拡散距離は 450°C で約 $2\mu\text{m}$ と報告されている [16]。拡散距離は成長温度の上昇によって増大するから、 500°C での In の拡散距離は $2\mu\text{m}$ よりも大きくなる。In 原子の表面拡散距離は凹凸の周期よりも大きくなるため、成長表面に供給された In 原子は固相に取り込まれるまでに凸部を何本も通過することができる。そして、歪みエネルギーがなるべく小さくなるような位置において InAs として固相中に取り込まれる。その結果が、図 5.6(a) に示された InAs 成長島の分布であると考えられる。

この機構を GaAs/ $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ /InP 構造に当てはめると、GaAs 成長島は凹凸の凹部に集中して分布すると予想される。しかし、Ga 原子の表面拡散距離は In 原子のそれに比べてきわめて短い [15, 16] ため、In 原子のように自由に動くことができない。GaAs 成長中の Ga 原子の表面拡散距離は 560°C で $2\mu\text{m}$ 、 530°C で約 500nm と報告されている [15]。したがって、 500°C では 500nm よりもかなり短い拡散距離になると予想される。また、 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 表面の凹凸の周期はやはり $1\mu\text{m}$ 程度ある。そのため、表面に供給された Ga 原子のうち凸部に移動できるものは少なく、多くの Ga 原子は最初の位置からあまり移動できずにそのまま、GaAs として固相中に取り込まれるものと思われる。その結果、図 5.6(b) のように GaAs 成長島は均一に分布したと理解される。

さて、ここで第 4 章の 4.5 節に示した $(\text{InAs})_1(\text{GaAs})_4\text{SSPS}$ と $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶における表面ラフネスの違いについて考察する。図 4.8 および 4.9 に示したように、SSPS の表面ラフネスは混晶の場合に比べて大きくなった。両者の格子緩和率にほとんど違いがないことから、このラフネスの違いは成長機構の違いに起因していることがわかる。混晶の成長においては In 原子と Ga 原子は同時に成長表面に供給される。したがって、成長表面では

In 原子と Ga 原子が同時に表面拡散している。そのため、In 原子の表面拡散は、表面拡散距離の短い Ga 原子によって阻害されると予想される。一方、SSPS では In と Ga が周期的に供給される。そのため、In 原子の表面拡散は Ga 原子の表面拡散に阻害されない。そのため、SSPS の成長では In 原子の表面拡散距離が、混晶の成長の場合に比べて大きくなる。その結果、CHP による凹凸が大きくなったものと考えられる。

5.5 低温成長による表面ラフネスの低減

これまでの議論から、CHP による凹凸の増大を抑制するためには III 族原子の表面拡散を抑制する必要があることがわかった。そこで、成長温度と表面ラフネスの関係を調べた。図 5.8 は、GaAs 基板上に膜厚 500nm の $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ を成長温度のみを変化させて成長したときの表面 AFM 像である。成長温度を低下させることによって、CHP による凹凸の増大を抑制できていることがわかる。凹凸の大きさを定量的に調べるために、 $[011]$ 方向および $[0\bar{1}1]$ 方向に沿ったラインスキャンによって求めた平均粗さ (rms 値) $\text{rms}_{[011]}$ 、 $\text{rms}_{[0\bar{1}1]}$ の測定結果を図 5.9 に示す。また、同図中には膜厚が $2\mu\text{m}$ のときの測定結果も併せて示す。この図から、二つの知見が得られる。一つは成長温度を低下させることによって、 $\text{rms}_{[011]}$ すなわち $[0\bar{1}1]$ 方向に沿ってのびる凹凸の大きさを大幅に低減できること。二つめは、低温成長を行なった場合 (成長温度 350°C)、成長膜厚を増加させても、凹凸の大きさはほとんど変化しないことである。

しかし、一般に低温成長によって得られた結晶には、As アンチサイトのような点欠陥が多く含まれる [18]。そのため、デバイスに应用する結晶の成長においては成長温度を高くし、点欠陥の発生を極力抑える必要がある。したがって、高温成長における CHP の成長を抑制する手法が求められる。

図 5.10 は GaAs 基板上に成長した膜厚 $4\mu\text{m}$ の $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層の表面 AFM 像である。ただし、この試料では最初の $3\mu\text{m}$ を 350°C で、最後の $1\mu\text{m}$ を 500°C で成長した。厚さ $1\mu\text{m}$ の高温成長を行なったにも関わらず、表面の平坦性は良好であることがわかった。平均粗さは 350°C で成長した試料の場合とほぼ同じ値となり、表面ラフネスの増大を効果的に抑制できていることがわかった。

この構造における表面ラフネス低減機構のモデルを図 5.11 に示す。通常の高温成長では、格子緩和過程で不均一な残留歪みの分布が発生し、この分布にしたがって In 原子が不均一に固相中に取り込まれる。その結果、きわめて大きな凹凸が形成される (図 5.11(a))。一方、図 5.10 に示した構造では、最初の $3\mu\text{m}$ を低温 (350°C) で成長することによって In 原子の表面拡散を抑制し、凹凸の増大は抑制される。さらに格子不整合歪みは膜厚の増加

にともなって、緩和されていく。その結果、平坦かつ残留歪みのほとんどない成長層が得られる。この層の上であれば、高温成長すなわち In 原子の表面拡散を促進した成長を行なっても表面の平坦性は失われない (図 5.11(b))。以上の結果から、格子不整合をほぼ完全に緩和する層を低温で成長することによって、高温成長における CHP の成長を効果的に抑制できることが見出された。

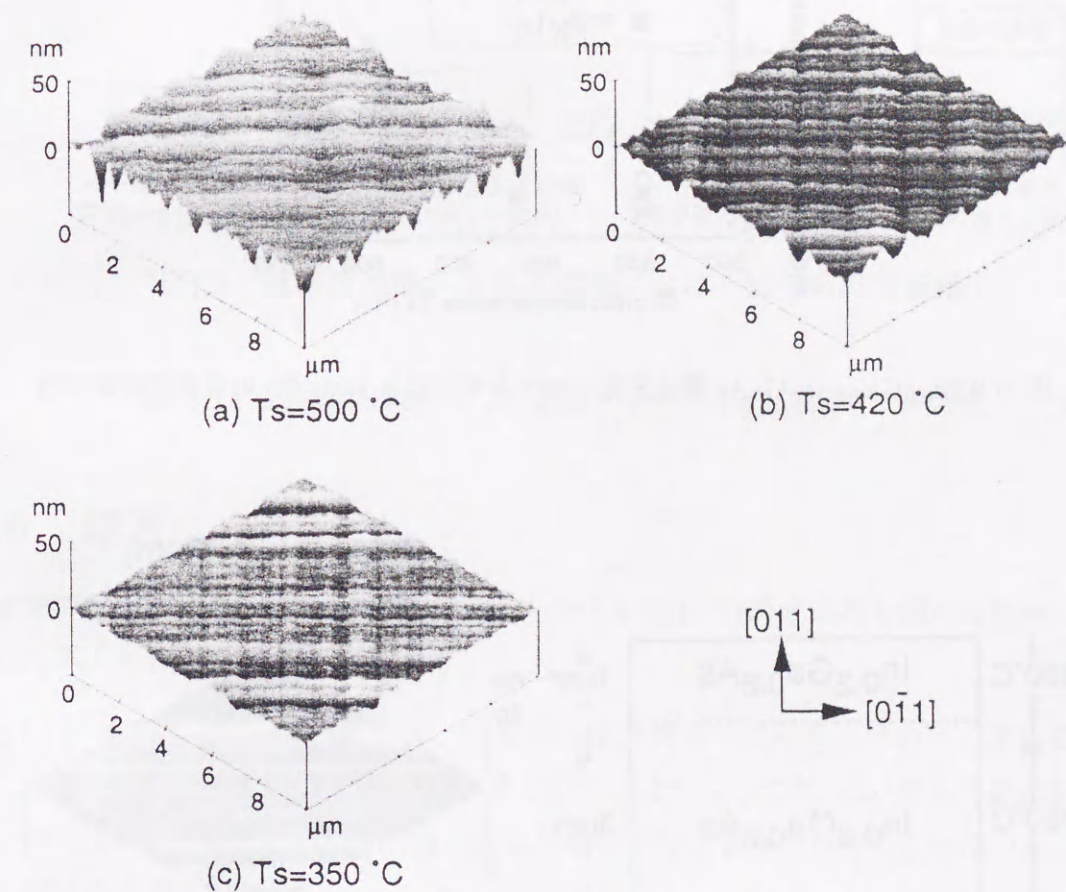


図 5.8 膜厚 500nm の $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造表面の AFM 像。成長温度は、(a) 500°C 、(b) 420°C 、(c) 350°C である。

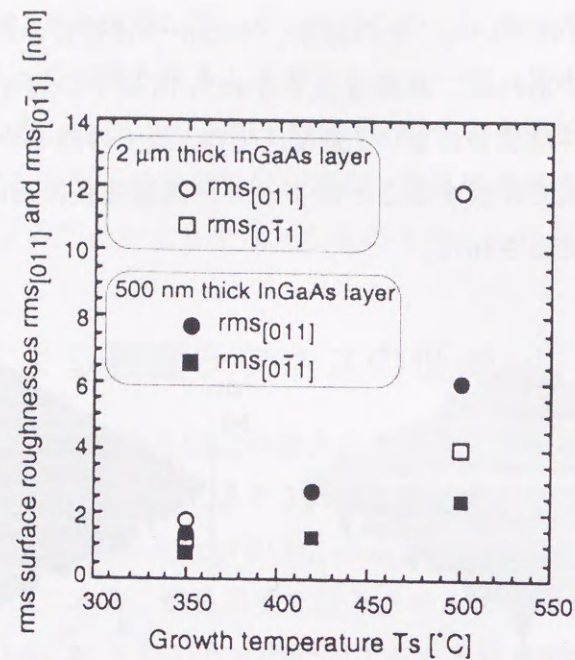


図 5.9 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造表面における平均粗さ (rms 値) の成長温度依存性

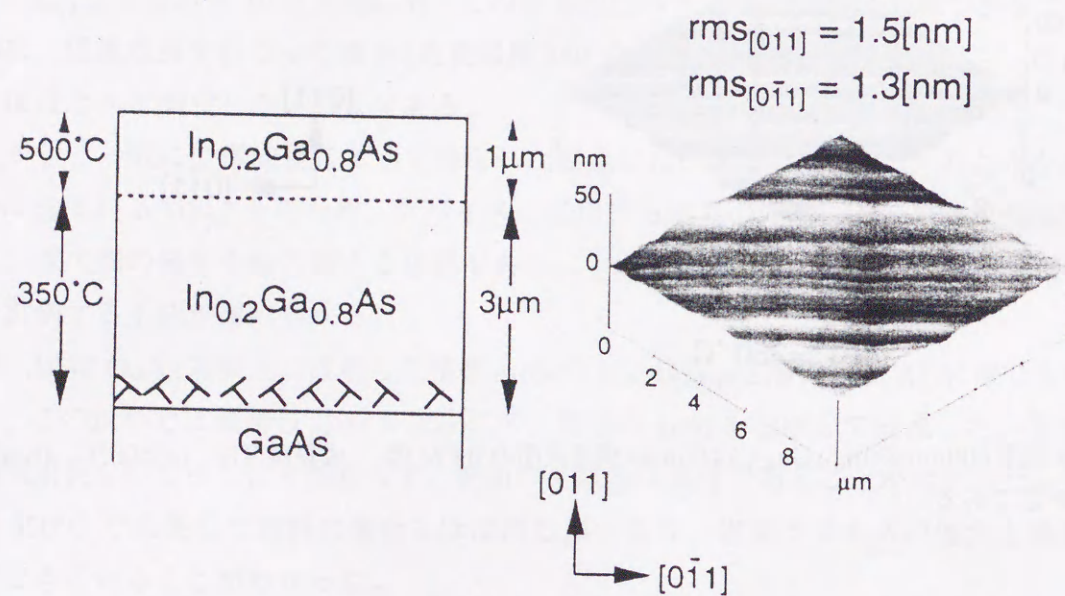
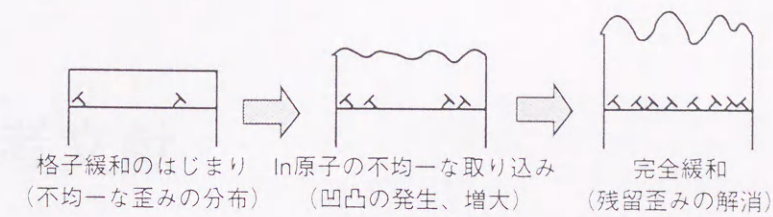
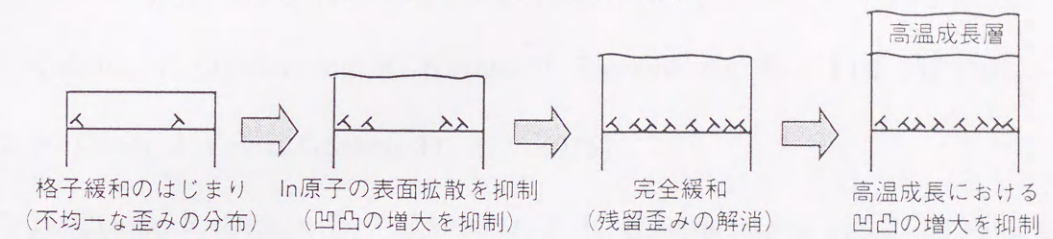


図 5.10 膜厚 $4\mu\text{m}$ の $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造表面の AFM 像 (最初の $3\mu\text{m}$ を 350°C で、最後の $1\mu\text{m}$ を 500°C でそれぞれ成長した)。



(a) 高温成長における凹凸の形成機構



(b) 低温成長層上の高温成長における凹凸の抑制機構

図 5.11 成長温度の違いによる表面ラフネスの増大および低減過程。

5.6 結言

本章では、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As-on-GaAs}(100)$ における CHP の形成過程を調べた結果、以下のことを明らかにした。

1. CHP を示す InGaAs 表面では、 In 原子は成長表面への不均一に取り込まれる。すなわち、 In 原子は凹凸の凸部に集中して取り込まれる。これは In 原子の表面拡散距離が大きいこと、凹凸の凸部では周囲より格子不整合歪みが小さくなっていることに起因すると考えられる。
2. CHP を示す InGaAs 表面では、 Ga 原子は成長表面へほぼ均一に取り込まれる。これは Ga 原子の表面拡散距離が小さいことに起因すると考えられる。
3. InGaAs-on-GaAs ヘテロエピタキシーにおける CHP の成長には In 原子の不均一な取り込みが主に寄与している。
4. 成長温度を低くし、 In 原子の表面拡散を抑制することによって CHP による凹凸の増大を抑制することができる。
5. 格子不整合をほぼ完全に緩和した層上においては、高温成長を行っても表面の平坦性を良好に保つことができる。

参考文献

- [1] S. Kishino, M. Ogirima and K. Kurata, *J. Electrochem. Soc.* **119**, 617 (1972).
- [2] G. H. Olsen, *J. Cryst. Growth* **31**, 223 (1975).
- [3] K. H. Chang, R. Gibala, D. J. Srolovitz, P. K. Bhattacharya, and J. F. Mansfield, *J. Appl. Phys.* **67**, 4093 (1990).
- [4] S. F. Yoon, *J. Vac. Sci. Technol. B* **11**, 562 (1993).
- [5] L. K. Howard, P. Kidd, and R. H. Dixon, *J. Cryst. Growth* **125**, 281 (1992).
- [6] C. Lavoie, T. Pinnington, E. Nodwell, T. Tiedje, R. S. Goldman, K. L. Kavanah, and J. L. Hutter, *Appl. Phys. Lett.* **67**, 3744 (1995).
- [7] R. Beanland, M. Aindow, T. B. Joyce, P. Kidd, M. Lourenço, P. J. Goodhew, *J. Cryst. Growth* **149**, 1 (1995).
- [8] S. Y. Shiryayev, F. Jensen, and J. W. Petersen, *Appl. Phys. Lett.* **64**, 3305 (1994).
- [9] M. A. Lutz, R. M. Feenstra, F. K. LeGoues, P. M. Mooney, and J. O. Chu, *Appl. Phys. Lett.* **66**, 724 (1995).
- [10] J. W. P. Hsu, E. A. Fitzgerald, Y. H. Xie, P. J. Silverman, and M. J. Cardillo, *Appl. Phys. Lett.* **61**, 1293 (1992).
- [11] S. B. Samavedam and E. A. Fitzgerald, *J. Appl. Phys.* **81**, 3108 (1997).
- [12] K. Häusler, F. Noll, and K. Eberl, *Solid-State Electron.* **40**, 803 (1996).
- [13] I. Tanaka, S. Ohkouchi and A. Hashimoto, *Jpn. J. Appl. Phys.* **31**, 2216 (1992).
- [14] M. D. Pashley, K. W. Haberern and J. M. Gaines, *Appl. Phys. Lett.* **58**, 406 (1992).

- [15] M. Hata, T. Isu, A. Watanabe, and Y. Katayama, Appl. Phys. Lett. **56**, 2542 (1990).
- [16] X. Q. Shen and T. Nishinaga, J. Cryst. Growth **146**, 374 (1995).
- [17] Q. Xie, A. Madhukar, P. Chen, and N. P. Kobayashi, Phys. Rev. Lett. **75**, 2542 (1995).
- [18] See, for example, D. C. Look, Thin Solids Films **231**, 61 (1993).

第6章 Siに格子整合するGaPN混晶による結晶欠陥発生の抑制

6.1 緒言

第3章で、InP-on-Siのような格子不整合がひじょうに大きな系においては、貫通転位の発生を抑制するために SSPS を含む多層構造が必要であることを示した。この構造では、Si と InP 層との間に8層の多層構造が導入され、成長プロセスが複雑化する。さらに、各ヘテロ界面には高密度にミスフィット転位が導入されるため、転位どうしの相互作用によって貫通転位が発生する恐れがある。また、第5章ではクロスハッチ・パターン (CHP) による凹凸の増大を抑制するために厚い ($3\mu\text{m}$) 低温成長層が必要であることを示した。しかし、平坦性改善のために、この手法を第3章で述べたような多層構造に応用することは困難である。さらに、OEIC への応用を考慮した場合、結晶成長プロセスはできる限り簡単で、かつ膜厚は薄いことが望ましい。

貫通転位や CHP の発生といった問題の根本的な原因は、窒化物を除くすべての III-V 族化合物半導体の格子定数が Si のそれより大きく、Si 基板上の成長では必ず格子緩和が生じることに起因する。もしも、Si に格子整合する III-V 族化合物半導体を創出できれば、本質的に格子緩和が生じないため、貫通転位や CHP は発生しないと期待される。

Si 上の III-V 族化合物半導体の成長では、格子不整合に起因する問題の他に、極性/非極性界面の存在に起因して、アンチフェーズ・ドメイン (APD) が発生する可能性がある。したがって、APD の発生を抑制しながら、Si に格子整合する材料を成長できれば、無欠陥 III-V 族結晶を Si 上に実現できる可能性がある。

1990 年代に入って、GaAs や GaP などの III-V 族化合物半導体に数パーセントの組成で窒素 (N) を混ぜた $\text{GaAs}_{1-x}\text{N}_x$ や $\text{GaP}_{1-x}\text{N}_x$ 混晶の成長が可能であることが示された [1, 2]。これらの混晶では N 組成の増加にともなって格子定数は減少する。N 組成に対する格子定数の変化が、ベガード則 (比例配分則) にしたがうと仮定すると、 $\text{GaAs}_{1-x}\text{N}_x$ 混晶では $x = 20\%$ で、 $\text{GaP}_{1-x}\text{N}_x$ 混晶では $x = 2\%$ でそれぞれ Si に格子整合させることができる (GaN の格子定数として立方晶 GaN の 4.5\AA を用いた場合) [3]。したがって、 $\text{GaAs}_{1-x}\text{N}_x$ や $\text{GaP}_{1-x}\text{N}_x$ 混晶を用いることによって Si 基板上に無欠陥の成長層を得られる可能性が

ある。

そこで、本章では、Siにほぼ格子整合する GaAsPN 混晶を用いた発光素子(量子井戸構造)のモデルを具体的に提案し、実現に必要な条件を明らかにする。次いで、Si 基板上にほぼ格子整合する GaPN 混晶を成長し、結晶欠陥の発生を抑制することを目的とする。

6.2 Siに格子整合する $\text{Ga}(\text{As}_{1-y}\text{P}_y)_{1-x}\text{N}_x$ 量子井戸構造の提案

GaPN 混晶および GaAsPN 混晶を用いれば、Si 基板上に、ミスフィット転位の発生をともなわない量子井戸構造を作製できると期待される。そこで、一例として、図 6.1 に GaPN および GaAsPN 混晶を用いた量子井戸構造を示す。まず、はじめに Si 上にクラッド層として、Si と格子整合する $\text{GaP}_{0.98}\text{N}_{0.02}$ 混晶を成長する。次に光導波路層として $\text{Ga}(\text{As}_{0.1}\text{P}_{0.9})_{0.975}\text{N}_{0.025}$ 混晶を成長する。この層も Si に格子整合する組成である。したがって、ここまではミスフィット転位は発生しない。次に、活性層として $\text{Ga}(\text{As}_{0.7}\text{P}_{0.3})_{1-x}\text{N}_x$ 混晶を成長する。この層は N 組成 x が 15% で Si に格子整合する。

しかし、このような高い N 組成をもつ混晶を作製することは困難であると予想される。そこで、N 組成を減らし、歪み量子井戸構造とする。この場合、成長膜厚を厚くするとミスフィット転位が発生する。図 6.2 は Si 上の $\text{Ga}(\text{As}_{0.7}\text{P}_{0.3})_{1-x}\text{N}_x$ 混晶における臨界膜厚の計算値である。計算は Energy Balance Model [4] に基づいて行なった。臨界膜厚の計算値は、実際の臨界膜厚との間に多少の誤差を含むため、計算値が 10nm 以上であることが望ましいと思われる。N 組成 x が 4% 以下では、臨界膜厚が小さく、ミスフィット転位が発生する恐れがある。また、一般に格子不整合率が 2% を越えるような系では、成長層の三次元化が生じる [5,6]。その場合、この計算は妥当性を失う。したがって、格子不整合の観点からは N 組成 x は 5%(このときの格子不整合率は約 2%) 以上必要であることがわかる。

次に、 $\text{Ga}(\text{As}_{0.7}\text{P}_{0.3})_{1-x}\text{N}_x/\text{Ga}(\text{As}_{0.1}\text{P}_{0.9})_{0.975}\text{N}_{0.025}$ 量子井戸構造におけるバンドギャップエネルギー E_g の計算結果を図 6.3 に示す。

E_g の計算は次の三つの値を計算することで求められる。

1. 無歪み時の $\text{Ga}(\text{As}_{0.7}\text{P}_{0.3})_{1-x}\text{N}_x$ 混晶および $\text{Ga}(\text{As}_{0.1}\text{P}_{0.9})_{0.975}\text{N}_{0.025}$ 混晶のバンドギャップエネルギー E_{g0} を計算する。
2. 歪み量子井戸層となる $\text{Ga}(\text{As}_{0.7}\text{P}_{0.3})_{1-x}\text{N}_x$ 混晶における、格子不整合歪み蓄積時のバンドギャップエネルギー $E_{g, \text{strain}}$ を計算する。
3. 最後に、伝導体および価電子帯における量子化準位をそれぞれ計算する。

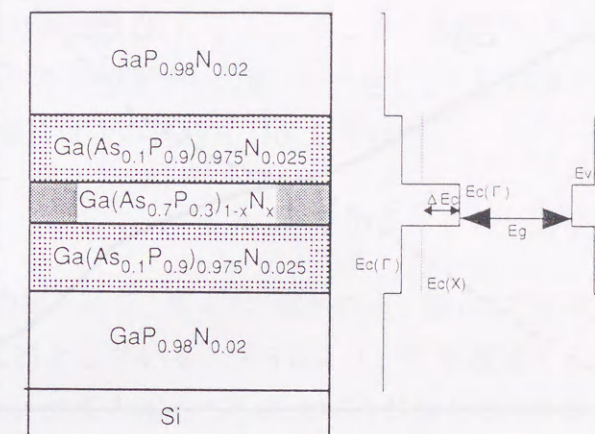


図 6.1 GaPN および GaAsPN 混晶を用いた Si 上の量子井戸構造。

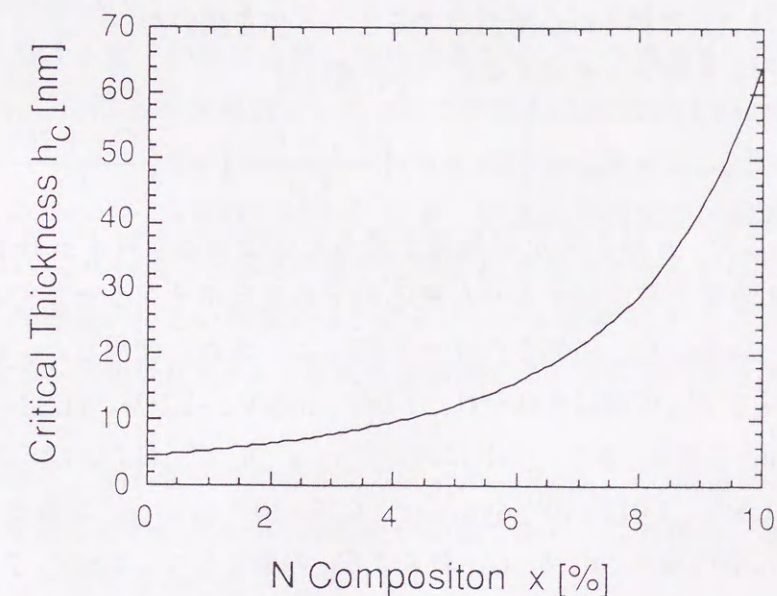


図 6.2 Si 上の $\text{Ga}(\text{As}_{0.7}\text{P}_{0.3})_{1-x}\text{N}_x$ 混晶における臨界膜厚の計算値 (Energy Balance Model [4] に基づく)。

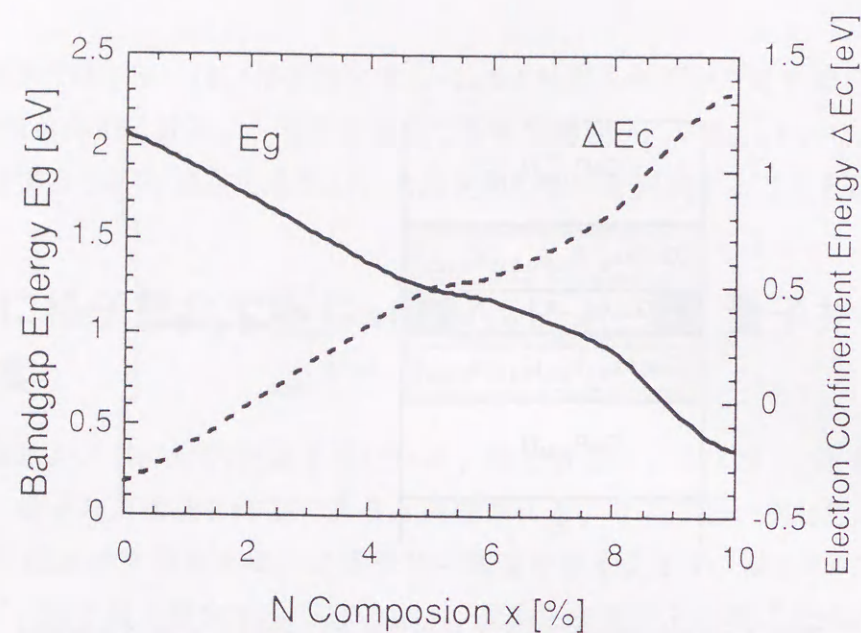


図 6.3 Ga(As_{0.7}P_{0.3})_{1-x}N_x/Ga(As_{0.1}P_{0.9})_{0.975}N_{0.025} 量子井戸構造におけるバンドギャップエネルギー E_g の計算結果

1. の E_{g0} の計算には GaAsN-on-GaAs における PL の測定結果 [7]、すなわち N 組成が 1% 増加するごとに E_{g0} は約 160 meV 減少するという値を用いた。

2. の歪み時のバンドギャップエネルギーの計算には

$$\Delta E_g = E_{g, strain} - E_{g0} = \left\{ 2(a + a') \left(\frac{C_{11} - C_{12}}{C_{11}} \right) + b \left(\frac{C_{11} + 2C_{12}}{C_{11}} \right) \right\} f \quad (6.1)$$

を用いた [8]。ここで、 a および a' は価電子帯および伝導体に対する静水圧下の変形ポテンシャル、 b は価電子帯に対するせん断応力下の変形ポテンシャルである。 a 、 a' 、 b および C の値は GaAs_{0.7}P_{0.3} の値をベガード則により求め、使用した。GaAs において a 、 a' 、 b 、 C_{11} および C_{12} の値はそれぞれ、2.7 eV、6.8 eV、-1.7 eV、 11.88×10^{11} dyn/cm²、 5.38×10^{11} dyn/cm² である。また、GaP において a 、 a' 、 b 、 C_{11} および C_{12} の値はそれぞれ、3.0 eV、7.9 eV、-1.5 eV、 14.12×10^{11} dyn/cm²、 6.25×10^{11} dyn/cm² である [11]。したがって、GaAs_{0.7}P_{0.3} における a 、 a' 、 b 、 C_{11} および C_{12} の値として、2.8 eV、7.1 eV、-1.64 eV、 12.6×10^{11} dyn/cm²、 5.64×10^{11} dyn/cm² を用いた。

3. の量子化準位の計算では次の式を用いた。有限なポテンシャル障壁 V_0 をもつ井戸層中に閉じこめられた電子の固有エネルギー E_n は次式で与えられる ($n = 1, 3, 5, \dots$) [9]。

$$\tan \left(\frac{L_z}{2} \sqrt{\frac{2m_w E_n}{\hbar}} \right) = \frac{m_w}{m_b} \sqrt{\frac{m_b(V_0 - E_n)}{m_w E_n}} \quad (6.2)$$

ここで、 L_z は井戸層の厚さ、 m_w および m_b はそれぞれ井戸層および障壁層における電子(正孔)の有効質量である。GaAsN 混晶において、N の添加による GaAsN のバンドギャップのボーイングはほとんど伝導体に現れる [3]。そこで、価電子帯の障壁を 0.14 eV (GaAs/GaP の価電子帯障壁 0.24 eV を比例配分した値) と一定として伝導体の障壁高さを決定した。そして、電子の有効質量には次の経験式 [10] を用いた。

$$m_w = 0.07 E_g \quad (6.3)$$

以上のような計算過程を経て、図 6.3 が導かれる。図 6.3 では井戸層の厚さを各 N 組成における臨界膜厚 (図 6.2) としている。図 6.3 より、Si を透過する波長 $1.1 \mu\text{m}$ ($E_g = 1.13 \text{ eV}$) には、N 組成が約 7%、波長 $1.5 \mu\text{m}$ ($E_g = 0.83 \text{ eV}$) には、約 8% の N 組成が必要であることがわかった。

また、図 6.3 には伝導体における電子の閉じこめエネルギー ΔE_c を点線で示した。ここで、 ΔE_c は、活性層である Ga(As_{0.7}P_{0.3})_{1-x}N_x の伝導体の底の準位 (直接遷移型であるから Γ 点にある) と光導波路層である Ga(As_{0.1}P_{0.9})_{0.975}N_{0.025} の伝導体の底の準位 (間接遷移型のため X 点にある) の差である。N 組成が 2% 以下の領域では、 ΔE_c が負の値になることがわかった。これは、井戸層中の伝導体の量子準位が、間接遷移形である光導波路層の伝導体の底 (X 点) よりも上になることを示している。したがって、この N 組成域では井戸層における電子の閉じこめは期待できない。この構造を LD に用いるためには Ga(As_{0.7}P_{0.3})_{1-x}N_x 混晶の N 組成として 3% (このとき ΔE_c は約 150 meV) は必要であると推察される。

なお、図 6.3 において、N 組成に対する E_g および ΔE_c の変化が N 組成が 6~8% 付近で変曲点をもつのは、この付近で伝導体の量子化準位 E_1 が最大となるからである (~200 meV)。この付近より N 組成が小さい領域では、ポテンシャル障壁 V_0 が小さいため、量子化準位 E_1 が小さくなる。N 組成が 8% よりも大きな領域では、井戸層の厚さが厚いため量子化準位 E_1 が小さくなる。

以上の議論から、歪み量子井戸層となる Ga(As_{0.7}P_{0.3})_{1-x}N_x 混晶において、ミスフィット転位の発生を防ぐために約 5% の N 組成が必要であり、この場合、電子の閉じこめは十分可能であることが明らかになった。

このような構造を作製するためには主に、二つの問題がある。一つは Si 基板上に結晶欠陥の発生なしに GaP_{0.98}N_{0.02} 混晶を成長できるかという問題。二つめは、N 組成が 5% と比較的大きな GaAsPN 混晶を高品質で成長できるかという問題である。そこで、本章の次節以降では一つめの問題に着目して検討する。

6.3 GaP 基板上における $\text{GaP}_{1-x}\text{N}_x$ の成長

本節では、Si 基板上の成長に先立って、GaP 基板上に $\text{GaP}_{1-x}\text{N}_x$ の成長を行ない、均一組成の $\text{GaP}_{1-x}\text{N}_x$ 層が得られることについて述べる。また、GaP 基板上の $\text{GaP}_{1-x}\text{N}_x$ では N 組成の増加にともなって格子不整合が増大する。したがって、ミスフィット転位の発生による格子不整合歪みの緩和が生じると予想される。しかし、この系において転位を観察した報告はほとんどない。そこで、透過型電子顕微鏡 (TEM) を用いて、 $\text{GaP}_{1-x}\text{N}_x$ 混晶層中に発生する結晶欠陥の観察を行なった。

6.3.1 実験方法

基板には GaP(100)just を用いた。有機洗浄による脱脂の後、王水 ($\text{HNO}_3:\text{HCl}:\text{H}_2\text{O} = 1:2:2$, 50°C) によるエッチングを 2 分間行なった。その後、基板を MBE 成長室に導入し、 P_2 分子線照射下において、 620°C で 20 分間熱処理を行なった。熱処理の後、表面の平坦性を改善する目的で、基板温度 580°C で約 100nm の GaP ホモエピタキシャル層を成長した。つづいて、基板温度 590°C で $\text{GaP}_{1-x}\text{N}_x$ 層を膜厚 300nm で成長した。N 源として、純窒素 (N_2) を rf-プラズマ銃で分解し、N ラジカルを生成し、成長表面に供給した。成長時の N_2 流量は 0.5sccm で一定とし、rf 電力を 270W から 330W まで、変化させ、それぞれについて試料を作製した。表 6.1 に成長条件を示す。

成長中の表面状態を RHEED でその場観察した。また、成長後の結晶の格子定数を XRD によって測定し、成長層の N 組成を見積もった。また、成長層中に発生した結晶欠陥を TEM によって観察した。

表 6.1 成長条件

基板	GaP(100) just
前処理	$\text{HNO}_3:\text{HCl}:\text{H}_2\text{O} = 1:2:2$, 50°C , 2min
熱処理	620°C , 20min, P_2 分子線照射下
GaP ホモエピタキシャル層	
基板温度	580°C
膜厚	100 nm
GaP _{1-x} N _x 層	
基板温度	590°C
膜厚	300 nm
分子線圧力	$P_{\text{Ga}} = 2.0 \times 10^{-7}$ Torr $P_{\text{P}_2} = 3.2 \times 10^{-6}$ Torr
N ₂ 流量	0.5 sccm
rf-power	270W, 300W, 330W

6.3.2 GaP 基板上 $\text{GaP}_{1-x}\text{N}_x$ の成長過程と XRD および TEM による成長層の評価

図 6.4 に $\text{GaP}_{1-x}\text{N}_x$ 成長中の RHEED パターンを示す。成長中の RHEED パターンは図のようなストリークパターンを示し、 $\text{GaP}_{1-x}\text{N}_x$ 層は二次元的に成長していることがわかった。GaP に数パーセントの P を混ぜた GaNP 混晶の成長においては P の組成を増大させたときに相分離が起こる [13]。このとき RHEED パターンには逆格子間隔の異なるスポットがやストリークが現れることが報告されているが、本実験では組成分離を示すようなパターンは現れなかった。

次に、図 6.5 に XRD による (400) 回折パターンを示す。rf-power の増加にともなって、 $\text{GaP}_{1-x}\text{N}_x$ による回折ピークが高角側にシフトしていく様子がわかる。これは、rf-power の増加にともなって成長層の格子定数が減少していることを示している。また、成長層からの回折ピークは単一のピークであり、組成分離を示すような回折ピークは観測されなかった。

(511) 回折や (422) 回折のような非対称回折を用いれば、成長層の弾性的な格子変形を検出することができる [12]。(511) 回折において基板の [511] 方向と成長層の [511] 方向の角度差 θ を測定すれば、成長層の縦方向格子間隔 a_{\perp} と横方向格子間隔 a_{\parallel} の比は以下の式

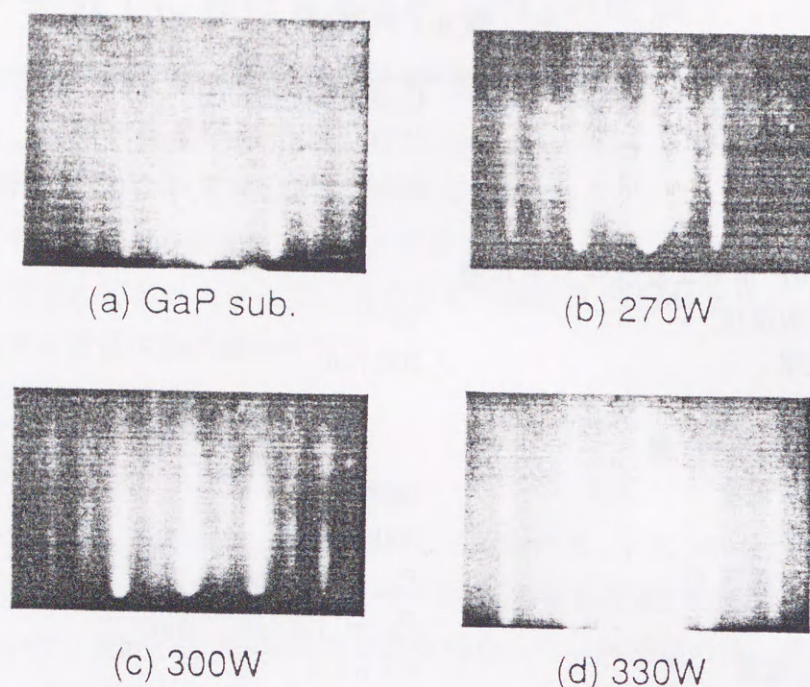


図 6.4 GaP 基板上 $\text{GaP}_{1-x}\text{N}_x$ 成長における RHEED パターン。(電子線入射方向は $[011]$ 方向). (a) は GaP 基板、(b), (c), (d) はそれぞれ rf-power を 270W, 300W, 330W で成長した場合のパターンである。

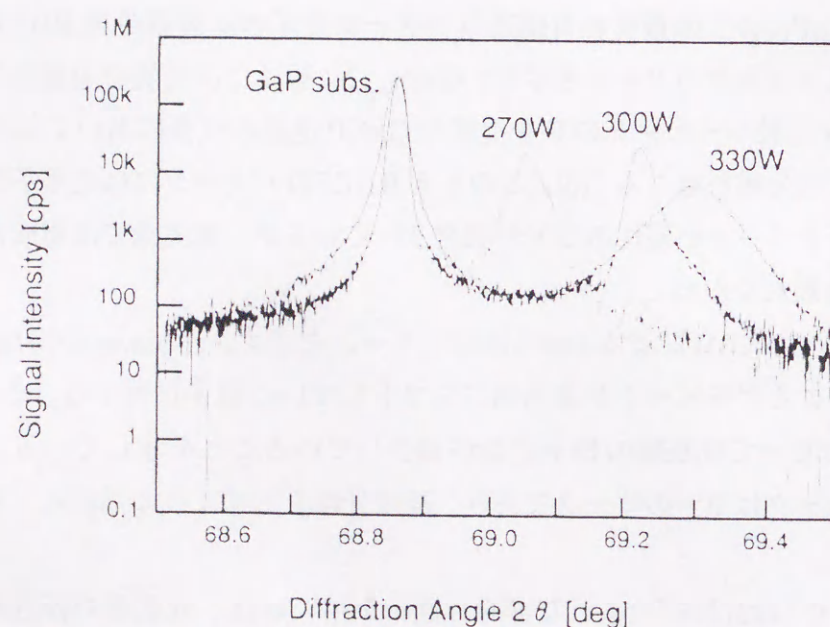


図 6.5 GaP 基板上 $\text{GaP}_{1-x}\text{N}_x$ 成長層の XRD 回折パターン ((400) 回折、 2θ - ω スキャン).

表 6.2 XRD による $\text{GaP}_{1-x}\text{N}_x$ 層の格子定数および N 組成の測定結果

rf-power	270 W	300W	330W
a_{\perp} [Å]	5.438	5.427	5.421
a_{\perp}/a_{\parallel}	0.998	0.996	0.995
a_{\parallel} [Å]	5.451	5.451	5.451
a_0 [Å]	5.444	5.438	5.435
N 組成 x [%]	0.8	1.4	1.8

で求められる。

$$\frac{a_{\perp}}{a_{\parallel}} = \frac{5}{\sqrt{2}} \tan(\theta + \theta_0) \quad (6.4)$$

ここで、 θ_0 は、格子変形のない場合の (511) 面と (100) 面のなす角である。そこで、(511) 回折によって θ を測定し、上の関係を用いて、 a_{\perp}/a_{\parallel} 比を測定した。その結果を表 6.2 に示す。

また、弾性論によれば縦方向歪み ϵ_{\perp} と横方向歪み ϵ_{\parallel} との間には次の関係が成立する。

$$\epsilon_{\perp} = -\frac{2\nu}{1-\nu} \epsilon_{\parallel} \quad (6.5)$$

したがって、 a_{\perp} と a_{\parallel} がわかれば、無歪み時の $\text{GaP}_{1-x}\text{N}_x$ 層の格子定数 a_0 を計算できる。その計算結果も表 6.2 に示す。ただし、ポアソン比 ν の値として、GaP における値 0.31 を用いた。

さらに、 $\text{GaP}_{1-x}\text{N}_x$ の格子定数にはベガード側が成立すると仮定し、立方晶 GaN の格子定数 4.5Å および GaP の格子定数 5.451Å を用いると a_0 は

$$a_0 = 4.5x + 4.451(1-x) \quad (6.6)$$

で求められる。 a_0 がわかれば、N 組成 x を算出することができる。表 6.2 には求められた N 組成 x の値も併記する。

表から、各試料の横方向格子定数 a_{\parallel} が、いずれの試料においても 5.451Å であることがわかる。基板である GaP の格子定数が 5.4512Å であるから、各成長層はほぼコヒーレントな状態にあることがわかる。

また、図 6.6 に $\text{GaP}_{1-x}\text{N}_x$ 成長層の N 組成の rf-power 依存性を示す。rf-power の変化させることにより、成長層の N 組成を制御できることが明らかになった。

つぎに、TEM 観察の結果について述べる。TEM 観察の結果、rf-power を 270W、300W として成長した試料中には転位は観察されなかった。したがって、これらの成長層はコ

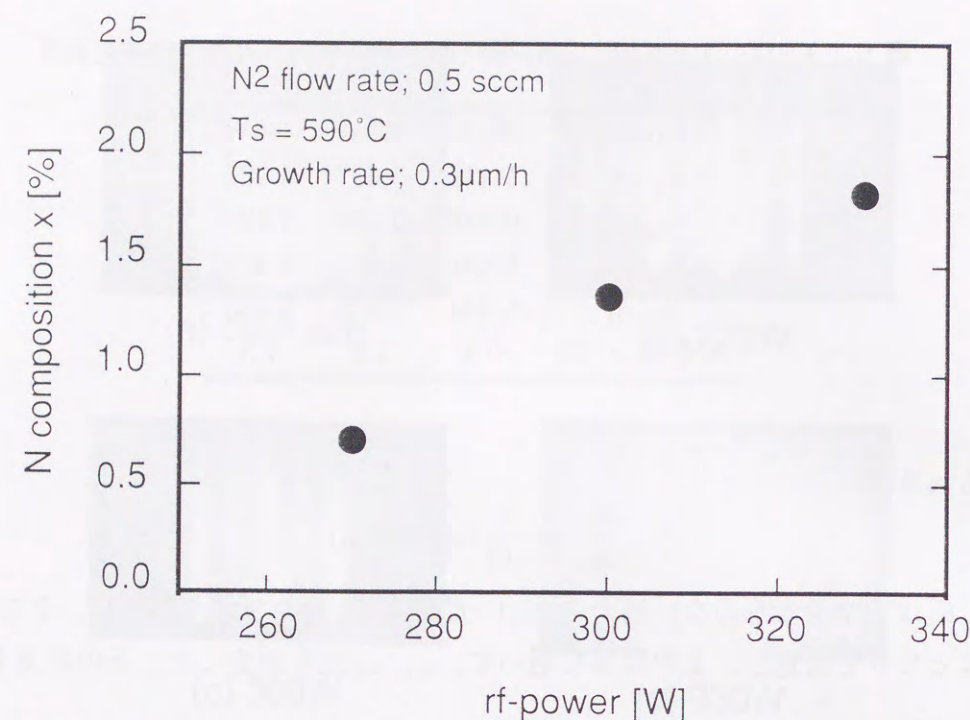


図 6.6 GaP 基板上 $\text{GaP}_{1-x}\text{N}_x$ 成長層における N 組成の rf-power 依存性

ヒーレントな状態にあると言える。rf-power を 330W として成長した試料中には、図 6.7 に示すようにヘテロ界面にミスフィット転位が観察された。貫通転位は観察されなかった。GaP 上の $\text{GaP}_{1-x}\text{N}_x$ 混晶の成長においても、格子不整合歪みはヘテロ界面にミスフィット転位が導入されることにより緩和されることが明らかになった。また、観察されたミスフィット転位の間隔はおよそ 400nm であった。ミスフィット転位が 60° であると仮定するとミスフィット転位の平均間隔は、N 組成 1.8% (格子不整合 0.36%) の場合、完全緩和時におよそ 50nm となる。したがって、この試料は格子緩和過程のごく初期の段階にあることがわかった。

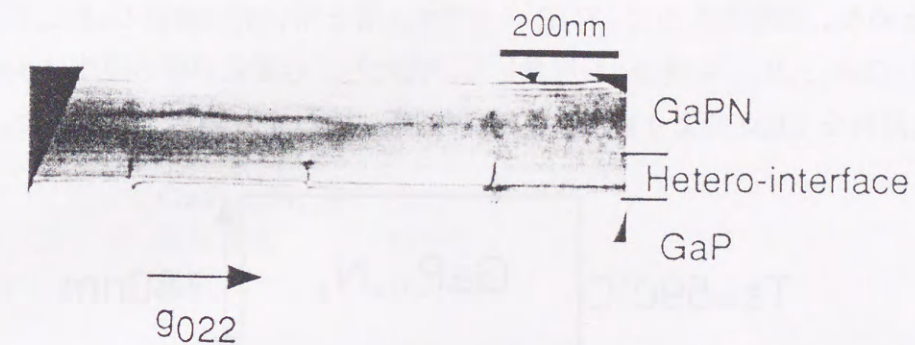


図 6.7 GaP 基板上 $\text{GaP}_{1-x}\text{N}_x$ 混晶層の傾斜断面 TEM 像。 (rf-power=330W で成長した試料)。

6.4 GaP バッファ層の導入と Si にほぼ格子整合する $\text{GaP}_{1-x}\text{N}_x$ 混晶による無欠陥 $\text{GaP}_{1-x}\text{N}_x$ -on-Si の成長

前節において、GaP 基板上に $\text{GaP}_{1-x}\text{N}_x$ の成長を行ない、均一組成の $\text{GaP}_{1-x}\text{N}_x$ 層が得られることを示した。この材料を Si 基板上に成長することによって、格子不整合に起因する結晶欠陥の発生を抑制できると期待される。しかし、一方で Si 基板上の成長では極性/非極性界面に起因して APD などの欠陥が発生する可能性がある。そこで、本節では、薄い GaP バッファ層を Si 上に成長し、APD 等の欠陥の発生を抑制することを試みた結果について述べる。また、Si にほぼ格子整合する $\text{GaP}_{1-x}\text{N}_x$ 混晶を用いて格子不整合に起因する欠陥の発生を抑制することを目的とし、その結果について述べる。

6.4.1 実験方法

基板には Si(100) 4° オフを用いた。基板の前処理は第 3 章の表 3.2 に示した方法と同じである。試料は 2 種類である。一つは、Si 上に GaP を MEE 法により成長した GaP/Si 構造である。成長膜厚は 200nm、成長温度は 450°C である。MEE 成長におけるシャッター

シーケンスは第3章の図3.6に示した方法を用いた。成長した試料について TEM を用いて観察した。

もう一方の試料は $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ 構造である。Si 基板上に、はじめに GaP 層を MEE 法によって成長した。成長膜厚は 20nm、成長温度は 450°C である。その後、基板温度を 590°C に設定し、 $\text{GaP}_{1-x}\text{N}_x$ 混晶を成長した。成長膜厚は 180nm である。このときの N-プラズマ源に入力した rf-power は 290W である。図 6.8 に試料構造を示す。成長条件を表 6.3 にまとめた。比較のために、GaP バッファ層を用いずに直接 $\text{GaP}_{1-x}\text{N}_x$ を Si に成長した試料 ($\text{GaP}_{1-x}\text{N}_x/\text{Si}$ 構造) も用意した。ただし、 $\text{GaP}_{1-x}\text{N}_x$ の膜厚は 300nm である。成長した試料を TEM により観察し、XRD 回折によって N 組成を評価した。

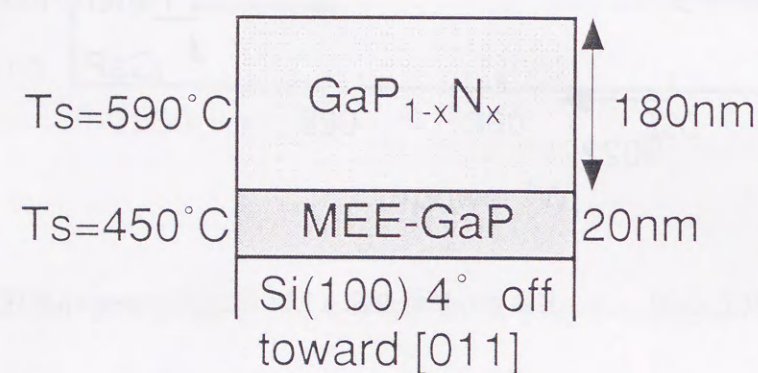


図 6.8 $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ 構造

表 6.3 成長条件

基板	Si(100) 4° -off toward [011]
前処理	Ishizaka 法
熱処理	850°C , 30min
MEE-GaP 層	
成長方法	MEE 法
基板温度	450°C
膜厚	20 nm
$\text{GaP}_{1-x}\text{N}_x$ 層	
基板温度	590°C
膜厚	180 nm
分子線圧力	$P_{\text{Ga}} = 2.0 \times 10^{-7}$ Torr $P_{\text{P}_2} = 3.2 \times 10^{-6}$ Torr
N_2 流量	0.5 sccm
rf-power	290W

6.4.2 GaP バッファ層の導入と Si にほぼ格子整合する $\text{GaP}_{1-x}\text{N}_x$ 混晶による結晶欠陥発生の抑制

図 6.9 に Si 上に成長した GaP 層の断面 TEM 像を示す。同図 (a) は g_{200} の回折条件の暗視野像である。この条件では、成長層に APD があれば、コントラストが反転する領域として観察される [14]。しかし、図 6.9 に示したように GaP 中には APD は観察されなかった。ヘテロ界面近傍に着目しても APD は見出されなかった。

GaAs-on-Si や GaP-on-Si ヘテロエピタキシーでは、APD が自己消滅するモデルがいくつか提案されている [15–17]。この場合、APD の境界、すなわちアンチフェーズ・バウンダリ (Anti-Phase Boundary: APB) は $\{111\}$ 面や $\{211\}$ 面に沿う。本研究では、 4° 微傾斜した基板を使っているため、Si 表面の平均テラス幅は 1.9nm となる (すべてのステップが 1 原子層の高さをもつと仮定)。したがって、成長初期に発生する APD の幅もこの程度の大きさであると推測される。そして、APB が $\{111\}$ 面に沿うようにして、APD が自己消滅すると考えると、APD の高さは 1.4nm と計算される。本研究で用いた TEM の分解能が 2–3nm であるから、このような小さな APD は観察されない。GaP 層中の APD は、

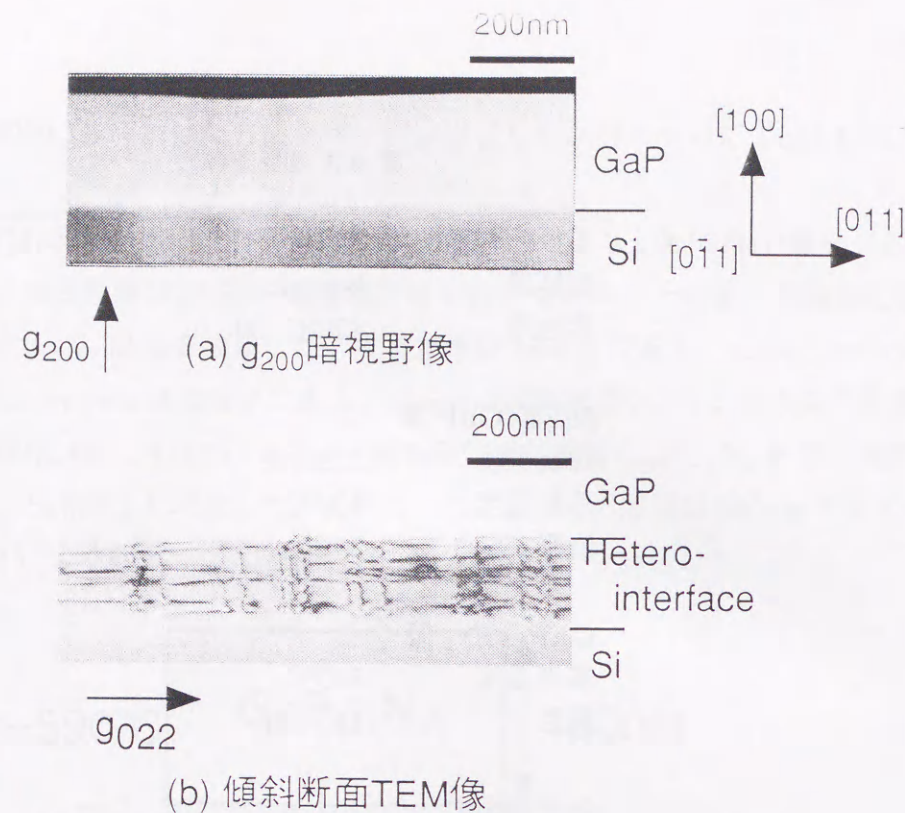


図 6.9 Si 基板上 GaP 層の断面 TEM 像

成長のきわめて早い段階で自己消滅したものと考えられる。

また、貫通転位や積層欠陥のような成長層を貫通する欠陥は観察されなかった。GaP-on-Si ヘテロエピタキシーでは、GaP の成長初期に三次元成長島が発生し、その島が合体する過程で積層欠陥が発生する。そこで、MEE 法を用いることによって、二次元成長に近い状態で GaP を成長でき、積層欠陥の発生を抑制できる [18]。これは、Ga の表面マイグレーションが促進されることによって、Si 表面に GaP の成長核が形成されやすくなったためと考えられる。

図 6.9(b) は同じ試料の傾斜断面 TEM 像である。ヘテロ界面にはミスフィット転位が伝搬していることが確認された。GaP-on-Si における臨界膜厚を計算すると、Mechanical Equilibrium Model [19] では 32nm、Energy Balance Model [4] では 460nm となる。図 6.9 で示したように、膜厚 200nm の段階で GaP にはミスフィット転位が観察されたことから、この場合、Energy Balance Model による計算値は正しくない。一方、Mechanical Equilibrium Model [19] による臨界膜厚の値は実際の臨界膜厚よりも小さくなることが多い [20]。したがって、GaP 層の膜厚をこの計算値より薄くすることによって GaP 層におけるミスフィット転位の発生を抑制できると考えられる。また、図 6.9(a) で見たように APD の消滅は、GaP 層がひじょうに薄い段階で起こっていると推察される。したがって、薄い (30nm 以下) GaP を Si 上に成長することによってミスフィット転位および APD の発生・

伝搬を抑制できると期待される。

そこで、 $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ 構造では厚さ 20nm の GaP 層を $\text{GaP}_{1-x}\text{N}_x/\text{Si}$ ヘテロ界面に導入した。図 6.10 に $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ 構造の断面 TEM 像を示す。同図 (b) に示した傾斜断面 TEM 像より、ヘテロ界面にはミスフィット転位は観察されなかった。また、同図 (c) に示した g_{200} 暗視野像により APD の伝搬は生じていないことが確かめられた。

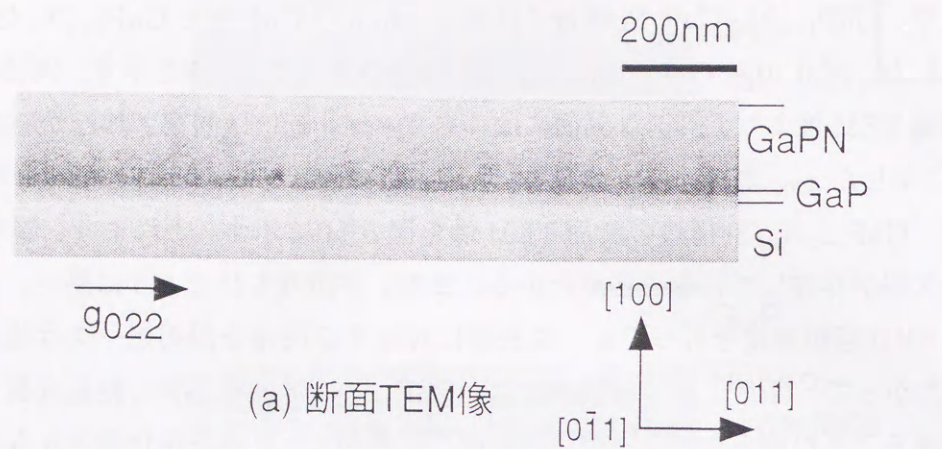
一方、 $\text{GaP}_{1-x}\text{N}_x/\text{Si}$ 構造の断面 TEM 像を図 6.11 に示す。これより、層中にきわめて多くの欠陥が存在していることがわかる。また、平坦性もひじょうに悪い。この試料について、XRD 回折測定を行っても、成長層に対応する明確な回折ピークは検出されなかった。したがって、 $\text{GaP}_{1-x}\text{N}_x/\text{Si}$ 構造では、 $\text{GaP}_{1-x}\text{N}_x$ 混晶を正常に結晶成長させることが困難であることが明らかになった。これは、Si 表面に、P の安定化面よりもさらに不活性な N の安定化面が部分的に形成されたためと考えられる。そのため、表面に供給された Ga 原子が自由に成長核を形成できず、そのまま堆積したと考えられる。

この結果から、 $\text{GaP}_{1-x}\text{N}_x$ 混晶を成長することによって格子不整合歪みに起因する結晶欠陥 (ミスフィット転位) の発生を抑制できること、MEE 法によって成長した薄い GaP 層を用いることによって極性/非極性界面に起因する欠陥の発生を抑制できることが明らかになった。

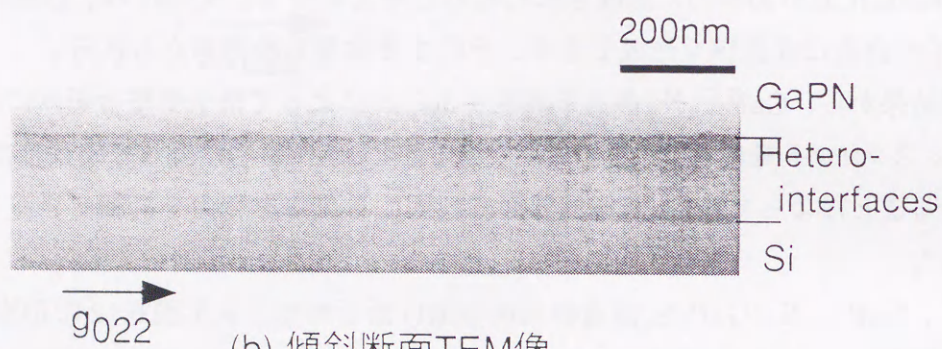
次に、 $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ 構造の (400)XRD 回折パターンを図 6.12 に示す。 $\text{GaP}_{1-x}\text{N}_x$ による回折ピークは Si 基板によるピークの低角側に現れた。これより、 $\text{GaP}_{1-x}\text{N}_x$ の縦方向格子定数 a_{\perp} は 5.447Å と見積もられた。また、前述の TEM 観察の結果から、横方向格子定数 a_{\parallel} は Si の格子定数 (5.431Å) に等しいと考えられる。(6.5) 式の関係から無歪み時の格子定数を計算すると、 $a_0 = 5.439\text{Å}$ となった。この値を (6.6) 式に代入すると、 $\text{GaP}_{1-x}\text{N}_x$ の N 組成は約 1.3% であることが明らかになった。この場合、格子不整合は約 0.15% であり、AlAs と GaAs の格子不整合率 (0.12%) と同程度である。以上の結果から Si にほぼ格子整合する $\text{GaP}_{1-x}\text{N}_x$ 混晶を成長し、結晶欠陥の発生を抑制できることが明らかになった。

また、6.2 節で述べた量子井戸構造を実現するためには、活性層である $\text{Ga}(\text{As}_{0.7}\text{P}_{0.3})_{1-x}\text{N}_x$ 混晶の N 組成 x を 5% 以上にする必要がある。これまでに、GaAs 基板上的 $\text{GaAs}_{1-x}\text{N}_x$ 成長において N 組成 x が約 10% 程度までは、相分離の発生なしに実現されている [7]。しかし、N 組成 x を増やすと、 $\text{GaAs}_{1-x}\text{N}_x$ の発光効率が低下する。

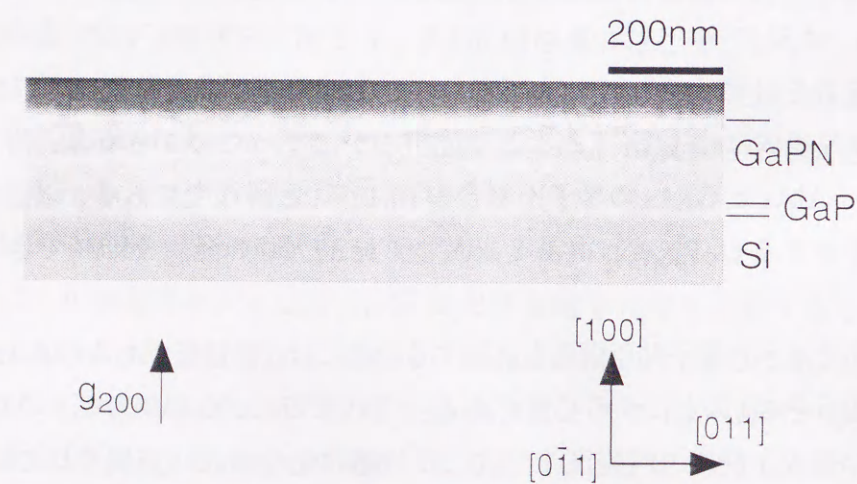
最近、 $\text{GaAs}_{1-x}\text{N}_x$ 成長後に熱アニールを行なうことによって発光効率を改善できることが報告された [21, 22]。発光効率の向上は、熱アニールを行なうことによって $\text{GaAs}_{1-x}\text{N}_x$ 層中に含まれた点欠陥の密度が減少するためと推察される。OEIC への応用を考慮した場合、アニールは望ましくないため、成長方法を工夫して成長層に発生する点欠陥の密度を



(a) 断面TEM像



(b) 傾斜断面TEM像



(c) g_{200} 断面TEM暗視野像

図 6.10 $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ 構造の断面 TEM 像

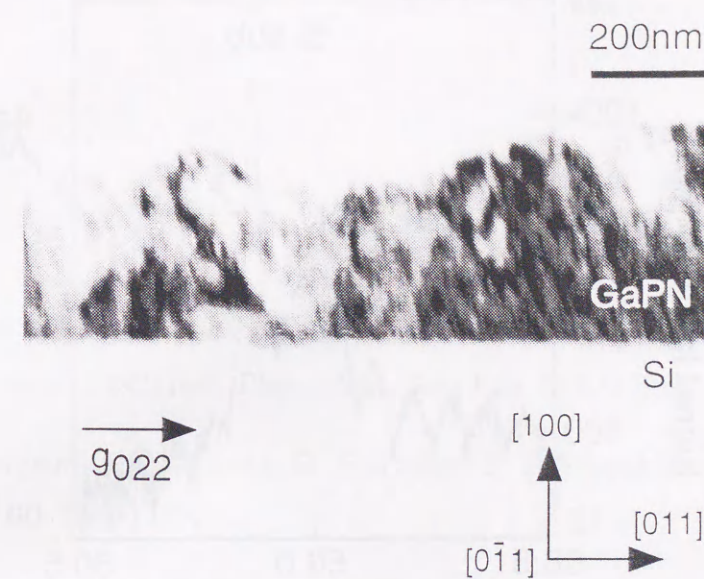


図 6.11 $\text{GaP}_{1-x}\text{N}_x/\text{Si}$ 構造の断面 TEM 像

減らす必要がある。例えば、MEE 成長では III 族原子の表面拡散が促進されるため、点欠陥の発生を抑制できる可能性がある。したがって、今後は、 $\text{GaAs}_{1-x}\text{N}_x$ 混晶あるいは $\text{Ga}(\text{As}_{1-y}\text{P}_y)_{1-x}\text{N}_x$ 混晶の結晶成長機構と発光機構について詳細に検討する必要があると思われる。

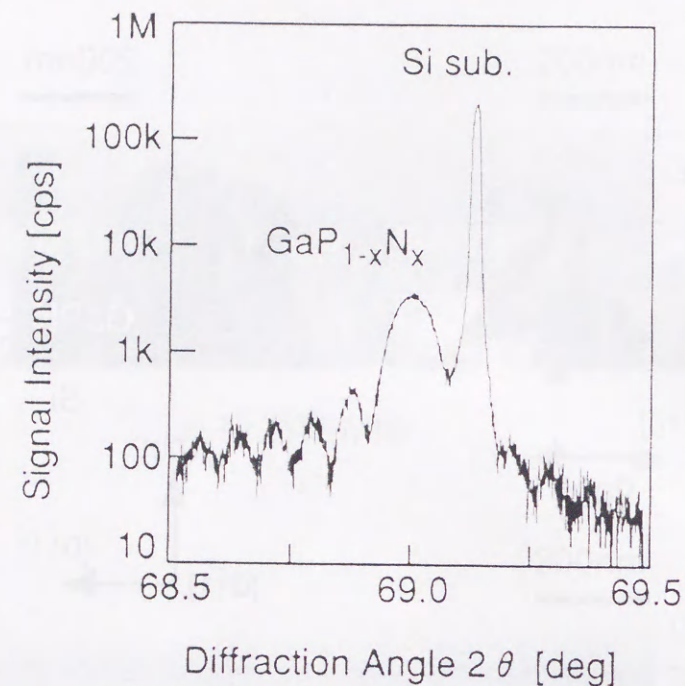


図 6.12 GaP_{1-x}N_x/GaP/Si 構造の XRD 回折パターン ((400) 回折、2θ-ω スキャン).

6.5 結言

本章では、GaP 基板上の GaP_{1-x}N_x 混晶の成長において、以下のことを明らかにした。

1. N 源となるプラズマ銃への入力電力を制御することにより GaP_{1-x}N_x 混晶の N 組成を制御できること。
2. GaP_{1-x}N_x 混晶においても格子不整合歪みはヘテロ界面にミスフィット転位を導入することによって緩和される。

次いで、格子不整合や極性/非極性界面に起因する結晶欠陥の発生を抑制するために GaP_{1-x}N_x/GaP/Si 構造を作製した。その結果、以下のことを明らかにした。

1. Si 基板上に薄い (20nm)GaP 層を MEE によって成長することによって APD や積層欠陥の発生・伝搬を効果的に抑制できること。
2. N 組成が約 1.3% の GaP_{1-x}N_x を用い、GaP_{0.987}N_{0.013}/GaP/Si 構造を作製することによってミスフィット転位を含む結晶欠陥の発生が生じない III-V 族化合物半導体を Si 基板上に成長できる。

参考文献

- [1] M. Sato and M. Weyers, *19th Int. Symp. GaAs and Related Compound Semiconductors, Karuizawa, 1992*, Inst. Phys. Conf. Ser. **129**, 555 (1993).
- [2] J. N. Baillargeon, K. Y. Cheng, G. E. Hofer, P. J. Pearah and K. C. Hsieh, *Appl. Phys. Lett.* **60**, 2540 (1992).
- [3] M. Kondow, K. Uomi, T. Kitatani, S. Watahiki and Y. Yazawa, *J. Cryst. Growth* **164**, 175 (1996).
- [4] P. M. J. Maree, J. C. Barbour, J. F. van der Veen, K. L. Kavanagh, C. W. T. Bulle-Lieuwma and M. P. A. Viegars, *J. Appl. Phys.* **62**, 4413 (1987).
- [5] S. Guha, A. Madhukar and K. C. Rajkumar, *Appl. Phys. Lett.* **57**, 2110 (1990).
- [6] S. Fujita, Y. Nakaoka, T. Uemura, M. Tabuchi, S. Noda, Y. Takeda and A. Sasaki, *J. Cryst. Growth* **95**, 224 (1989).
- [7] M. Kondow, K. Uomi, K. Hosomi and T. Mozume, *Jpn. J. Appl. Phys.* **33**, L1056 (1994).
- [8] A. Gavini and M. Cardona, *Phys. Rev. B* **1**, 672 (1970).
- [9] 岡本他：超格子構造の光物性と応用 p7
- [10] 永井他：III-V 族化合物半導体混晶 p71
- [11] 永井他：III-V 族化合物半導体混晶 p43. p76
- [12] T. Hattanda and A. Takeda, *Jpn. J. Appl. Phys.* **12**, 1104 (1973).
- [13] K. Iwata, H. Asahi, K. Asami and S. Gonda, *Jpn. J. Appl. Phys.* **35**, L1634 (1996).
- [14] T. S. Kuan and C. A. Chang, *J. Appl. Phys.* **54**, 4408 (1983).

- [15] M. Kawabe and T. Ueda, Jpn. J. Appl. Phys. **26**, L944 (1987).
- [16] P. M. Petroff, J. Vac. Sci. Technol. B **4**, 874 (1986).
- [17] T. Soga, H. Nishikawa, T. Jimbo and M. Umeno, Jpn. J. Appl. Phys. **32**, 4912 (1993).
- [18] Y. Takagi, H. Yonezu, K. Samonji, T. Tsuji and N. Ohshima, J. Cryst. Growth **187**, 42 (1998).
- [19] J. W. Matthews and A. E. Blakeslee, J. Cryst. Growth **27**, 118 (1974).
- [20] Y. Morishita, S. Goto, Y. Nomura, M. Tamura, T. Isu and Y. Katayama, J. Vac. Sci. Technol. **B12**, 2532 (1994).
- [21] S. Francoeur, G. Sivaraman, Y. Qiu, S. Nikishin and H. Temkin, Appl. Phys. Lett. **72**, 1857 (1998).
- [22] E.V.K. Rao, A. Ougazzaden, Y. Le Bellego and M. Juhel, Appl. Phys. Lett. **72**, 1409 (1998).

第7章 総括

ヘテロエピタキシャル成長技術は異なった性質をもつ材料を組み合わせ、新しいデバイスを構築するために必要不可欠な基盤技術である。とくに、Si上に高品質な III-V 族化合物半導体を成長する技術は、Si-ULSIと LDやLEDなどの光デバイスを融合した OEICを実現するための最も重要な技術と考えられる。InP-on-Siヘテロエピタキシーは InGaAsP/InP系の発光デバイスと Si-LSIを融合する技術として期待される。InGaAsP/InP系では光ファイバーの損失が最小になる波長 ($1.3 \sim 1.6 \mu\text{m}$) を含む長波長帯の発光を得ることができる。したがって、Si基板を透過する波長域 ($> 1.1 \mu\text{m}$) で発光する LDを作製することによってチップ間の光配線も可能になると考えられる。しかし、InP-on-Siは格子不整合が8%とひじょうに大きく、格子不整合歪みに起因して高密度の貫通転位が発生する。結晶欠陥は LDやLEDの発光効率や寿命を低下させる要因となる。したがって、貫通転位密度の低減は重要な課題となっている。

また、格子不整合ヘテロエピタキシャル層の表面は一般に平坦性が良くない。とくに、クロスハッチ・パターン (CHP) とよばれる凹凸が、格子不整合の小さな系においては明瞭に観察されることが知られている。HEMTや量子井戸レーザのような電子・光デバイスの作製過程では、平坦な表面をもつ成長層が求められる。したがって、格子不整合ヘテロエピタキシーをデバイスに応用するためには、表面を平坦化する技術が求められる。しかし、CHPによる表面ラフネスの増大を抑制する技術はこれまでのところ確立されていない。

そこで、本研究では工学的に有用と考えられる InP-on-Siヘテロエピタキシーにおける結晶欠陥の発生機構を調べ、貫通転位の発生を抑制する手法を明らかにすることを目的とした。さらに、表面の平坦性向上に関する手法を考察するために、CHPが明瞭に観察される InGaAs-on-GaAsにおいて CHPの形成および成長過程を詳細に調べ、その抑制技術を確立することを目的とした。

貫通転位や CHPの発生の本質的な原因は、格子不整合歪みが転位の発生によって緩和される現象 (格子緩和) にある。したがって、Siに格子整合する材料を成長することによって、貫通転位や CHPの発生を完全に抑制できると期待される。そこで、本研究では、 $\text{GaP}_{1-x}\text{N}_x$ 混晶を用いて、Si基板上に無転位の成長層を得る試みについても行った。以下

に本研究で得られた結果をまとめる。

第3章では、InP-on-Siヘテロエピタキシーにおける貫通転位の発生を抑制する手法について検討した。はじめに、InP-on-Siとほぼ同じ格子不整合をもつInP-on-GaPヘテロエピタキシーにおいて初期成長過程と貫通転位の発生機構を調べた。その結果、InP層は膜厚が1MLまでは二次元的に成長し、膜厚が2MLの段階では三次元化することがわかった。これより、GaP上のInPはStranski-Krastanov(S-K)型の成長様式をもつことが明らかになった。一方、InPの膜厚が2MLの段階では貫通転位は発生せず、膜厚が4MLの段階になって貫通転位がTEMによって観察された。この結果から、貫通転位の発生は、InP三次元成長島の拡大・合体の過程で生じることがわかった。したがって、格子不整合に起因する貫通転位の発生を抑制するためには、成長層の三次元化を抑制する必要があることが推察された。

そこで、InP-on-Siヘテロエピタキシーにおける貫通転位の発生を抑制するために、 $(\text{InAs})_m(\text{GaAs})_n$ 歪短周期超格子(SSPS)および $(\text{GaAs})_i(\text{GaP})_j$ SSPSからなる多層構造を用いた。その結果、各層は二次元的に成長し、三次元成長島の発生を抑制することが明らかになった。TEM観察の結果、格子不整合歪みは各ヘテロ界面に導入されたミスフィット転位によって緩和され、貫通転位の発生が効果的に抑制されることが見出された。

第4章では、GaAs基板上に成長した $(\text{InAs})_1(\text{GaAs})_4$ SSPSおよび $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 混晶の格子緩和過程をXRDとTEMによって調べた。その結果、SSPSでは混晶に比べて転位発生の臨界膜厚が増加することがわかった。これは、混晶中においてはIn組成の局所的なばらつきのために格子不整合歪みが面内方向に不均一に分布しているのに対して、SSPS中では格子不整合歪みが均一に分布していることに起因すると考えられた。しかし、その後の格子緩和過程について両者には大きな違いが見られず、SSPSは混晶とほぼ同じ速度で格子緩和が進行することが明らかになった。これは、格子緩和過程で導入されるミスフィット転位によってSSPSの積層構造が局所的に乱され、歪みの分布が混晶の場合と変わらなくなることに由来するものと推察された。

第5章では、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As-on-GaAs}$ ヘテロエピタキシーにおけるCHPの形成過程と表面ラフネスの低減化技術について検討した。はじめに、CHPの初期形成過程を調べた。その結果、臨界膜厚が20~30nmであったのに対して、明瞭なCHPが現れる成長膜厚は70nm付近であることが明らかになった。次に、 $\text{InAs}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ 構造と $\text{GaAs}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{InP}$ 構造を用いてCHPを示す表面でのInおよびGa原子の取り込みを調べた。その結果、In原子は凹凸の凸部で集中的に取り込まれることがわかった。一方、Ga原子は凹凸に無関係にほぼ均一に成長表面に取り込まれることが明らかになった。この結果から、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As-on-GaAs}$ ヘテロエピタキシーにおけるCHPの成長には、主

にIn原子の不均一な取り込みが寄与していることが明らかになった。

そこで、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ の成長温度と表面ラフネスの大きさとの関係を調べた。その結果、成長温度を低くすることによって凹凸のラフネスの増大を抑制できることが明らかになった。これは、成長温度を低くすることによってIn原子の表面拡散が抑制され、In原子の不均一な取り込みが抑えられたことに起因すると考えられる。さらに、格子不整合歪みをほぼ完全に緩和する $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 層を低温(350°C)で成長することによって、表面が平坦で残留歪みのほとんどない層を実現できることを示した。このような層の上ではIn原子の表面拡散を促進した成長、すなわち高温成長を行っても表面ラフネスはほとんど増大しないことを明らかにした。

第6章では、Siにほぼ格子整合する $\text{GaP}_{1-x}\text{N}_x$ 混晶を用いて、Si基板上に無欠陥の成長層を実現する手法について検討した。はじめに、Si格子整合する $\text{Ga}(\text{As}_{1-y}\text{P}_y)_{1-x}\text{N}_x$ 量子井戸構造の具体的なモデルを提案し、これを実現するための二つの条件を明らかにした。一つは、Si基板上に無欠陥の $\text{GaP}_{1-x}\text{N}_x$ を得る必要があること。二つめは、活性層となる $\text{Ga}(\text{As}_{1-y}\text{P}_y)_{1-x}\text{N}_x$ 混晶においてN組成 x が5%以上必要であることである。第6章では主に一つめの条件に着目し、無欠陥の $\text{GaP}_{1-x}\text{N}_x$ をSi上に成長することを目指した。

そこで、GaP基板上的 $\text{GaP}_{1-x}\text{N}_x$ 混晶の成長において、組成分布の生じない均一な $\text{GaP}_{1-x}\text{N}_x$ 混晶が得られることを確認した。また、 $\text{GaP}_{1-x}\text{N}_x$ 混晶の成長においても格子不整合歪みはヘテロ界面に導入されるミスフィット転位によって緩和されることをTEM観察により明らかにした。

つぎに、Si基板上に無欠陥の $\text{GaP}_{1-x}\text{N}_x$ 混晶を成長するために、 $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ 構造を成長した。この構造では、GaP層の厚さを20nmとひじょうに薄くした。結果として、薄いGaP層をSi上に成長することによって極性/非極性界面に起因する欠陥、すなわちアンチフェーズ・ドメイン(APD)や積層欠陥の発生を効果的に抑制できることが明らかになった。また、XRD測定によって、 $\text{GaP}_{1-x}\text{N}_x$ 混晶層のN組成は約1.3%であることがわかった。このときの $\text{GaP}_{1-x}\text{N}_x$ とSiの格子不整合は0.15%とひじょうに小さいことがわかった。さらにTEM観察の結果、 $\text{GaP}_{1-x}\text{N}_x/\text{GaP}/\text{Si}$ 構造においては、ミスフィット転位やAPDなどの結晶欠陥の発生が抑制され、無欠陥成長層がSi基板上に実現できることが明らかになった。

以上、本研究によって得られた結果の概略を述べた。本研究で検討した貫通転位密度の低減技術や表面の平坦性向上に関する技術は、III-V族化合物半導体ヘテロエピタキシャル層の高品質化に対して、重要な知見を与えたと思われる。また、第6章で検討したSiに格子整合する $\text{Ga}(\text{As}_{1-y}\text{P}_y)_{1-x}\text{N}_x$ 量子井戸構造は理論的には結晶欠陥が発生しない構造である。そのため、Si上の発光素子の高品質化に対して、きわめて重要な提案であると考え

る。本研究の結果より、Si 上に無欠陥の $\text{GaP}_{1-x}\text{N}_x$ 混晶を成長できることが明らかになった。したがって今後は、活性層となる $\text{Ga}(\text{As}_{1-y}\text{P}_y)_{1-x}\text{N}_x$ 混晶において、結晶成長機構および発光機構を調べ、高品質化を図る必要があると考えられる。

謝辞

本研究の遂行および本論文の作成にあたり、終始ご指導とご助言を承りました豊橋技術科学大学教授・工学博士 米津 宏雄 先生に慎んで感謝の意を表します。本研究を遂行するにあたり、有益なご討論をして頂いた豊橋技術科学大学助教授・工学博士 朴 康司 先生に厚くお礼申し上げます。また、本論文を編纂するにあたり、有益なご教示を頂いた豊橋技術科学大学教授・工学博士 吉田 明 先生、豊橋技術科学大学助教授・工学博士 若原 昭浩 先生、豊橋技術科学大学教授・工学博士 恩田 和夫 先生に心より感謝の意を表します。

本研究を進めるにあたり、ご助言を頂いた韓国・慶北大学教授・Ph. D. 辛 長奎 先生、ならびに豊橋技術科学大学助手・工学博士 大島 直樹 先生に感謝いたします。さらには、種々のご便宜ならびに有益なご教示を頂きました豊橋技術科学大学教授・工学博士 石田 誠 先生をはじめとして、電子デバイス大講座の諸先生方に対し感謝の意を表します。

また、透過型電子顕微鏡をはじめとする豊橋技術科学大学共同利用施設の利用にあたり、ご便宜ならびにご指導頂いた豊橋技術科学大学技官 村本 浩一 氏、ならびに豊橋技術科学大学技官 河西 晃彦 氏に心から感謝致します。

本研究を通して有益なご討論をして頂いた静岡大学助教授・工学博士 高野 泰 先生、株式会社デンソー 基礎研究所・工学博士 内藤 正美 氏に感謝の意を表します。

本研究は、当大学院の修了生、工学博士 高木 康文 氏[第3.4章]（浜松ホトニクス株式会社）、工学博士 横関 弥樹博 氏[第4章]（古河電工株式会社）、林田 圭司 氏[第3章]（日本電気株式会社）、岩城 和彦 氏[第4章]（日本電気株式会社）のご協力によって行われたものであり、ここに記して感謝の意を表します。

また、第6章に述べた研究は、豊橋技術科学大学・大学院博士後期課程1年 藤本 康弘 氏、同修士課程1年 小島 薫 氏、同1年 百瀬 賢治 氏のご協力によって行われました。ここに深く感謝の意を表します。

本研究の開始以来、永きにわたりご協力ならびにご討論して頂いた本学大学院博士後期課程3年 辻 琢人 氏、浅井 哲也 氏をはじめとする米津・朴研究室の諸氏ならびにデバイス大講座の諸氏に感謝いたします。

本研究に関する発表論文

1. 学術論文

1. "Suppression of threading dislocation generation in GaAs-on-Si with strained short-period superlattices",
Y. Takagi, H. Yonezu, T. Kawai, K. Hayashida, K. Samonji, N. Ohshima and K. Pak,
J. Cryst. Growth **150**, 677 (1995).
2. "Realization of two-dimensional growth and suppression of threading dislocation generation in $(\text{InP})_1(\text{GaAs})_n$ quaternary strained short-period superlattices grown on GaAs",
K. Hayashida, Y. Takagi, K. Samonji, H. Yonezu, M. Yokozeki, N. Ohshima and K. Pak,
Jpn. J. Appl. Phys. **34**, L1442 (1995).
3. "Reduction of threading dislocation density in InP-on-Si heteroepitaxy with strained short-period superlattices",
K. Samonji, H. Yonezu, Y. Takagi, K. Iwaki, N. Ohshima, J. K. Shin and K. Pak,
Appl. Phys. Lett. **69**, 100 (1996).
4. "Generation and suppression mechanism of crystalline defects in GaP layers grown on misoriented Si(100) substrates",
Y. Takagi, H. Yonezu, K. Samonji, T. Tsuji and N. Ohshima,
J. Cryst. Growth Vol. **187**, 42 (1998).
5. "Evolution process of cross-hatch patterns and reduction of surface roughness in $(\text{InAs})_m$ $(\text{GaAs})_n$ strained short-period superlattices and InGaAs alloy layers grown on GaAs",
K. Samonji, H. Yonezu, Y. Takagi and N. Ohshima,
J. Appl. Phys. to be published.

6. "Lattice relaxation process of $(\text{InAs})_1(\text{GaAs})_4$ strained short-period superlattice grown on GaAs.",
K. Samonji, H. Yonezu and N. Ohshima,
Jpn. J. Appl. Phys., submitted.
7. "Suppression of crystalline defect generation in $\text{GaP}_{1-x}\text{N}_x$ layer grown on Si(100) substrate.",
K. Samonji, H. Yonezu, K. Ojima and N. Ohshima,
Jpn. J. Appl. Phys., to be submitted.

2. 国際会議

1. "Reduction of threading dislocation density in InP-on-Si heteroepitaxy with strained short-period superlattices.",
K. Samonji, Y. Takagi, H. Yonezu, K. Iwaki, N. Ohshima, J. K. Shin and K. Pak,
International Conference on Solid State Devices and Materials (SSDM), Osaka, Japan, 1995.
2. "Generation and suppression of stacking faults in GaP layers grown by molecular beam epitaxy and migration enhanced epitaxy.",
Y. Takagi, H. Yonezu, K. Samonji and T. Tsuji,
Materials Research Society (MRS) 1996 Fall Meeting, Boston, USA, 1996.
3. "A $\text{GaP}_{1-x}\text{N}_x$ epilayer with large critical thickness and few crystalline defects grown on Si(100) substrate.",
K. Samonji, H. Yonezu, K. Ojima, Y. Fujimoto, and N. Ohshima,
The Second International Symposium on Blue Laser and Light Emitting Diodes (2nd ISBLLED), Chiba, Japan, 1998.

3. 研究会発表

1. 「GaAs-on-Siにおける歪短周期超格子の挿入による貫通転位の発生の抑制」
高木 康文、米津 宏雄、林田 圭司、左文字 克哉、大島 直樹、朴 康司
第10回結晶工学シンポジウム、「シリコン基板上化合物半導体とデバイス」(1994)

2. 「 $(\text{GaAs})_m(\text{GaP})_n$ 歪短周期超格子の格子緩和過程」
高木 康文、左文字 克哉、岩城 和彦、大島 直樹、朴 康司、米津 宏雄
電子情報通信学会技術研究報告、ED95-23 (1995)
3. 「ヘテロエピタキシャル成長の成長初期制御による結晶欠陥の抑制」
高木 康文、横関 弥樹博、辻 琢人、左文字 克哉、大島 直樹、朴 康司、米津 宏雄
電子情報通信学会技術研究報告、ED95-128 (1995)
4. "Lattice relaxation process of $(\text{InAs})_m(\text{GaAs})_n$ strained short-period superlattice.",
K. Samonji, H. Yonezu, K. Iwaki, Y. Takagi and N. Ohshima,
15th Electronic Materials Symposium (EMS), Izu-Nagaoka, 1996.
5. "Evolution process of cross-hatch pattern in InGaAs-on-GaAs heteroepitaxy.",
K. Samonji, H. Yonezu and N. Ohshima,
16th Electronic Materials Symposium (EMS), Minoo, Osaka, 1997.

4. 学会発表

1. 「歪短周期超格子の導入による GaAs-on-Si の貫通転位密度の低減」
高木 康文、林田 圭司、左文字 克哉、大島 直樹、朴 康司、米津 宏雄
第41回応用物理学関係連合講演会(明治大学)、28a-ZB-5, 1994.
2. 「 $(\text{InP})_m(\text{GaAs})_n$ 歪短周期超格子の成長」
林田 圭司、高木 康文、左文字 克哉、大島 直樹、朴 康司、米津 宏雄
第55回応用物理学学会学術講演会(名城大学)、27a-MK-3, 1994
3. 「歪短周期超格子を挿入した GaAs-on-Si の転位」
高木 康文、林田 圭司、左文字 克哉、大島 直樹、朴 康司、米津 宏雄
第55回応用物理学学会学術講演会(名城大学)、20a-MF-11, 1994
4. 「歪短周期超格子の挿入による InP-on-Si の貫通転位密度の低減」
左文字 克哉、高木 康文、林田 圭司、大島 直樹、朴 康司、米津 宏雄
第42回応用物理学関係連合講演会(東海大学)、28p-TB-6, 1995
5. 「 $(\text{GaAs})_m(\text{GaP})_n$ 歪短周期超格子層の格子緩和過程」
高木 康文、左文字 克哉、岩城 和彦、大島 直樹、朴 康司、米津 宏雄
第42回応用物理学関係連合講演会(東海大学)、28p-TB-6, 1995
6. 「MEE法による GaP-on-Siにおける結晶欠陥」
高木 康文、左文字 克哉、岩城 和彦、大島 直樹、朴 康司、米津 宏雄
第56回応用物理学学会学術講演会(金沢工業大学)、27p-ZD-4, 1995

7. 「 $(\text{InAs})_m(\text{GaAs})_n$ 歪短周期超格子の格子緩和過程」
左文字 克哉、岩城 和彦、高木 康文、大島 直樹、米津 宏雄
第 43 回応用物理学関係連合講演会 (東洋大学)、28p-ZC-6, 1996
8. 「歪短周期超格子層の挿入による Si 基板上の InGaP 層の結晶欠陥の低減」
高木 康文、上杉 忍、左文字 克哉、大島 直樹、米津 宏雄
第 43 回応用物理学関係連合講演会 (東洋大学)、26p-ZF-7, 1996
9. 「InGaAs-on-GaAs ヘテロエピタキシャル層表面におけるクロスハッチパターンの成長機構とその低減」
左文字 克哉、高木 康文、出口 雅之、大島 直樹、米津 宏雄
第 57 回応用物理学学会学術講演会 (九州産業大学)、7a-ZH-5, 1996
10. 「InGaAs-on-GaAs ヘテロエピタキシーにおける III 族原子の表面マイグレーションとクロスハッチパターンの成長過程」
左文字 克哉、高木 康文、大島 直樹、米津 宏雄
第 44 回応用物理学関係連合講演会 (日本大学)、30a-M-1, 1997
11. 「GaP-on-Si における積層欠陥の発生・抑制」
高木 康文、左文字 克哉、辻 琢人、大島 直樹、米津 宏雄
第 44 回応用物理学関係連合講演会 (日本大学)、31-a-M-4, 1997
12. 「低温成長した格子不整合緩和層を用いた InGaAs-on-GaAs ヘテロエピタキシャル層表面の平坦性の改善」
左文字 克哉、大島 直樹、米津 宏雄
第 59 回応用物理学学会学術講演会 (広島大学)、16p-YE-8, 1998
13. 「Si に格子整合する $\text{GaP}_{1-x}\text{N}_x$ 混晶の MBE 成長」
左文字 克哉、小島 薫、藤本 康弘、大島 直樹、米津 宏雄
第 59 回応用物理学学会学術講演会 (広島大学)、15a-YA-10, 1998

